

HL-LHC ATLAS実験に向けた  
シリコンピクセル検出器用  
データ収集システムの開発

大阪大学大学院理学研究科物理学専攻博士前期課程  
澤田 恭範

平成30年2月2日

## 概 要

欧州原子核研究機構 (CERN) では、陽子・陽子衝突型加速器 (LHC) のビーム輝度を約 7 倍に向上させる HL-LHC を計画している。そこで行われる ATLAS 実験は検出器をアップグレードし、より高統計データを用いたヒッグス粒子の性質の精密測定や新物理の探索を目指している。これに向けて、ATLAS 検出器最内部の飛跡検出用シリコンピクセル検出器のために、より多くのデータを高速出力できる、信号読み出し用フロントエンド ASIC が試作された。

本研究の目的は、この ASIC のデータ収集 (DAQ) システムを、汎用 FPGA ボードを用いて開発することである。このシステムには、ASIC 1 チップあたりの最大データ出力レートである 5.12 Gbps 以上でデータを転送できることが要求されている。この高速通信 DAQ システムの開発により、ASIC の動作試験と検出器の評価を行うことができる。

高速通信 DAQ システムの開発の基礎として、現行の ATLAS 検出器のピクセル検出器読み出し用 ASIC の DAQ システムを、汎用 FPGA ボードに移殖した。移殖のためにファームウェアの修正を行い、FPGA と ASIC の接続のためのインタフェースカードを作成した。移殖後のシステムの動作試験により実際にデータ取得ができることを確認した。

次に開発した高速通信 DAQ システムでは、PCI Express という高速データ転送向けのインタフェースを、FPGA とコンピュータとの通信に用いた。DAQ システムとコンピュータ間の通信に成功し、この部分の高速データ通信の試験をした結果、転送レートは 5.83 Gbps、エラー率は上限値  $7.32 \times 10^{-13}$  を得た。

# 目次

|                                              |           |
|----------------------------------------------|-----------|
| <b>第1章 序論</b>                                | <b>8</b>  |
| 1.1 LHC 実験                                   | 8         |
| 1.1.1 概要                                     | 8         |
| 1.1.2 HL-LHC 計画                              | 8         |
| 1.2 ATLAS 実験                                 | 9         |
| 1.2.1 概要                                     | 9         |
| 1.2.2 内部飛跡検出器                                | 11        |
| 1.2.3 内部飛跡検出器のアップグレード                        | 13        |
| 1.3 ATLAS のピクセル検出器と読み出しシステム                  | 14        |
| 1.3.1 ピクセル検出器                                | 15        |
| 1.3.2 ATLAS のピクセル検出器用読み出し ASIC               | 15        |
| 1.4 本研究の目的                                   | 18        |
| <b>第2章 現行ピクセル検出器用<br/>読み出し ASIC の DAQ 開発</b> | <b>20</b> |
| 2.1 開発の意義                                    | 20        |
| 2.2 ピクセル検出器読み出し ASIC FE-I4                   | 21        |
| 2.2.1 信号処理回路の概要                              | 21        |
| 2.3 読み出しシステムの概要                              | 25        |
| 2.3.1 読み出しシステムの汎用 FPGA ボード                   | 26        |
| 2.3.2 ファームウェアの移植                             | 28        |
| 2.3.3 ファームウェアの内部動作                           | 28        |
| 2.3.4 インタフェースカードの作成                          | 31        |
| 2.4 動作確認                                     | 37        |
| 2.4.1 クロック信号とコマンド信号の確認                       | 37        |
| 2.4.2 データ信号の確認                               | 39        |
| 2.4.3 閾値の校正                                  | 42        |
| 2.4.4 ToT の校正                                | 44        |
| 2.4.5 Digital scan と Analog scan             | 47        |

|            |                                                            |           |
|------------|------------------------------------------------------------|-----------|
| 2.5        | 結論と課題                                                      | 49        |
| <b>第3章</b> | <b>HL-LHC ATLAS ピクセル<br/>検出器用 ASIC の<br/>高速読み出しシステムの開発</b> | <b>51</b> |
| 3.1        | 読み出しシステムの開発                                                | 51        |
| 3.1.1      | 開発方針                                                       | 51        |
| 3.1.2      | 読み出しシステムの概要                                                | 52        |
| 3.1.3      | 読み出しシステムのファームウェア                                           | 54        |
| 3.2        | PCI Express を使用した高速通信試験                                    | 57        |
| 3.2.1      | 概要                                                         | 57        |
| 3.2.2      | データ転送試験                                                    | 57        |
| 3.2.3      | 転送速度試験の方法                                                  | 58        |
| 3.2.4      | 転送時間の測定                                                    | 62        |
| 3.2.5      | データエラーレートの測定                                               | 64        |
| 3.3        | 今後の開発課題                                                    | 66        |
| <b>第4章</b> | <b>結論</b>                                                  | <b>68</b> |
|            | <b>参考文献</b>                                                | <b>69</b> |
|            | <b>謝辞</b>                                                  | <b>71</b> |
| <b>付録A</b> | <b>FE-I4 読み出しシステムの補足</b>                                   | <b>73</b> |
| A.1        | ファームウェアの各ブロックの解説                                           | 73        |
| A.2        | データ収集ソフトウェアの概要                                             | 76        |
| A.3        | FE-I4 のコマンド信号のプロトコル                                        | 78        |
| <b>付録B</b> | <b>HL-LHC ATLAS ピクセル<br/>検出器用 ASIC の<br/>高速読み出しシステムの補足</b> | <b>79</b> |
| B.1        | PCI Express の概要                                            | 79        |
| B.2        | PIO 転送と DMA 転送の説明                                          | 80        |
| B.3        | ファームウェアの各ブロックの解説                                           | 81        |
| B.4        | PCI Express の通信テスト環境                                       | 83        |

# 目 次

|     |                                                                                                                                                                                                                                                                 |    |
|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 1.1 | LHC の全体図 [1]。ATLAS はスイス、フランスの国境付近の地下に設置されている。 . . . . .                                                                                                                                                                                                         | 9  |
| 1.2 | ATLAS 検出器の全体図 [3] . . . . .                                                                                                                                                                                                                                     | 10 |
| 1.3 | 現行の内部飛跡検出器の断面図 [3] . . . . .                                                                                                                                                                                                                                    | 11 |
| 1.4 | 現行のピクセル検出器 [3] . . . . .                                                                                                                                                                                                                                        | 12 |
| 1.5 | (左)HL-LHC ATLAS 実験での内部飛跡検出器のレイアウト図 [4]。青は SCT を示し、赤が Pixel を示す。(右)Pixel の部分の拡大図。水平軸はビームラインに沿う軸であり、原点はビーム衝突点を示す。垂直軸はビーム衝突点からの半径方向の軸である。 . . . . .                                                                                                                | 13 |
| 1.6 | HL-LHC ATLAS 実験での内部飛跡検出器レイアウトでのチャンネルあたりの平均ヒット占有率のシミュレーション結果 [4]。陽子衝突あたりの平均非弾性衝突事象 200 でのヒット占有率である。(左) バレル部分。ビーム軸に近い方から順に Layer 0, Layer 1, ... である。(右) エンドキャップ(リング)部分。ビーム軸に近い方から順に Ring 0, Ring 1, ... である。ピクセルサイズは $50 \times 50 \mu\text{m}^2$ である。 . . . . . | 14 |
| 1.7 | 半導体検出器の概念図。図では電子が Al 電極から信号として読み出される。                                                                                                                                                                                                                           | 15 |
| 1.8 | ピクセル検出器と ASIC の接続。右図中のコンデンサがセンサー 1 ピクセルに対応し、バンプボンディングを介して、アンプに接続される。ASIC ではアナログ信号処理と信号のデジタル化が行われる [4]。 . . . . .                                                                                                                                                | 16 |
| 1.9 | 読み出しシステムの位置付け。ここではフロントエンドエレクトロニクス (ASIC) とコンピュータの間の橋渡し役を担う。 . . . . .                                                                                                                                                                                           | 18 |
| 2.1 | FE-I4 が実装された基板の写真。中央右の銀色の正方形のアルミカバーの上に置かれたチップが FE-I4 である。 . . . . .                                                                                                                                                                                             | 21 |
| 2.2 | FE-I4 のアナログ回路部分 [6] . . . . .                                                                                                                                                                                                                                   | 23 |
| 2.3 | Time-over-Threshold の概念図。例えば波高の異なる 2 種類の信号の場合、波高の高い信号 (赤色) に対しては $\text{ToT}_1$ 、波高の低い信号 (青色) に対しては $\text{ToT}_2$ が得られる。 . . . . .                                                                                                                             | 23 |

|      |                                                                                                                                                                      |    |
|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 2.4  | FE-I4 の基板上でのデジタル入出力信号。信号の入出力は RJ-45 コネクタを使用する。Rx は差動信号の受信回路、Tx は差動信号の送信回路である。                                                                                        | 24 |
| 2.5  | コンピュータと FPGA ボードの間の通信に Ethernet を利用した読み出しシステムの概念図                                                                                                                    | 25 |
| 2.6  | KC705 評価ボードの主な特徴。Ethernet、PCI Express、FMC コネクタの他、SFP/SFP+のような光通信コネクタや同軸ケーブルを接続する SMA コネクタを外部入出力インタフェースとして備えている。より詳しい仕様については [20] を参照。                                | 27 |
| 2.7  | ファームウェアの変更点。緑色ブロックの基本的な動作仕様は変更していないが、それ以外の色のブロックについては追加、変更を行った。                                                                                                      | 29 |
| 2.8  | FE-I4 読み出しファームウェアのブロック図。矢印はデータの流れる方向を示す。矢印間の周波数は各ブロックのデータ出力速度を意味する。                                                                                                  | 30 |
| 2.9  | Deserializer の役割の説明図。シリアル信号を 10 ビットのパラレル信号に変換する処理を行う。                                                                                                                | 32 |
| 2.10 | デシリアライズされた後のデータ信号の流れの説明図。                                                                                                                                            | 32 |
| 2.11 | ロジックアナライザで送受信データを確認した様子。緑色の濃い領域に送受信中のデータ情報がある。説明不要な信号に対してトリミング加工を施している。                                                                                              | 33 |
| 2.12 | 差動信号の説明図。(左) LVDS 規格。FPGA の出力信号として用いる。(右) FE-I4 で対応する差動信号の規格。 $V_{CM}$ はコモンモード電圧と呼び、2 本の信号の電圧の平均値を示す。2 本の信号の電圧差 $V_{OD} = V_{OH} - V_{OL}$ によって論理が決まる。               | 34 |
| 2.13 | インタフェースカードの回路図。上図は FPGA からの LVDS 信号を FE-I4 用の信号電圧に変換する回路を示す。電圧レベルは $1k\Omega$ の抵抗により下げている。下図は FE-I4 からの LVDS 信号を LVDS 信号で出力するバッファ回路である。                              | 35 |
| 2.14 | インタフェースカードの写真。(左) 裏面。(右) 表面。                                                                                                                                         | 35 |
| 2.15 | FE-I4 読み出しシステムのテストの様子 (写真は VC707 評価ボードを使用した例)。FPGA 評価ボードと FE-I4 は、インタフェースカードを介して紫色の Ethernet ケーブルで接続している。データ収集に用いるコンピュータと FPGA 評価ボードは、写真左下の水色の Ethernet ケーブルで接続している。 | 36 |
| 2.16 | インタフェースカードの出力信号の電圧レベルを測定するときのセットアップ図。                                                                                                                                | 38 |
| 2.17 | クロック信号の電圧レベルをプローブした時の波形                                                                                                                                              | 39 |

|      |                                                                                                                                                                                                         |    |
|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 2.18 | コマンド信号確認時のセットアップ図。 . . . . .                                                                                                                                                                            | 40 |
| 2.19 | 40 MHz のクロック (黄と緑) とコマンド信号 (赤と青) の出力の波形。図中の波形は RunMode コマンド信号を示しており、マンチェスター符号化は無効化している。コマンド信号の差分を取った波形はベージュ色で示しているが、振幅は半分のスケールで表示している。RunMode コマンドのプロトコルである 10110-1000-1010-... を確認できる。 . . . . .       | 40 |
| 2.20 | FE-I4 のデータ信号確認時のセットアップ図。 . . . . .                                                                                                                                                                      | 41 |
| 2.21 | 40 MHz のクロック (黄と緑) とアイドル状態のデータ信号 (赤と青) の出力の波形。白はデータ信号の差分を取っているが、見やすさのために振幅を半分のスケールで表示している。 . . . . .                                                                                                    | 42 |
| 2.22 | アイドル信号をデシリアライザで処理した後の 10 ビットパターンと 8 ビットデータ。ロジックアナライザで確認。10 ビットのアイドルパターンは特定のパターンで、極性を反転させながら交互に送られてくる。 . . . . .                                                                                         | 43 |
| 2.23 | S-curve の概念図。横軸はピクセルアナログ回路への入力電荷量、縦軸は検出効率である。検出効率が 0.5 となる $Q_{th}$ が閾値となる。 . . . . .                                                                                                                   | 44 |
| 2.24 | 閾値の較正の結果。閾値が電子 3600 個相当の電荷量になるように設定した。横軸は閾値に相当する電荷量で、縦軸はピクセルチャンネルの数である。青が較正前で、赤が較正後である。 . . . . .                                                                                                       | 45 |
| 2.25 | ディスクリミネータ回路の閾値とプリアンプのフィードバック電流による電荷量-ToT 変換への影響。(左) 閾値による ToT の変化。(右) プリアンプ出力信号による ToT の変化。 . . . . .                                                                                                   | 46 |
| 2.26 | ToT 較正の結果。ToT が電子 20000 個相当の電荷量に対して 10 になるように設定した。横軸は ToT の測定を 50 回行った時の平均値で、縦軸はピクセルの数を示す。青が較正前で、赤が較正後である。 . . . . .                                                                                    | 47 |
| 2.27 | Digital scan の結果 . . . . .                                                                                                                                                                              | 48 |
| 2.28 | Analog Injection の結果 . . . . .                                                                                                                                                                          | 49 |
| 3.1  | PCI Express を利用した読み出しシステムの概念図。読み出し ASIC はケーブルとインタフェースカードを介して FPGA ボードと接続する。FPGA ボードはコンピュータのマザーボード上の PCI Express コネクタに接続する。CPU、コンピュータ上のメモリと PCI Express に接続されたデバイス (FPGA ボード) はシステムバスにより接続される。 . . . . . | 52 |

|     |                                                                                                                                                                                                                                                |    |
|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 3.2 | YARR の読み出しファームウェアの概念図 ([14] 中の図を元に作成)。紫色の矢印はコンピュータとファームウェアのデータのやり取り、青色の矢印は ASIC へ送るコントロール信号、赤色の矢印は ASIC から受けとったデータ信号の流れを示す。緑色の矢印は DMA 転送の制御を行う信号の流れを示す。Wishbone Bus はファームウェア内の各モジュールを繋ぐ信号線である。青色破線矢印のようにコンピュータからのデータを直接メモリに送ることもできる。 . . . . . | 56 |
| 3.3 | データ転送試験の概略図。赤い矢印は Write 方向、青い矢印は Read 方向を示す。 . . . . .                                                                                                                                                                                         | 58 |
| 3.4 | DMA 転送のテストを行うプログラムの出力結果。配列のサイズは 32 bit で、要素数は 256 個である。 . . . . .                                                                                                                                                                              | 59 |
| 3.5 | DMA 転送のベンチマークテストの結果。横軸が一度に送るデータサイズ。縦軸がデータ転送速度を示す。実線は転送速度の平均値、誤差棒は RMS を示す。 . . . . .                                                                                                                                                           | 61 |
| 3.6 | DDR3 メモリを使用した DMA 転送時間 (A+B+C)。(左)DMA 転送を行う Read 処理にかかる時間。(右)DMA 転送を行う Write 処理にかかる時間。横軸は一度に転送するデータのサイズ、縦軸は処理時間を示す。 . . . . .                                                                                                                  | 63 |
| 3.7 | 転送以外のプログラム処理の時間 (A+C)。(左)Read 処理のうち DMA 転送以外にかかる時間。(右)Write 処理のうち DMA 転送以外にかかる時間。横軸は一度に転送するデータのサイズ、縦軸は処理時間を示す。 . . . . .                                                                                                                       | 63 |
| A.1 | データ収集ソフトウェアの動作フローチャート [8]。緑色の実線矢印は TCP 通信、黄色の点線矢印は UDP 通信、青色の破線矢印は FE-I4 のカスタムプロトコルによる通信を示す。 . . . . .                                                                                                                                         | 77 |
| B.1 | PIO 転送 (左) と DMA 転送 (右) の概念図。右図では、外部デバイス上に DMA コントローラとメモリがある場合を想定したイラストである。 . . .                                                                                                                                                              | 81 |



# 表 目 次

|     |                                                                                                                   |    |
|-----|-------------------------------------------------------------------------------------------------------------------|----|
| 1.1 | ATLAS Pixel 検出器用読み出し ASIC の比較 [4][6][7]。RD53A は、1.28 Gbps でデータを転送する信号線を 4 本備えている。 . . . . .                       | 17 |
| 3.1 | Ethernet を利用した読み出しシステムと PCI Express を利用した読み出しシステムのコンピュータ-FPGA 間の通信方式と性能の比較。 . . . . .                             | 55 |
| 3.2 | エラーレートの測定結果。 . . . . .                                                                                            | 65 |
| A.1 | Trigger and Fast Commands . . . . .                                                                               | 78 |
| A.2 | Slow Commands . . . . .                                                                                           | 78 |
| B.1 | PCI Express のリビジョンによるピーク性能。転送レートはレーン当たりの片方向の速度を示す。リビジョン 2.0 で 4 レーン使用する場合の規格は PCI Express 2.0 x4 と表記する。 . . . . . | 79 |

# 第1章 序論

この章では、1.1節においてLHC実験とそのアップグレード計画について述べ、1.2節でATLAS実験および検出器について、現行のものとアップグレード後のものについて述べる。特にピクセル検出器のアップグレードについて重点的に説明する。1.3節ではATLAS実験で使用されるピクセル検出器および読み出しASICの役割について述べる。1.4節では以後の章で説明する研究についての目的と意義を述べる。

## 1.1 LHC実験

### 1.1.1 概要

世界最大の陽子・陽子衝突型加速器である Large Hadron Collider (LHC) は、欧州原子核研究機構 (CERN) によりスイス・ジュネーヴ近郊の地下 170 m、周長 26.7 km のトンネル内に建設され、2009 年から運転を続けているシンクロトロンである。標準模型の精密検証や標準模型を超える新物理の探索が目的である。LHC には陽子・陽子衝突点を 4 箇所設けており、各衝突点には衝突に伴う生成粒子の観測を目的として大型の検出器 (ATLAS, ALICE, CMS, LHCb) を配置している。2017 年は、陽子ビームのエネルギーは 6.5 TeV、重心系衝突エネルギーでは 13 TeV、瞬間ルミノシティは  $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  で物理実験が行われている。Fig.1.1 に LHC 加速器の全体図を示す。LHC では、陽子はバンチという塊で連なりビームを形成しており、バンチ同士の衝突頻度は 40 MHz を達成している。

### 1.1.2 HL-LHC 計画

将来、LHC では現在よりも高いルミノシティを達成するためのアップグレードを行う予定である。アップグレード後の LHC は、High-Luminosity Large Hadron Collider (HL-LHC) と呼ばれ、2026 年からの運転開始を計画している。HL-LHC では、瞬間ルミノシティを 2017 年の約 3 倍の  $5 \sim 7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  にして運転する。これはビーム衝突あたりでは平均約 200 の非弾性陽子・陽子衝突に相当する。2037 年までに積分ルミノシティ

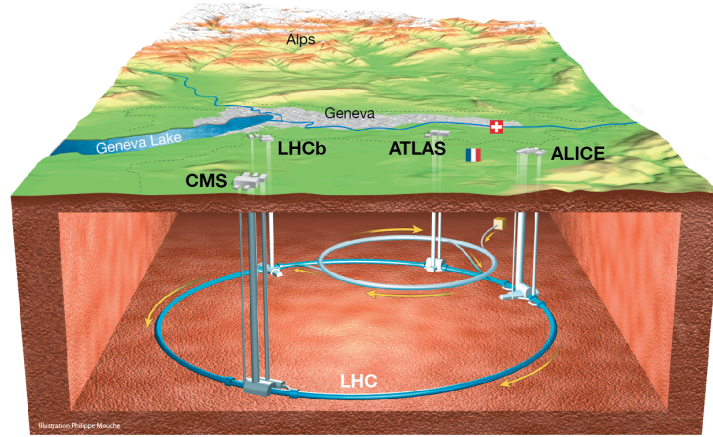


Fig. 1.1: LHC の全体図 [1]。ATLAS はスイス、フランスの国境付近の地下に設置されている。

4000 fb<sup>-1</sup> を達成することを予定している [2]。ルミノシティを高めることにより、より高統計量のデータを用いた解析が可能になり、新粒子の探索、精密測定、稀なプロセスなどの研究を詳細に進めることが可能になる。

## 1.2 ATLAS 実験

### 1.2.1 概要

A Troidal AparatuS (ATLAS) 実験は LHC 実験のうちの一つであり、標準理論の中で質量の起源と考えられているヒッグス粒子の性質の精密測定や、超対称性粒子、余剰次元物理の現象の探索など新物理の発見を目的とする。実験に使用される大型汎用粒子検出器を ATLAS 検出器と呼ぶ。

ATLAS 検出器全体 (Fig.1.2) は、直径 25 m、長さ 44 m の円筒形で、陽子同士の衝突点から生じる粒子を検出できる構造になっている。また、多数の検出器の複合体であり、内側から層状に、内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオン検出器の順に配置されている。これらの複数の検出器を組み合わせることにより、粒子の追跡と識別をすることが可能になる。次節以降では本研究に関係する内部飛跡検出器について取り扱う。

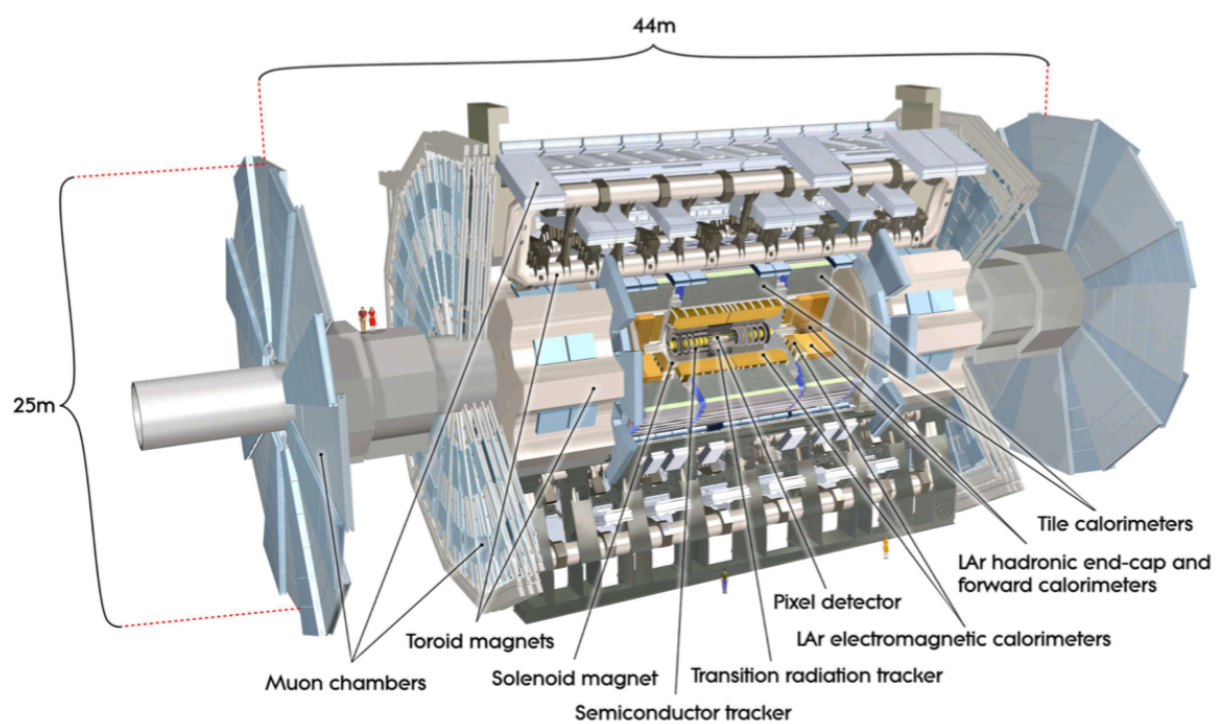


Fig. 1.2: ATLAS 検出器の全体図 [3]

## 1.2.2 内部飛跡検出器

2018 年現在の内部飛跡検出器 (Inner Detector; ID) は、内側からシリコンピクセル検出器 (Pixel)、シリコンストリップ検出器 (SemiConductor Tracker; SCT)、ストローチューブ検出器 (Transition Radiation Tracker; TRT) から構成されており、それぞれ衝突点で生じた荷電粒子の通過位置を測定する。内部飛跡検出器の構造を Fig.1.3 に示す。大きさは直径 2.1m、全長は 6.2m である。各検出器での粒子の通過位置の情報から粒子の飛跡を再構成することにより、二次粒子発生点を精密に測定できる。また、外部にはソレノイド磁石を配置しており、荷電粒子の飛跡が 2T の内部磁場によって曲げられるため、運動量が測定できる。

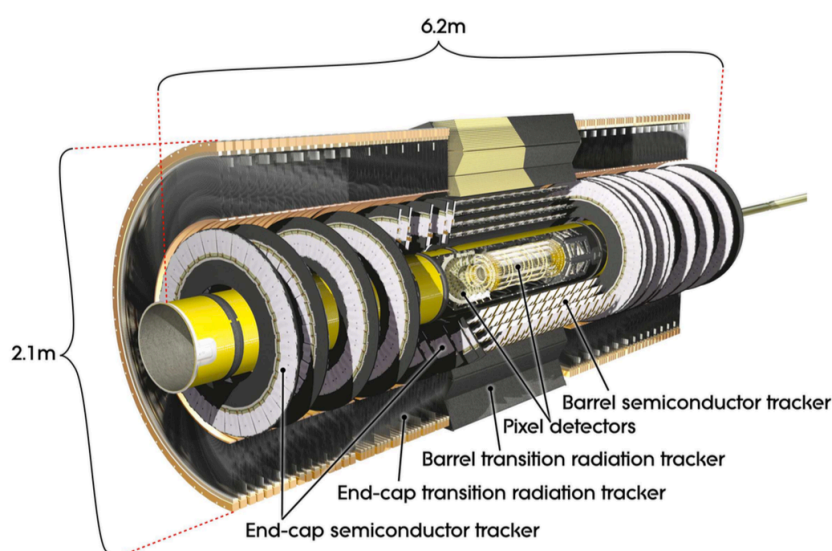


Fig. 1.3: 現行の内部飛跡検出器の断面図 [3]

### Pixel

Pixel は、微小な読み出しチャンネルを 2 次元格子状に多数並べたピクセルタイプのシリコン検出器の層である。読み出しチャンネル毎のセンサーサイズが小さいため位置分解能が高く、粒子密度の高い最内層でも粒子の飛跡の再構成の性能を維持する。現在のピクセル検出器 (Fig.1.4) は、円筒状のバレル部分に 4 層、ディスク状のエンドキャップ部分に 3 層ある。バレル部最内層は Insertable B-Layer (IBL) と呼ばれるピクセルサイズが  $50 \times 250 \mu\text{m}^2$  の層で、2014 年に導入された。残りのバレル部分の 3 層はピクセルサイズが  $50 \times 400 \mu\text{m}^2$  である。ピクセルの読み出しチャンネルの総数は約 9360 万である。

## SCT(SemiConductor Tracker)

SCT は、細長い短冊状の読み出しチャンネルを 1 次元方向に多数並べたストリップタイプのシリコン検出器の層である。ストリップ間隔は  $80\mu\text{m}$ 、長さは  $128\text{mm}$  である。2 枚のシリコンセンサーを互いに  $40\text{mrad}$  の角度をつけて重ねて配置し、二次元位置情報を得る。SCT の読み出しチャンネルの総数は、約 630 万である。

## TRT(Transition Radiation Tracker)

TRT は、ドリフトチューブ型のワイヤーチェンバーである。ガス中の電離電子のドリフト時間を測定して、荷電粒子の通過位置を再構成する。バレル領域では、長さ  $144\text{cm}$ 、直径  $4\text{mm}$  のストローチューブがビーム軸に平行に配置されている。エンドキャップ領域では、長さ  $37\text{cm}$ 、直径  $4\text{mm}$  のストローチューブが放射状に配置されている。また、相対論的粒子が誘電率の異なる物質の境界を通過する時に発生する遷移輻射を用いて、通過粒子が電子であるか  $\pi$  中間子であるのかを識別することができる。TRT の読み出しチャンネルの総数は約 35 万である。

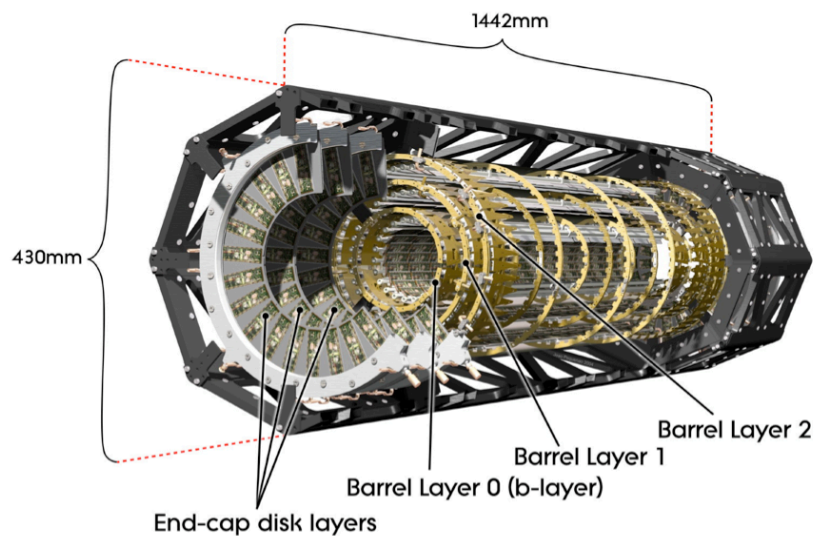


Fig. 1.4: 現行のピクセル検出器 [3]



### 1.2.3 内部飛跡検出器のアップグレード

HL-LHC に向けて、ATLAS 検出器のアップグレードを計画している。現行の ATLAS の内部飛跡検出器は、重心系衝突エネルギーは 14 TeV、瞬間ルミノシティは  $1 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  を想定して設計されているが、HL-LHC ではビーム衝突あたりの非弾性陽子・陽子衝突の数が現在の約 7.5 倍に増加する。

この際の問題の一つは、衝突あたりの生成粒子増加による放射線損傷である。検出器が放射線損傷を受けると検出効率が低下するため、より高い放射線耐性をもつ検出器が要求される。

もう一つの問題は、検出器のヒット占有率の増加である。ヒット占有率とは、衝突イベント毎に 1 検出器当たりで、全チャンネルのうちヒット判定されたチャンネル数である。HL-LHC では衝突ごとに発生する粒子の数が約 7.5 倍程度増加するため、現状の検出器のままではヒットチャンネルで埋まっていき、パターン認識を用いた飛跡再構成の性能が低下する。HL-LHC の環境下で飛跡再構成の性能を維持したまま運転を続けるためには、より微細に位置検出が可能な検出器が必要となる。

以上の理由により、内部飛跡検出器に関しては検出器の総入れ替えを計画している。HL-LHC では内部飛跡検出器の全てをシリコン半導体検出器にし、Pixel、SCT の領域を拡げ、TRT は廃止する。

Fig.1.5 に HL-LHC での内部飛跡検出器のレイアウトの図を示す。Pixel はバレル部に 5 層とエンドキャップ部に 5 層、SCT はバレル部に 4 層とエンドキャップ部 6 層を配置するレイアウトが採用される。

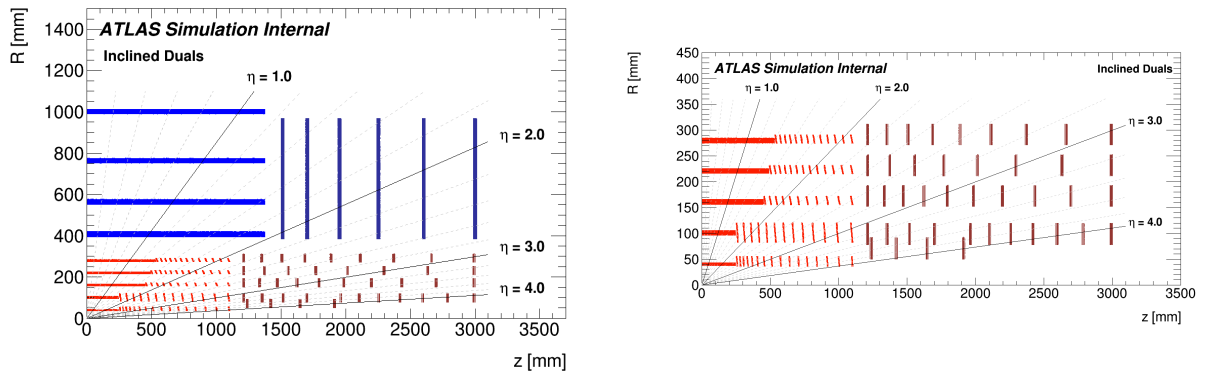


Fig. 1.5: (左)HL-LHC ATLAS 実験での内部飛跡検出器のレイアウト図 [4]。青は SCT を示し、赤が Pixel を示す。(右)Pixel の部分の拡大図。水平軸はビームラインに沿う軸であり、原点はビーム衝突点を示す。垂直軸はビーム衝突点からの半径方向の軸である。

以下、本研究に最も関連する Pixel のアップグレードに関して述べる。

## Pixel のアップグレード

HL-LHC における高放射線環境とヒット占有率の増加に対応するため、Pixel はより放射線耐性の高いもの、そしてよりピクセルのサイズが小さいものに変更する。飛跡再構成の性能を維持するために、衝突毎に発生する粒子の密度が5倍程度増加することに合わせ、ピクセルのサイズを現行の Pixel の5分の1まで小さくし、チャンネル数を5倍に増やしたセンサーを配置する。それに合わせて、ピクセル検出器からの信号を読み出すための特定用途向け集積回路 (Application Specific Integrated Circuit; ASIC) についても現行と比べてより性能が高いものが要求される。ASIC については次の 1.3.2 節で述べる。

HL-LHC の Pixel において、検出器 1 チャンネルあたりの粒子のヒット占有率を見積もるシミュレーションの結果を Fig.1.6 に示す。アップグレードにより、ヒット占有率を 0.2 % より小さく抑えられる。

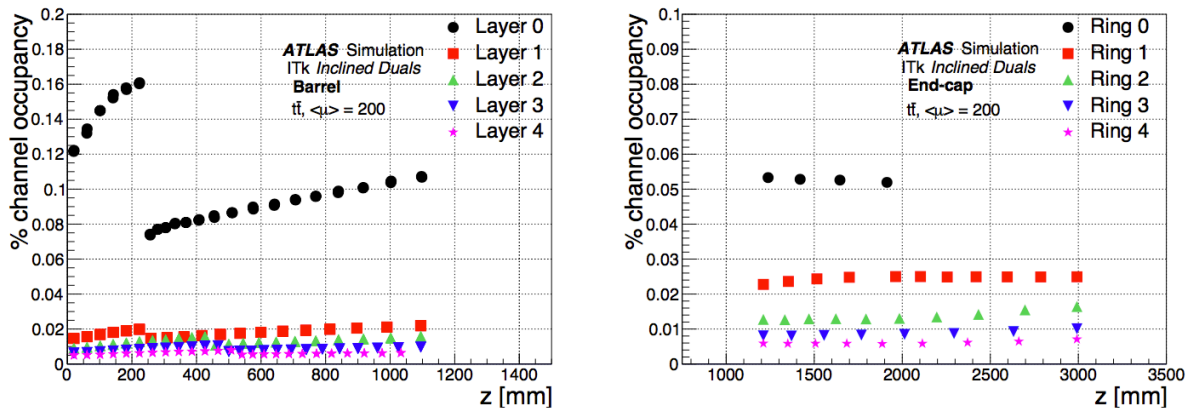


Fig. 1.6: HL-LHC ATLAS 実験での内部飛跡検出器レイアウトでのチャンネルあたりの平均ヒット占有率のシミュレーション結果 [4]。陽子衝突あたりの平均非弾性衝突事象 200 でのヒット占有率である。(左) バレル部分。ビーム軸に近い方から順に Layer 0, Layer 1, ... である。(右) エンドキャップ (リング) 部分。ビーム軸に近い方から順に Ring 0, Ring 1, ... である。ピクセルサイズは  $50 \times 50 \mu\text{m}^2$  である。

## 1.3 ATLAS のピクセル検出器と読み出しシステム

この節では、2 章以降を理解するために必要な知識についてまとめている。1.3.1 節で半導体検出器の技術を用いたピクセル型検出器について述べ、1.3.2 節でピクセル検出器か



らの信号を処理するための電気回路である読み出し ASIC について述べる。

### 1.3.1 ピクセル検出器

半導体検出器は荷電粒子の飛跡検出器として使うことができる。HL-LHC における ATLAS 実験で使用される半導体検出器の概念図を Fig.1.7 に示す。図では荷電粒子が空乏層化した p 型半導体を通り、電子正孔対が生成される。その後、電子が  $n^+$  側に引き寄せられて電荷信号として読み出される。 $n^+$  と  $p^+$  はそれぞれ n 型半導体に n 型の不純物、p 型半導体に p 型の不純物を多量にドーピングした半導体を意味する。

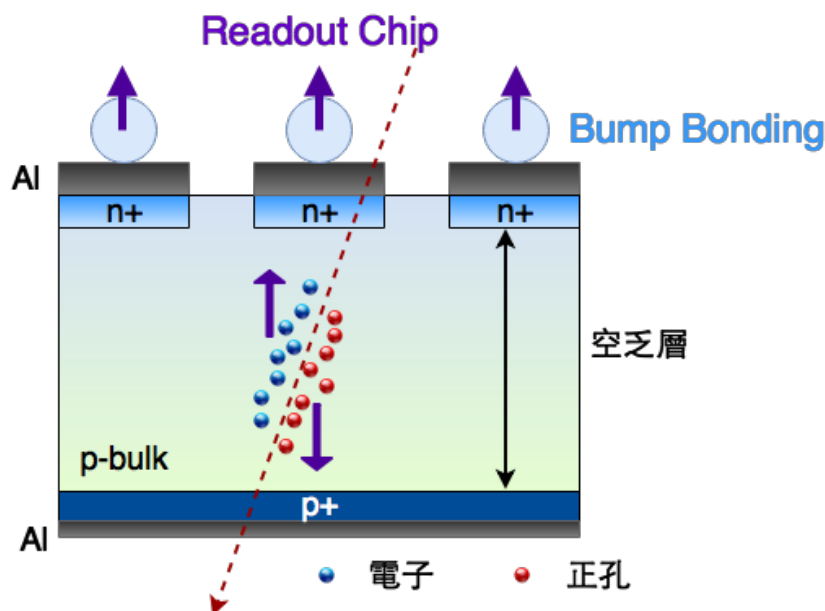


Fig. 1.7: 半導体検出器の概念図。図では電子が Al 電極から信号として読み出される。

ピクセル検出器は、電気信号の読み出し電極を二次元格子状に区切った飛跡検出器である。この格子の単位をピクセルと呼ぶ。このピクセルの大きさが飛跡検出器としての位置分解能を決定している。

### 1.3.2 ATLAS のピクセル検出器用読み出し ASIC

ピクセル検出器からの信号は、検出器に直接接続された電気回路で最初に処理される。この電気回路をフロントエンドエレクトロニクスと呼ぶ。この回路は全て専用の信号読み

出し用 ASIC 内に実装されている。そのためフロントエンド ASIC と呼ぶこともあるが、以降では単に ASIC と呼ぶ。

この回路を用いて、検出器からの微弱な電気信号を受け取り、計測用のシステムに最適化した応答をするように信号をアンプ回路や波形整形回路などで調整する。さらに、コンピュータでの解析処理や、データの保存のためにアナログ信号をデジタル信号に変換する。

Fig.1.8 に、ピクセル検出器と読み出し ASIC の接続図を示す。ピクセル検出器の各チャンネルと ASIC はバンプボンディング<sup>1</sup> という手法で接合し、ASIC では検出器からの信号に対して処理を行う。

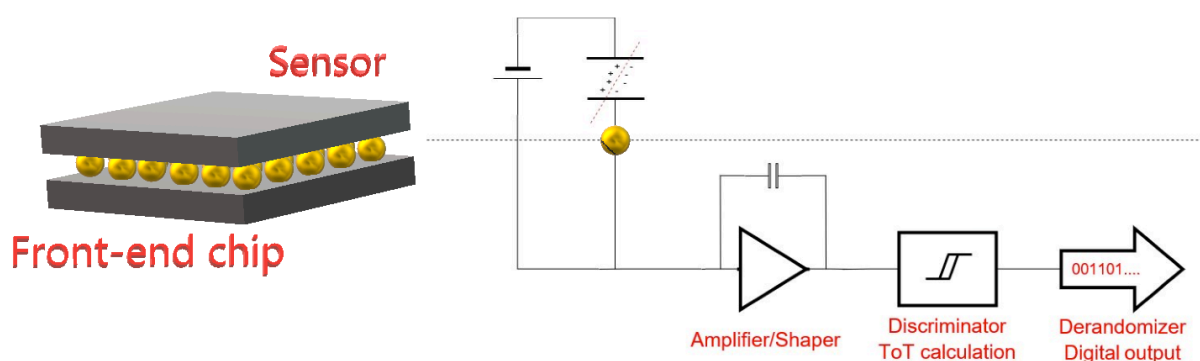


Fig. 1.8: ピクセル検出器と ASIC の接続。右図中のコンデンサがセンサー 1 ピクセルに対応し、バンプボンディングを介して、アンプに接続される。ASIC ではアナログ信号処理と信号のデジタル化が行われる [4]。

現行の ATLAS の Pixel の最内層 (IBL) では FE-I4 と呼ぶ ASIC が使用されている。HL-LHC に向けての Pixel のアップグレードでは、ピクセル検出器のチャンネル数を 5 倍程度増加させ、さらに Pixel の対応トリガーレートも現在の 200 kHz から 1 MHz と 5 倍に引き上げるため、読み出されるデータの量も約 25 倍程度増加する。したがって、それだけのデータを出力できるような ASIC が要求され、RD53[5] というコラボレーションで研究開発が進められている。その成果として、RD53A というハーフサイズのプロトタイプ ASIC が 2017 年 11 月に作成された。今後、ピクセル読み出し ASIC のデザインを最終決定するために、RD53A を使用したモジュールの放射線耐性試験と基礎特性の評価が行われる。

<sup>1</sup> センサーと ASIC の回路を金属電極端子の突起で接合する手法。

## FE-I4

現在の ATLAS 検出器の内部飛跡検出器の Pixel のうち、Insertable B-Layer (IBL) に導入している ASIC である。ASIC の大きさは幅が 20 mm、高さは 18.6 mm で、ピクセルチャンネル数は 26880 である。ピクセルのサイズが  $50\text{ }\mu\text{m} \times 250\text{ }\mu\text{m}$  の検出器に対応する。

## RD53A

RD53A の幅は 20 mm、高さは 11.8 mm で、ピクセルチャンネル数は 76800 である。

RD53A は量産用 ASIC のプロトタイプであり、ピクセルチャンネルの数は最終決定版の半分である。基本的な回路要素の動作検証を行い、大量生産版の開発・製造において技術的資産を再利用する。また、加速器ビームを用いた性能試験や、放射線照射を行った後の動作および性能試験なども行う。耐放射線量については HL-LHC 環境下で 500 Mrad の放射線量を受けた後でも問題なく動作するように設計されているが、500 Mrad よりも高い放射線量を受けた後の動作は、今後の試験により検証される。

Table 1.1 に、FE-I4、RD53A と HL-LHC で要求される読み出し ASIC の性能をまとめた。ここで特筆すべきことは、データ出力速度であり、 $5.12\text{ Gbps}^2$  という高速性が要求される。

| パラメータ      | FE-I4              | RD53A                    | 要求値              | 単位                    |
|------------|--------------------|--------------------------|------------------|-----------------------|
| ASIC の大きさ  | $20.0 \times 18.6$ | $20.0 \times 11.8$       | 約 $20 \times 20$ | $\text{mm}^2$         |
| ピクセルチャンネル数 | $80 \times 336$    | $400 \times 192$         | $400 \times 384$ | Columns $\times$ Rows |
| 対応ピクセルサイズ  | $50 \times 250$    | $50 \times 50$           | $50 \times 50$   | $\mu\text{m}^2$       |
| 耐放射線量      | 300                | $\geq 500$               | $\geq 500$       | Mrad                  |
| 動作クロック周波数  | 40                 | 160                      | 160              | MHz                   |
| 最大トリガーレート  | 200 k              | 1 M                      | 1 M              | Hz                    |
| データ出力速度    | 160 M              | $4 \times 1.28\text{ G}$ | 5.12 G           | bps                   |

Table 1.1: ATLAS Pixel 検出器用読み出し ASIC の比較 [4][6][7]。RD53A は、 $1.28\text{ Gbps}$  でデータを転送する信号線を 4 本備えている。

<sup>2</sup> bps = bit per second. データ通信における転送速度の単位で、1 秒間に転送できるビット数を表す。

## 1.4 本研究の目的

本研究の目的は、HL-LHC ATLAS のピクセル検出器用 ASIC の高速読み出しシステムの開発である。読み出しシステムを開発することにより、ASIC を使用したピクセルセンサーの性能試験ができるようになり、量産用ピクセル読み出し ASIC の開発に対してフィードバックを行うことができる。また、量産後の動作試験を行う際にも、データを正しく読めるかなどを確認する読み出しシステムが必要となるため、このようなシステムを用意し、動作を理解すべきである。開発する読み出しシステムの規模は大学の研究室レベルで利用可能なものを目指している。

ASIC の読み出しを行い、テストを行うには出力デジタルデータをコンピュータに転送し、実験目的に合わせた処理を行う必要がある。しかし、コンピュータの入出力用の通信インタフェースは規格により定められている。その規格に合わせるためにデータを事前処理し、データフローのコントロールを行う。そこで、ASIC の出力データ信号をデジタル回路で処理し、コンピュータの入出力規格に合わせる橋渡し役を用意する。この橋渡し役を読み出しシステム、あるいはデータ収集 (DAQ) システムと呼ぶ。読み出しシステムは、デジタル信号処理回路と、入出力インタフェースで構築される。このシステムの位置付けを Fig.1.9 に示す。

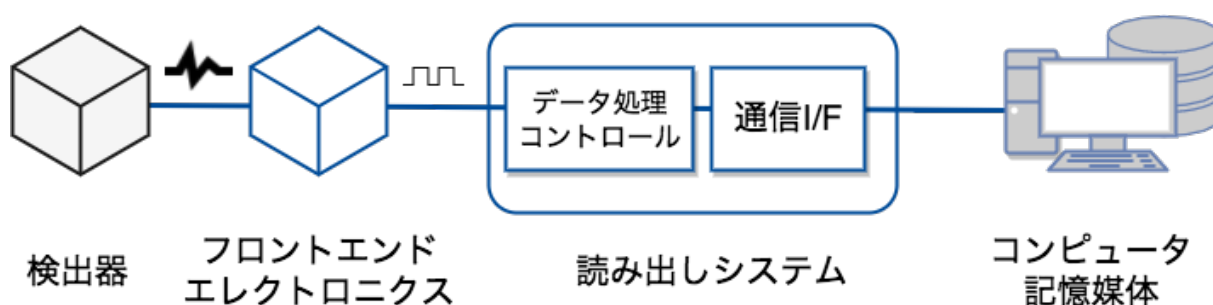


Fig. 1.9: 読み出しシステムの位置付け。ここではフロントエンドエレクトロニクス (ASIC) とコンピュータの間の橋渡し役を担う。

読み出しシステムの開発にはFPGAというデバイスを使用する。FPGAはField-programmable gate arrayの略で、ユーザーがロジックや配線を変更できるプログラマブルロジックデバイスの一種である。このFPGA上に、ASICからのデジタル信号を処理する回路と、コンピュータへデータを転送する回路を実装する。FPGA上に実装する回路情報をファームウェアと呼ぶ。FPGAが実装された基板とその基板上の入出力インタフェースを使用して読み出しシステムを構築する。FPGAは拡張性に優れ、実装するファームウェアをユーザーが自由に書き換えて、機能の修正や新機能の追加を行える。

読み出しシステム開発までの道標として、次のことを第一のステップとした。現行ATLAS

検出器で使用されている読み出し ASIC のデータ収集システムを、より高速なデータ転送が可能な汎用の FPGA ボードに移殖し、動作確認を行う。具体的には、FPGA に搭載する読み出し用のファームウェアおよびコンピュータでデータ収集を実行するソフトウェアは、過去に J.J Teoh 氏と廣瀬穰氏が開発した資産 [8][9] を用い、汎用の FPGA ボードで利用可能になるように移殖を行う。

第二のステップとしては次のことを行う。読み出しシステムを実装した FPGA ボードとコンピュータの間の通信速度を高速にするため、FPGA ボード上の汎用の高速シリアルバスインタフェースを利用するファームウェアを構築する。その後、データ転送速度などの性能試験を行い、読み出しシステムとして必要な性能を満たすことを確認する。ただし、システム全てを I/O コントロールのレベルで最初から構築するには時間とコストがかかるため、海外の研究グループが既に開発したシステム [13] を活用する。

## 第2章 現行ピクセル検出器用 読み出しASICのDAQ開発

この章では、高速読み出しシステムを開発するまでの第一ステップとして、汎用FPGAボードでFE-I4を読み出すシステムを構築したことについて述べる。2.1節でこの開発を行う意義を述べる。2.2節では読み出す対象であるASICの詳細を、2.3節では具体的なシステムの内容に関する説明を述べる。2.4節ではシステムの動作試験の結果を述べ、2.5節で結論と課題を述べる。

### 2.1 開発の意義

HL-LHC ATLAS のピクセル検出器用ASICの読み出しシステムを開発する前段階として、FE-I4用の読み出しシステムを汎用FPGA評価ボード上に構築する。汎用FPGA評価ボードは高速データ転送が可能なものを用いる。汎用FPGA評価ボードは、市販されているFPGA搭載基板で、通常の動作に必要となる入出力機能も実装されている。

この開発を、第3章で述べるデータ収集システムの基礎とする。また、従来使用されてきた読み出しシステムは、専用のオーダーメイドのFPGAボードを用いて構築されていた<sup>1</sup>。汎用の商用FPGAボード上に読み出しシステムを構築すれば、使用できるFPGAボードの選択肢が増え、コンピュータとFPGAの間の通信インタフェースの選択肢も増えるため、他の機能の拡張が容易になる。

---

<sup>1</sup> SEABAS テストシステム [10] および SEABAS2 テストシステムと呼ばれる読み出しシステムを指す。

## 2.2 ピクセル検出器読み出し ASIC FE-I4

本章では FE-I4<sup>2</sup> を用いて読み出しシステムの動作を検証する。FE-I4 ASIC との通信テストが目的であり、シリコンピクセルセンサーは接続されていない。FE-I4 が実装された基板の写真を Fig.2.1 に示す。FE-I4 は細い金属ワイヤーにより基板上の回路パターンと電氣的に接続されている。基板に FE-I4 が外部と通信するためのコネクタ、電源供給のためのコネクタ、FE-I4 の動作設定を決めるためのジャンパーピン等が実装されている。FE-I4 とのデジタル通信は、基板写真左下部の RJ-45 コネクタを介して行う。



Fig. 2.1: FE-I4 が実装された基板の写真。中央右の銀色の正方形のアルミカバーの上に置かれたチップが FE-I4 である。

### 2.2.1 信号処理回路の概要

この節では、FE-I4 の内部の信号処理回路について述べる。FE-I4 は各ピクセル毎に読み出しチャンネルがあり、チャンネル毎に独立したアナログ回路とデジタル回路をもつ。また、デジタル回路には回路の設定値を保存するレジスタが用意されている。これらの概要を説明する。

<sup>2</sup> FE-I4 はデザインのバージョンの違いにより現在 FE-I4A と FE-I4B があり、前者は FE-I4 のプロトタイプ版かつ R&D 用に製造されたもので、後者の FE-I4B は ATLAS 検出器に搭載されているもので、2019 年から運転 (Run3) に対応するために Fig.1.5 の Barrel Layer 0 に配置されている。この論文では FE-I4B を使用しており、全て FE-I4 と表記する。

## ピクセルアナログ回路

ピクセルアナログ回路は、各ピクセル毎にあり、センサーからのアナログ信号をデジタル信号に変換するまでの処理を行う。回路図を Fig.2.2 に示す。図では、左側から右側へ順に、センサーからの信号入力パッド、内部電荷注入回路、プリアンプ回路、さらにもう一つアンプ回路があり、その後にディスクリミネータ回路が並んでいる。

ピクセルセンサーからの電荷信号はまず、バンプボンディング部分を経由して図中左側の入力パッド  $Q_{in}$  から回路内へ入る。また、ピクセルセンサーからの電荷信号以外に、 $V_{cal}$  で示した部分からテスト用のパルスを回路に注入することも可能で、2つのキャパシタのいずれか或いは両方を使用するかを選択できる。回路に注入された信号は、2段階のアンプ回路によって整形、増幅されて三角波で出力される。前段のプリアンプ回路と後段のアンプ回路は AC 結合され、後段のアンプ回路ではさらに信号が増幅されディスクリミネータ回路と接続される。

2 段のアンプ回路により整形増幅された後の出力信号は Fig.2.3 のような三角波になり、この時の出力波高はピクセルセンサーからの電荷信号の大きさに比例する。出力波高に対して閾値を設定することにより、ヒットの情報とノイズの区別ができる。閾値は 5 ビットのレジスタ (TDAC) を用いて調整できる。ディスクリミネータ回路ではこの出力信号が閾値を超えている時間 (Time-over-Threshold; ToT) をデジタル情報に変換し、波高情報、すなわち電荷情報を得る。ToT は、FE-I4 の動作クロック 40 MHz の 1 周期分 (25 nsec) を単位とする。ToT の情報はその後、アナログ回路の後段にあるデジタル回路に渡され、ヒット信号として読み出され、さらに処理される。

## デジタル回路

デジタル回路では ToT の閾値による信号選別が行われ、その後ピクセル毎に配置されたメモリ上に一時的に情報が保存される。ピクセル毎に記録された情報は、ASIC の端にある論理回路に集約され、フォーマット化されて再びメモリ上に一時的に保存された後、データ信号として連続的に出力される。

FE-I4 に必要なデジタル入出力信号は、FE-I4 のシステム動作用に 40 MHz のクロック信号を送るリファレンスクロック線と、FE-I4 に命令を送るためのコマンド信号線、そして FE-I4 からデータを送るデータ信号線の 3 種類である。これらの信号は差動信号で入出力する。したがって必要な信号線の本数は 3 対 6 線である。通信には FE-I4 基板に実装された RJ-45 コネクタ<sup>3</sup> を用いる。RJ-45 コネクタは 8 ピンであるが、通信に使用しているのは 6 ピンだけである。簡単な図を Fig.2.4 に示す。

<sup>3</sup> Ethernet ケーブルのコネクタに用いられるもの。



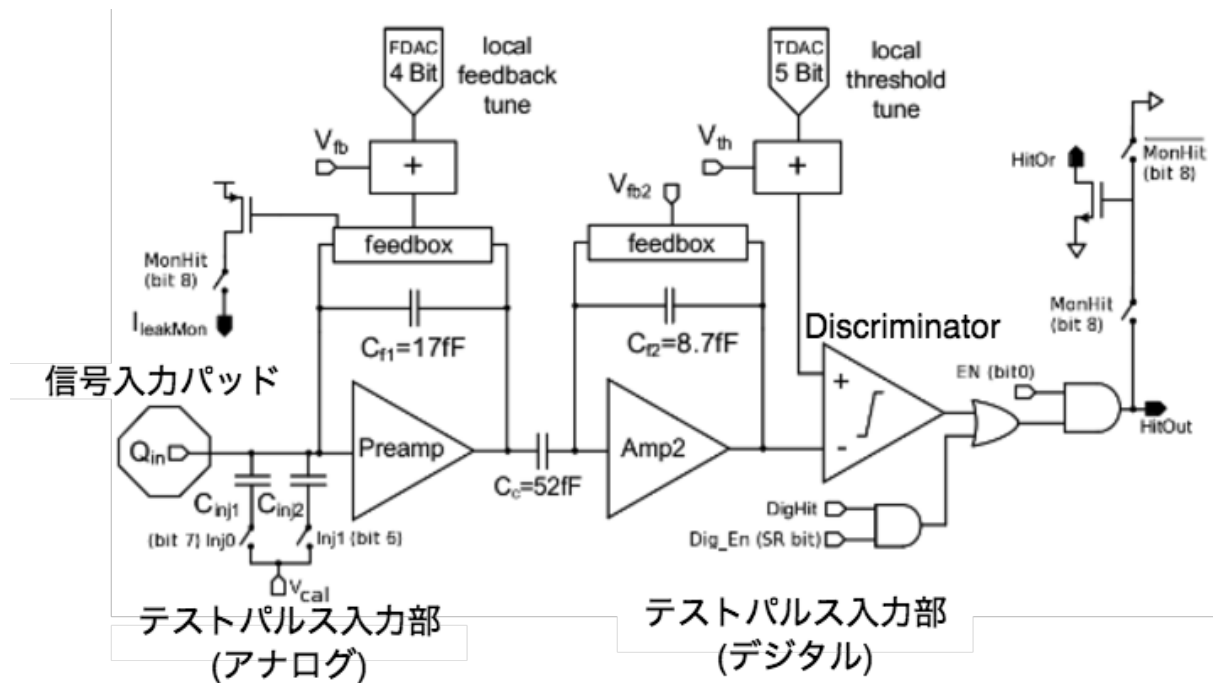


Fig. 2.2: FE-I4 のアナログ回路部分 [6]

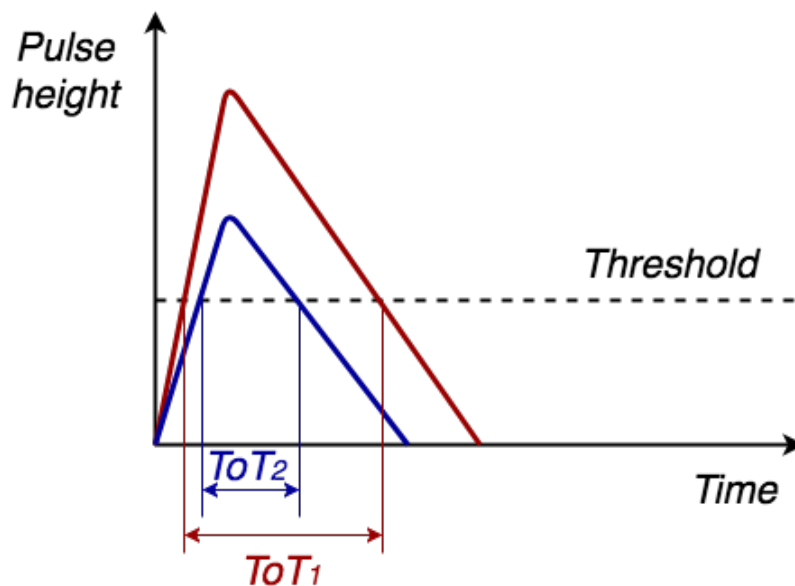


Fig. 2.3: Time-over-Threshold の概念図。例えば波高の異なる 2 種類の信号の場合、波高の高い信号 (赤色) に対しては  $ToT_1$ 、波高の低い信号 (青色) に対しては  $ToT_2$  が得られる。

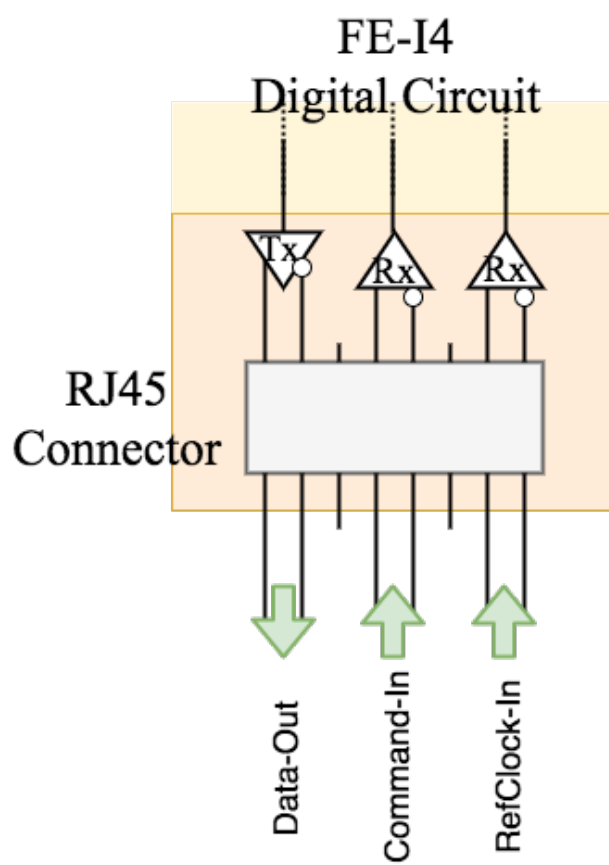


Fig. 2.4: FE-I4 の基板上でのデジタル入出力信号。信号の入出力は RJ-45 コネクタを使用する。Rx は差動信号の受信回路、Tx は差動信号の送信回路である。

## レジスタ

FE-I4 には、回路の動作や通信部分を制御するための設定値を保持するレジスタがある。レジスタはグローバルレジスタとピクセルレジスタ (またはローカルレジスタ) の 2 種類に分けられる。グローバルレジスタは、FE-I4 の全てのピクセルに対する共通の設定値と、通信制御用の設定値を保持する。一方ピクセルレジスタは、1 個のピクセルアナログ回路の挙動を決める値を保持するレジスタである。

2.4.3 節、2.4.4 節では TDAC、GDAC、FDAC、PrmpVbpf の 4 つのレジスタの役割を説明する。そして、構築した読み出しシステムを用い、レジスタの値を変えた時の動作結果を述べる。

## 2.3 読み出しシステムの概要

この節では、コンピュータと FPGA ボードの間の通信に Ethernet<sup>4</sup> を利用した FE-I4 読み出しシステムについて述べる。システムの全体像を Fig.2.5 に示す。開発項目は主に 2 点で、1 つは FPGA に実装するファームウェアの移植である。ファームウェアは過去に開発された読み出しシステム用のものをベースにして移植を行う。もう 1 つは FE-I4 が実装された基板と FPGA ボードを接続するインタフェース拡張カードの作成である。ファームウェアをコンピュータ側からコントロールするために、廣瀬穰氏が開発したソフトウェア [9] をそのまま使えるようにした。

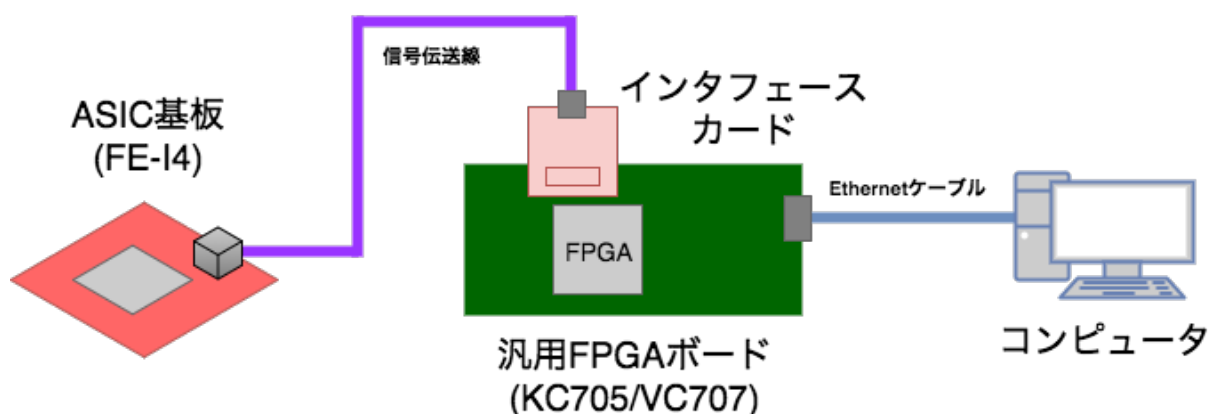


Fig. 2.5: コンピュータと FPGA ボードの間の通信に Ethernet を利用した読み出しシステムの概念図

<sup>4</sup> Ethernet はコンピュータのネットワーク通信の規格の 1 つである。IEEE 802.3 で規格化され、有線のネットワーク通信では最も汎用的に使用されている。

### 2.3.1 読み出しシステムの汎用FPGAボード

本開発において用いる開発プラットフォームとして、Xilinx, Inc. の Kintex-7 FPGA 搭載 KC705 評価ボードおよび Vitex-7 FPGA 搭載 VC707 評価ボードを選択した。

これらの評価ボードを選択した主な理由を以下に述べる。

- 研究室規模の実験で使うことを想定しているため、FPGA 評価ボードは一般的に流通していて入手性が良い。
- コンピュータと FPGA 評価ボードの間の通信方法の選択肢が多い。たとえば以下のようなインタフェースを備えている。
  - － ネットワーク通信を行うための Ethernet コネクタ
  - － 高速シリアル通信バスの PCI Express コネクタ
  - － 光ファイバを用いた通信を行うための SFP/SFP+コネクタ
  - － 同軸ケーブルを接続するための SMA コネクタ
- FPGA メザニンカード (FMC)<sup>5</sup>を使用することにより、入出力インタフェースを拡張することができる。オリジナルの FPGA メザニンカードを作成すれば、あらゆる通信インタフェースに対応できる。

Fig.2.6 に KC705 評価ボードの写真と主な通信インタフェースを示す。

2 種類の評価ボードに対して読み出しシステムを用意したのは、いずれかの評価ボードがあれば、すぐに FE-I4 を用いた試験ができるためである。

今回、FPGA とコンピュータとの間のデータ転送に用いるインタフェースは 10/100/1000 MHz Ethernet を用いる。Ethernet を用い、ネットワークを介して通信を行う。ネットワーク上では標準的な通信プロトコルである TCP/IP<sup>6</sup> を用いる。FE-I4 と FPGA の間の通信は、FE-I4 の通信インタフェースが標準的なものではないので、FPGA メザニンカードを使用して新しく外部インタフェースを拡張する。FPGA メザニンカードについては 2.3.4 節で述べる。

---

<sup>5</sup>FPGA Mezzanine Card(FMC) は FPGA が実装された基板で使用される、外部入出力インタフェース拡張用カードの規格である。

<sup>6</sup> TCP/IP とは、ネットワーク通信を行うためのプロトコルの集合体である。IP(Internet Protocol), TCP(Transmission Control Protocol), UDP(User Datagram Protocol) が含まれる。詳細は RFC 1180 を参照。

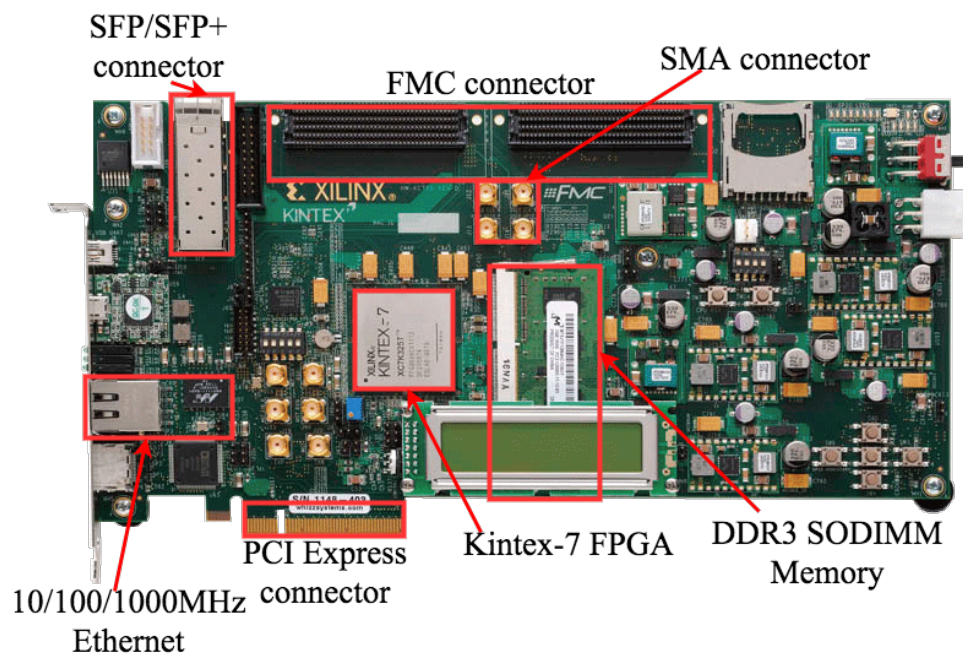


Fig. 2.6: KC705 評価ボードの主な特徴。Ethernet、PCI Express、FMC コネクタの他、SFP/SFP+のような光通信コネクタや同軸ケーブルを接続する SMA コネクタを外部入出力インタフェースとして備えている。より詳しい仕様については [20] を参照。

### 2.3.2 ファームウェアの移殖

FPGA に実装する回路情報であるファームウェアの移殖についてこの節で述べる。FE-I4 を読み出すためのファームウェアは過去に開発されているため [8][9]<sup>7</sup>、その資産を用いる。過去の読み出しシステムを KC705 評価ボードおよび VC707 評価ボードに移殖する際に、新しい FPGA に対応するために全体の 3 割程度ファームウェアを書き換えた。ファームウェアはデジタル回路を構成するためのハードウェア記述言語 (HDL) を用いて開発されるが、以下の変更に伴い、拡張性と保守性の向上を目指して可読性を高めた。

- 旧システムでは 2 種類の FPGA を用いており、片方を ASIC からのデータ処理、もう片方をネットワーク通信の制御に使用していた。KC705/VC707 評価ボードを使用する場合、搭載している FPGA は 1 個のため、すべての機能を 1 個の FPGA に統合した。そのためネットワーク通信に関連する信号の配線を変更した。さらに、このように 1 つの FPGA に全ての機能を実装することで回路基板の伝送路が短くなりノイズ耐性が高くなる。
- 万が一ファームウェアにバグが存在していた場合や、ASIC からの信号が不正な場合、すぐにデバッグ作業ができるように FPGA 内部の信号を観測するためのロジックアナライザを搭載した。ロジックアナライザには Xilinx 社の Integrated Logic Analyzer (ILA) を用いた。これにより内部動作をモニタリングツールで確認できるようになった。

この変更点をブロック図で示したのが Fig.2.7 である。ASIC に対して送るデータを処理する回路ブロックを Data Transmitter(Tx)、ASIC から受け取るデータを処理する回路ブロックを Data Receiver(Rx)、ネットワーク通信の制御を行う回路ブロックは Network Processor として表した。次の 2.3.3 節でファームウェアの動作を説明する。

### 2.3.3 ファームウェアの内部動作

この節では読み出しシステムのファームウェアの動作の説明をする。ファームウェアに実装している主な機能は以下の 3 点である。

- コンピュータからデータを受け取り、ASIC のコントロール信号を発行して ASIC に送信する。
- ASIC からデータを受信し、処理を行う。

---

<sup>7</sup> SEABAS および SEABAS2 システム。

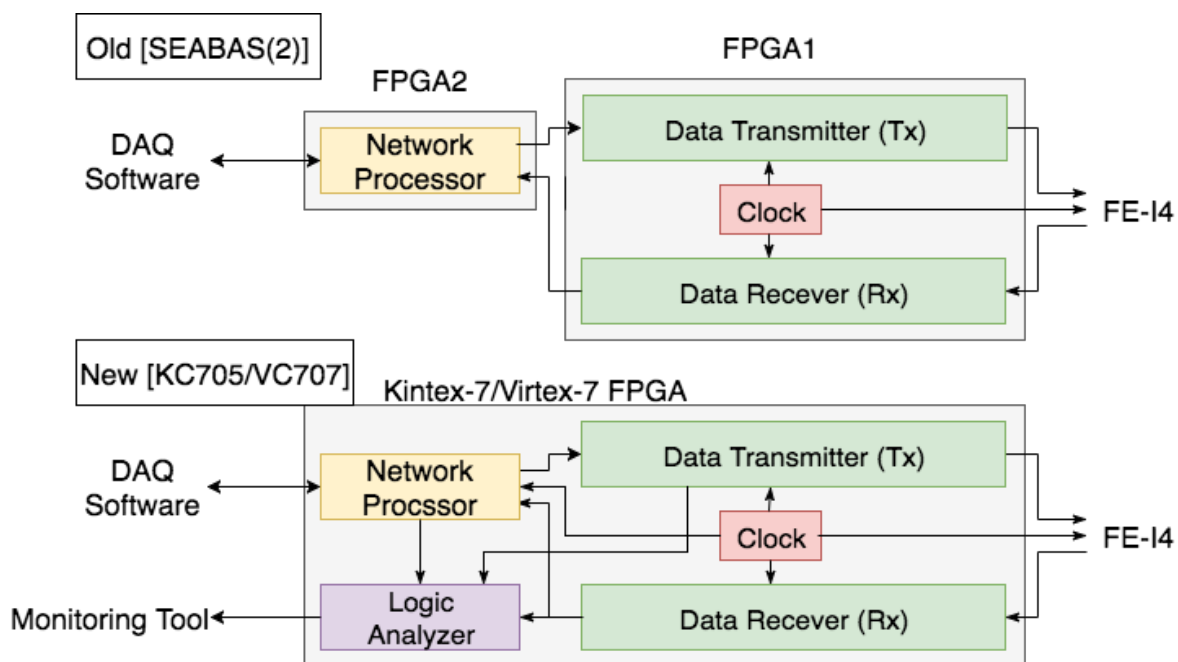


Fig. 2.7: ファームウェアの変更点。緑色ブロックの基本的な動作仕様は変更していないが、それ以外の色のブロックについては追加、変更を行った。

- FPGA 内のデータを、ネットワーク通信によってコンピュータにデータを転送する。

ファームウェアのブロック図を Fig.2.8 に示す。各回路を動作させるためのクロック信号を生成する部分やロジックアナライザは省略し、データ通信に関わる部分だけを示した。

データの送受信処理は以下の手順で行う。Fig.2.8 中の各ブロックの詳細は付録 A.1 で述べる。

### 送信フロー (Computer → FPGA → FE-I4)

1. コンピュータと FPGA の TCP 通信<sup>8</sup> の接続を確立する。
2. UDP 通信<sup>9</sup> で、データ収集 (DAQ) 用ソフトウェアから FPGA に命令データを送信する。
3. FPGA で受け取られたデータをレジスタに一時的に保存する。

<sup>8</sup> Transmission Control Protocol の略。フロー制御を行うため信頼性の高いデータ転送が可能。詳細は RFC793 を参照。

<sup>9</sup> User Datagram Protocol の略。フロー制御を行わないが高速性に優れる。詳細は RFC768 を参照。

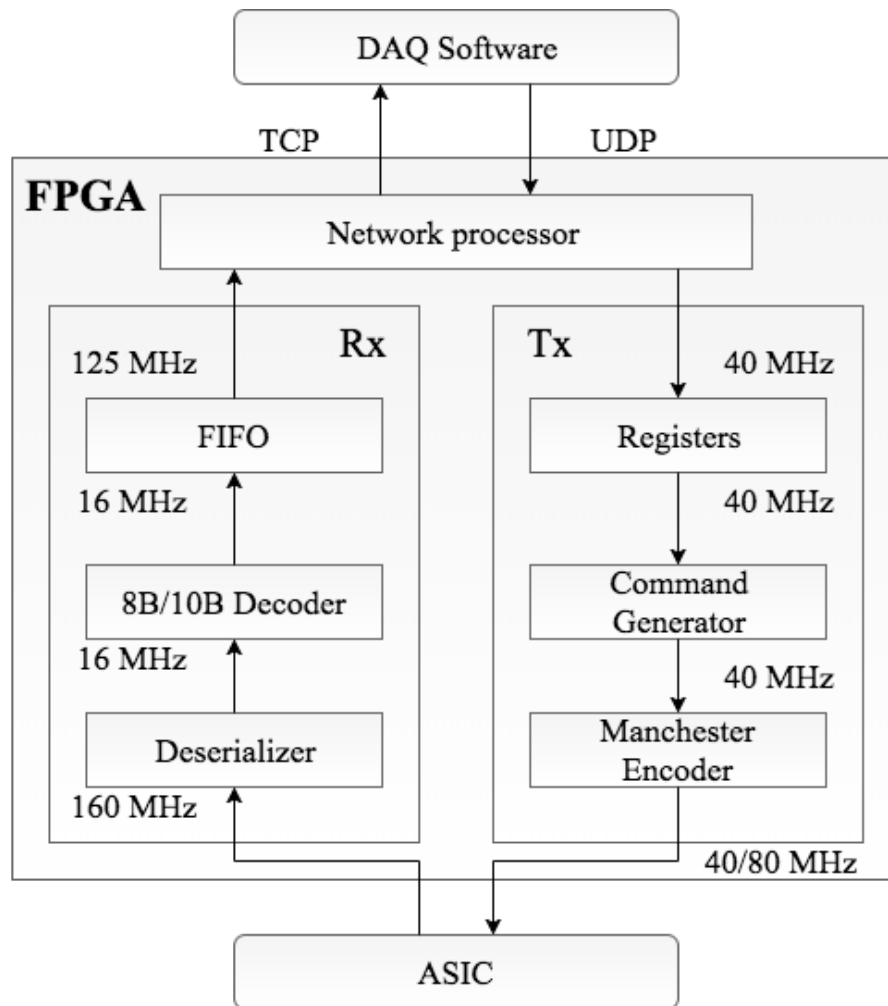


Fig. 2.8: FE-I4 読み出しファームウェアのブロック図。矢印はデータの流れる方向を示す。矢印間の周波数は各ブロックのデータ出力速度を意味する。



4. レジスタの値から FE-I4 に送るコマンド信号およびトリガ信号を生成する。
5. コマンド信号にマンチェスタ符号化処理 (付録 A.1 を参照) を行う。
6. FPGA から FE-I4 にコマンド信号およびトリガ信号を送信する。

### 受信フロー (FE-I4 → FPGA → Computer)

1. FE-I4 からデータ信号を受信する。
2. 受信したシリアル信号をパラレル信号に変換するデシリアライズ処理を行う。
3. 符号化されている 10 ビット信号を 8 ビット信号に復号化する処理を行う。
4. FIFO を用いてデータのバッファ処理を行う。
5. TCP 通信で、FPGA からコンピュータへデータを送信する。

受信フローの中で行われる処理を簡単に Fig.2.9 と Fig.2.10 を用いて説明する。FE-I4 から送られてくる信号は、1 ビットずつ伝送されるシリアル信号なので、このビット列からデータ信号を再生する必要がある。そこで、Fig.2.8 の Deserializer では、160 MHz のシリアル信号から 10 ビットのパターンを再生するデシリアライズ処理を行なう。160 MHz で送られてくる信号を 10 ビットずつ区切るため、デシリアライズ後のパラレル信号の転送レートは 16 MHz になる。その後、10 ビットの信号は 8b/10b デコーダというブロックで 8 ビットの信号に変換される。8 ビットの信号に変換された後は非同期 FIFO でバッファ処理が行われ、125 MHz クロックの同期タイミングでネットワーク処理部へ送られる。

データの送受信の一連の動作を、ロジックアナライザで確認した様子を Fig.2.11 に示す。Fig.2.11 では最初にコンピュータと FPGA の TCP 通信を確立し、次に FE-I4 に送る信号が発行され、FE-I4 から帰って来たデータを処理して 8 ビットのデータに変換し、FIFO でバッファ処理をした後にデータがネットワーク処理部に送られる信号の様子を示している。

### 2.3.4 インタフェースカードの作成

FE-I4 が実装された基板と読み出しファームウェアを実装した FPGA ボードを物理的に接続するためのインタフェースとして、FE-I4 基板と FPGA ボードを接続するインタフェースカードを作成した。

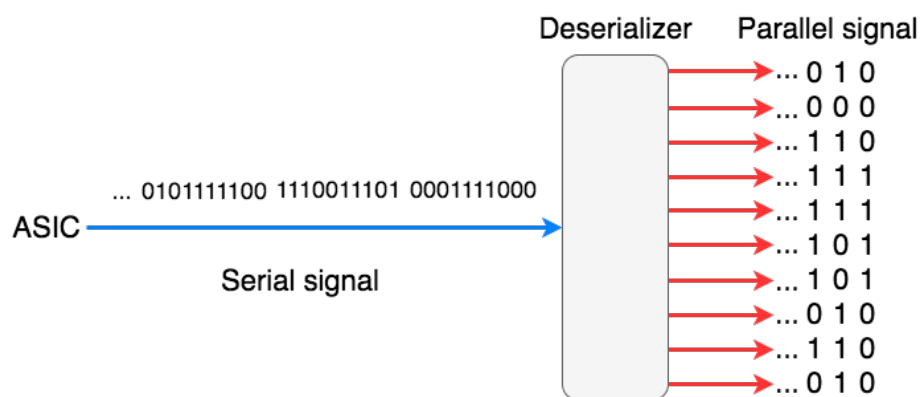


Fig. 2.9: Deserializer の役割の説明図。シリアル信号を 10 ビットの平行信号に変換する処理を行う。

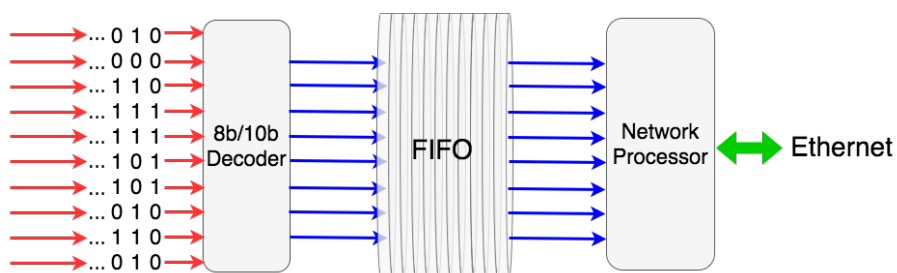


Fig. 2.10: デシリアライズされた後のデータ信号の流れの説明図。

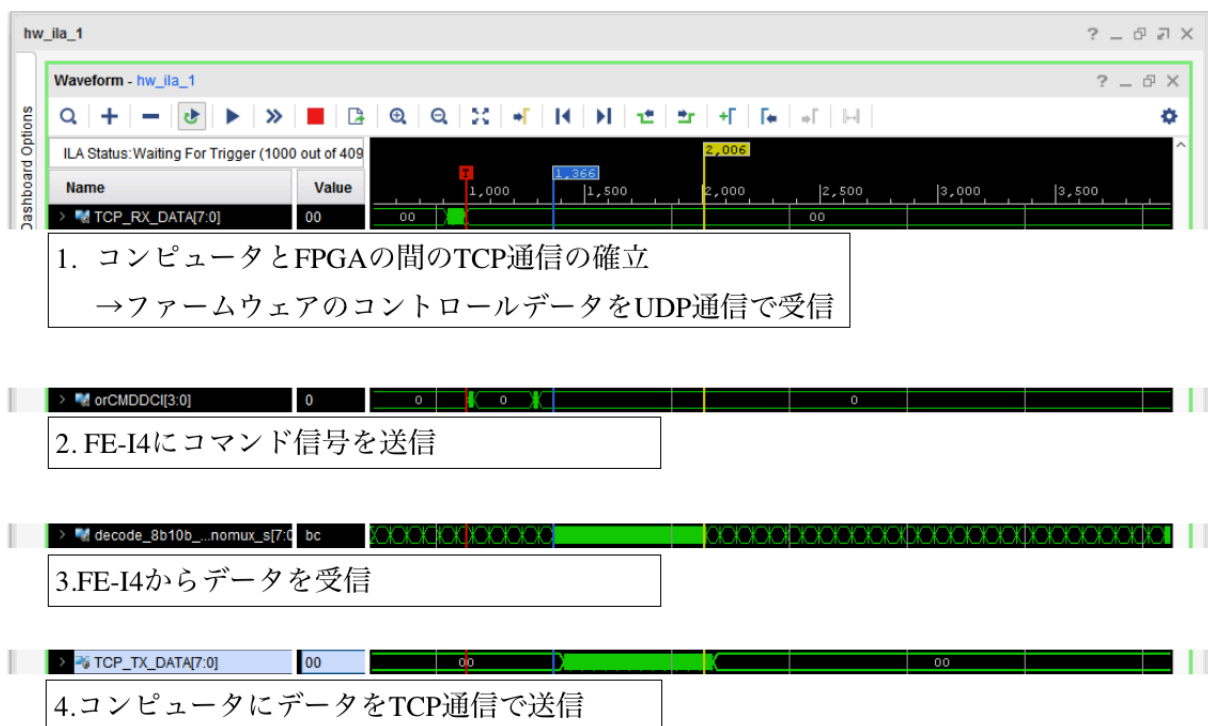


Fig. 2.11: ロジックアナライザで送受信データを確認した様子。緑色の濃い領域に送受信中のデータ情報がある。説明不要な信号に対してトリミング加工を施している。

Fig.2.1 の基板上に用意されている通信インタフェースは、Ethernet ケーブルで使用されている RJ-45 という通信用コネクタの規格である。また、FE-I4 へ送る信号の規格は独自のもので、Fig.2.12 の右の図で示す差動信号<sup>10</sup> である。そこで、FPGA ボードの FMC メザニンコネクタを利用する信号変換用の基板を作成して対応した。FPGA のボードから FE-I4 に合わせた規格の信号を直接出力することはできないため、FPGA ボードからは Fig.2.12 左のような LVDS(Low voltage differential signaling)[12] と呼ばれる差動信号の規格で出力し、インタフェースカード上で信号の電圧レベルを変換する。

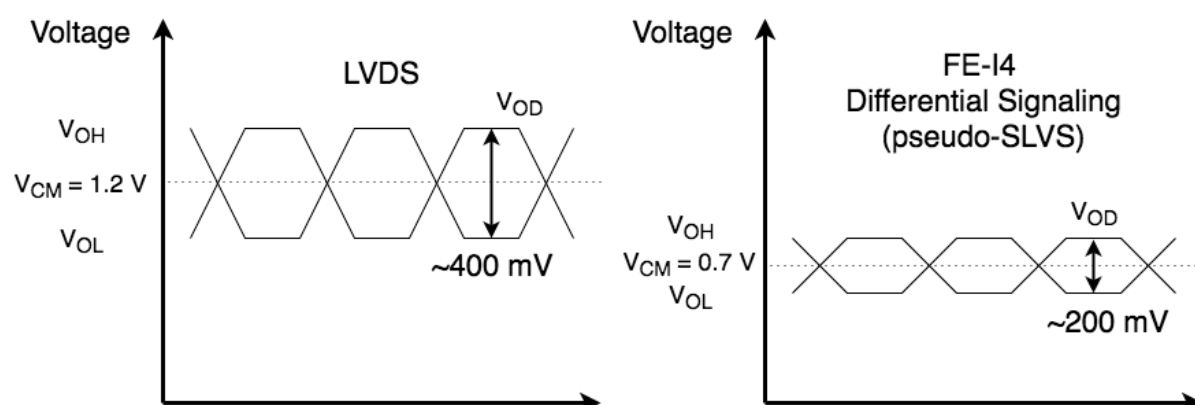


Fig. 2.12: 差動信号の説明図。(左)LVDS 規格。FPGA の出力信号として用いる。(右)FE-I4 で対応する差動信号の規格。 $V_{CM}$  はコモンモード電圧と呼び、2 本の信号の電圧の平均値を示す。2 本の信号の電圧差  $V_{OD} = V_{OH} - V_{OL}$  によって論理が決まる。

Fig.2.13 に作成したインタフェースカードの回路図を示す。この回路には、信号の電圧を補正する差動バッファ回路を挿入している。これは伝送線路が長い場合、信号の減衰が発生するためである。コモンモード電圧と差動信号の振幅の変換のために、 $1k\Omega$  の抵抗を伝送路とグラウンドの間に挟んだ。

完成したインタフェースカードの写真を図.2.14 に示す。カード上には FE-I4 と接続するための RJ-45 コネクタと、 $2.54\text{mm}$  ピッチのピンヘッダコネクタを実装している。ピンヘッダコネクタは市販のピンヘッダ変換用 FMC カード (東京エレクトロニクス;TB-FMCL-PH) に接続し、FPGA ボードと FMC コネクタで接続する。

FE-I4 基板、FPGA ボード、インタフェースカードを全て接続した後のセットアップ写真を Fig.2.15 に示す。読み出しシステムのハードウェア部分はこれで全てである。

<sup>10</sup> 差動信号は 2 本の極性の異なる信号を用いて 1 つの信号を伝送する方式である。2 つの信号の電圧差が正か負かで論理が High か Low の識別がなされる。

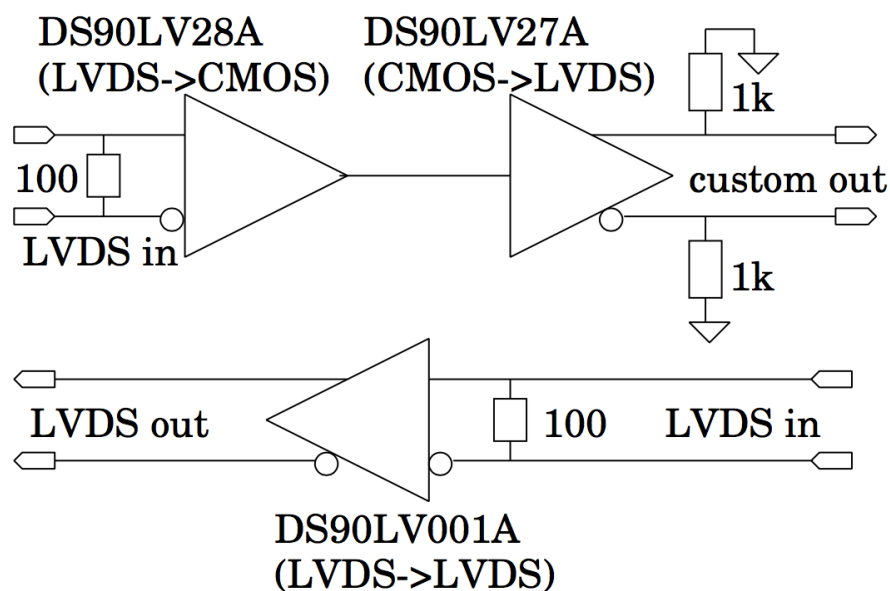


Fig. 2.13: インタフェースカードの回路図。上図はFPGA からの LVDS 信号を FE-I4 用の信号電圧に変換する回路を示す。電圧レベルは  $1k\Omega$  の抵抗により下げている。下図は FE-I4 からの LVDS 信号を LVDS 信号で出力するバッファ回路である。

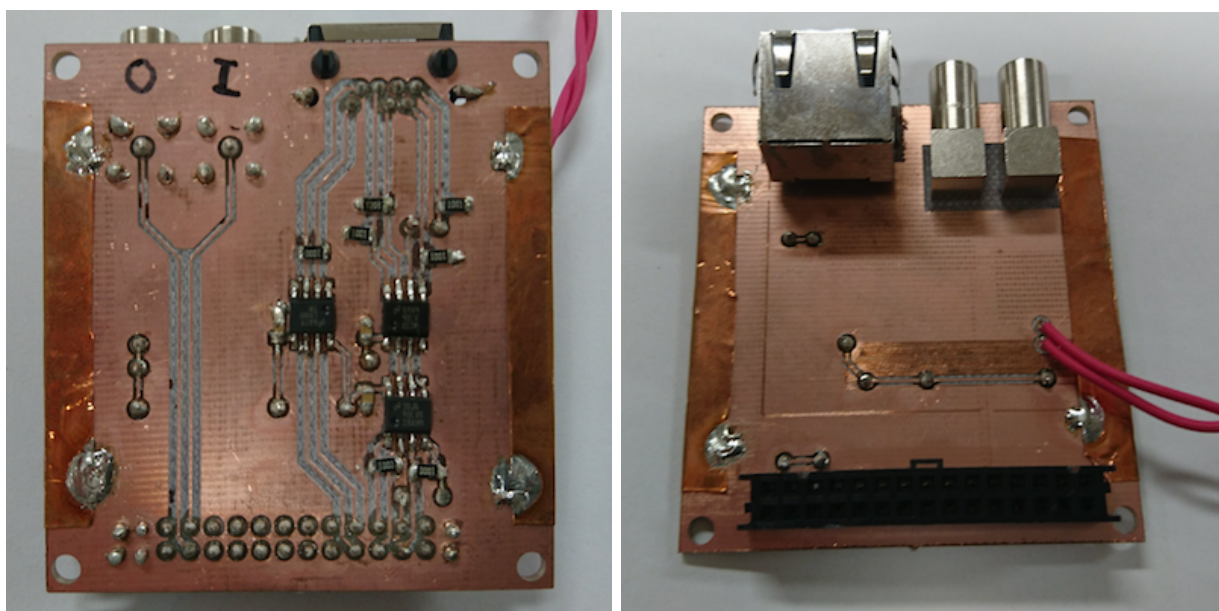


Fig. 2.14: インタフェースカードの写真。(左) 裏面。(右) 表面。

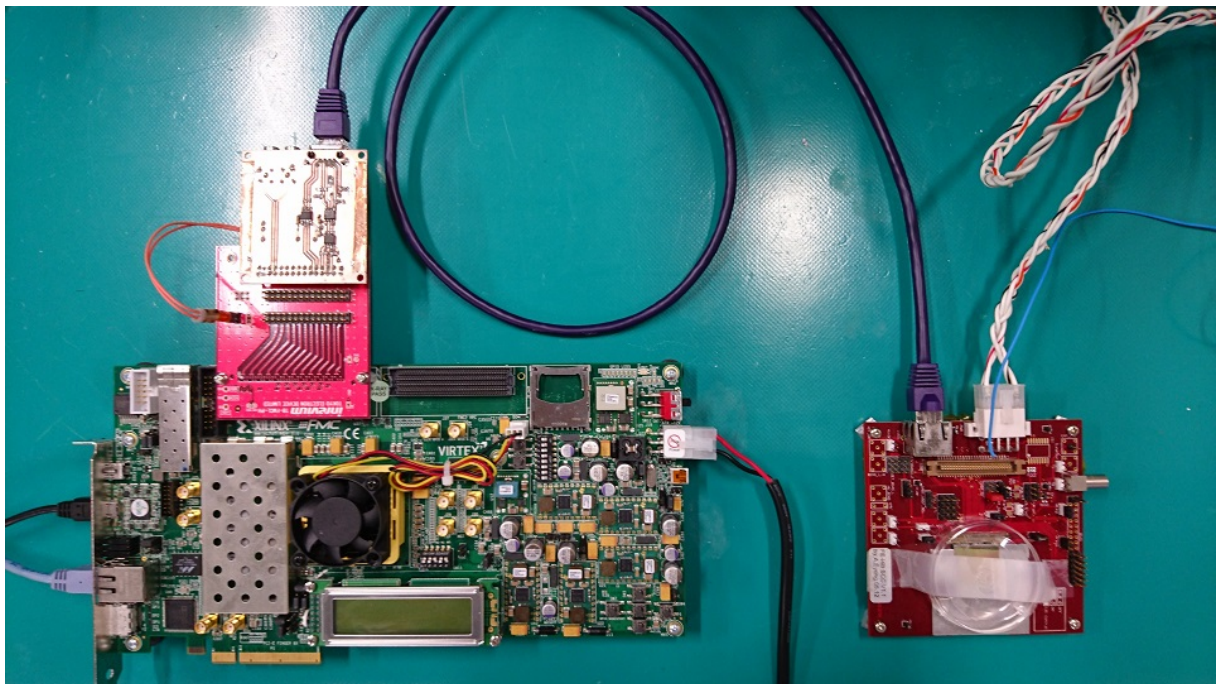


Fig. 2.15: FE-I4 読み出しシステムのテストの様子 (写真は VC707 評価ボードを使用した例)。FPGA 評価ボードと FE-I4 は、インタフェースカードを介して紫色の Ethernet ケーブルで接続している。データ収集に用いるコンピュータと FPGA 評価ボードは、写真左下の水色の Ethernet ケーブルで接続している。

## 2.4 動作確認

FPGA に実装したファームウェアの動作と作成したアダプタカードの出力が正しいものであり、FE-I4 のコントロールができてデータの取得ができるかどうかの一連の動作確認を行った。最初に、インタフェースカードの動作を確認するために、FPGA からクロック信号とコマンド信号を出力させたときの結果、および FE-I4 からのデータ信号の確認の結果について述べる。次に、汎用 FPGA ボードを使用してデータの取得ができることを実証するため、ピクセルアナログ回路に設定している閾値と ToT の調整ができるかどうかを確認した。また、ヒットをシミュレートするデジタルスキャンとアナログスキャンを行った結果についても述べる。

### 2.4.1 クロック信号とコマンド信号の確認

FPGA から出力した信号が、FE-I4 の入力信号のプロトコル (Fig.2.12) に適合しているかどうかのチェックを最初に行った。仮にコマンド信号のプロトコルが不整合であったりすると、ファームウェアの内部設計にバグがあることになる。また、信号の電圧レベルが不適合であればインタフェースカードの設計に問題があることになる。

#### インタフェースカードの出力信号の電圧レベル

インタフェースカードを介して FPGA から出力される信号の電圧レベルとノイズの影響を確認するために、インタフェースカード上のクロック信号伝送用の 2 線を同時にプローブし、オシロスコープで波形を調べた。プローブはパッシブ・シングルエンドプローブを用い、10 M $\Omega$  インピーダンス、DC 結合モードで行った。また、プローブ時のグランドは FPGA ボードの電源のグランドと共通にした。測定時は、FE-I4 基板とインタフェースカード間のグランドが共通になるように、アルミシールド被覆が施されたカテゴリ 7 の Ethernet ケーブル (1 m) を使用して接続した。測定時のセットアップ図を Fig.2.16 に示す。結果を Fig.2.17 に示す。

Fig.2.17 より、コモンモード電圧  $V_{CM}$  が 670 mV 程度、HIGH のときの電圧  $V_{OH}$  が 730 mV 程度、LOW のときの電圧  $V_{OL}$  が 600 mV 程度であることが読み取れる。2 本の信号の振幅が共に 130 mV 程度で、Fig.2.12 に示す基準を完全に満たしているわけではないが、この後の 2.4.2 の結果により動作には問題が無いことを確認した。

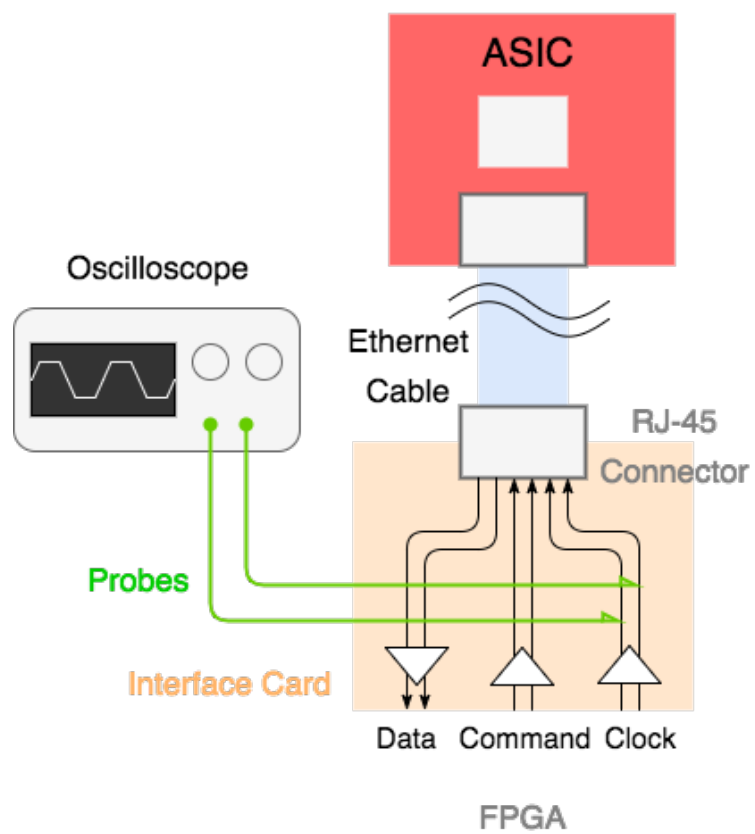


Fig. 2.16: インタフェースカードの出力信号の電圧レベルを測定するときのセットアップ図。



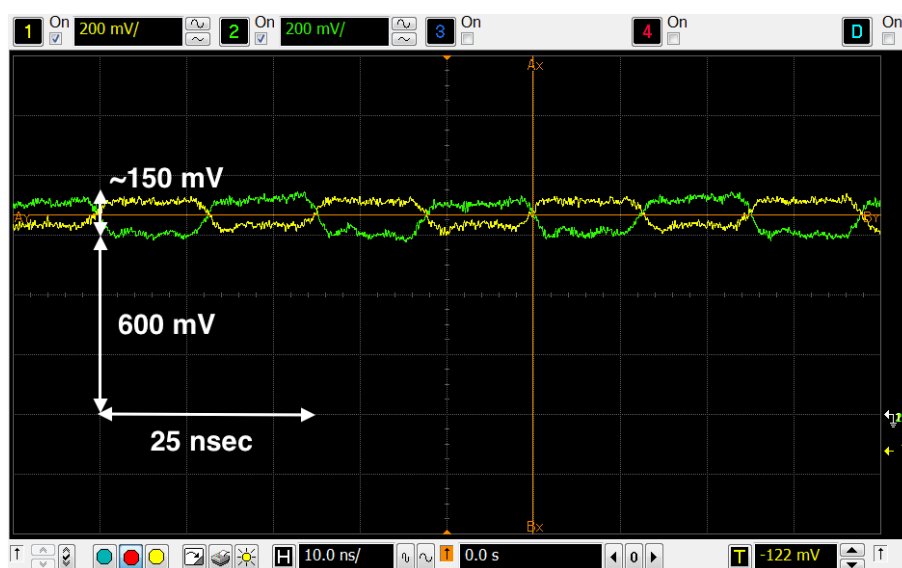


Fig. 2.17: クロック信号の電圧レベルをプローブした時の波形

## コマンド信号の出力の確認

信号の出力電圧レベルの次に、コマンド信号を出力したときの波形を測定した。FPGA から出力したコマンド信号の波形の確認により、ファームウェアのコマンド出力までの動作が正しいことを確認した。

波形の測定は、Fig.2.18 に示すようなセットアップで行った。オシロスコープでの確認を容易にするため、Fig.2.18 のように RJ-45 コネクタの出力端子のうち FE-I4 と接続している信号線を、LEMO コネクタで同軸ケーブルと接続できるようにした。そして、クロックおよびコマンド出力のシングルエンド信号を 50Ω 終端で AC 結合モードで確認した。

Fig.2.19 にクロック信号と RunMode コマンドの信号を出力した時の波形を示す。Run-Mode コマンドは FE-I4 をコントロールする信号である。測定により、送られているビット列が設計通りに出力できていることを確認した。

### 2.4.2 データ信号の確認

40 MHz のリファレンスクロック信号を FE-I4 に送ると、FE-I4 内部の位相同期回路 (PLL) が駆動し、160 MHz のクロック信号が生成される。この後、データを出力する回路を駆動させるレジスタの値を設定するコマンド信号を受け取ると、外部にデータ信号が出力され始める。

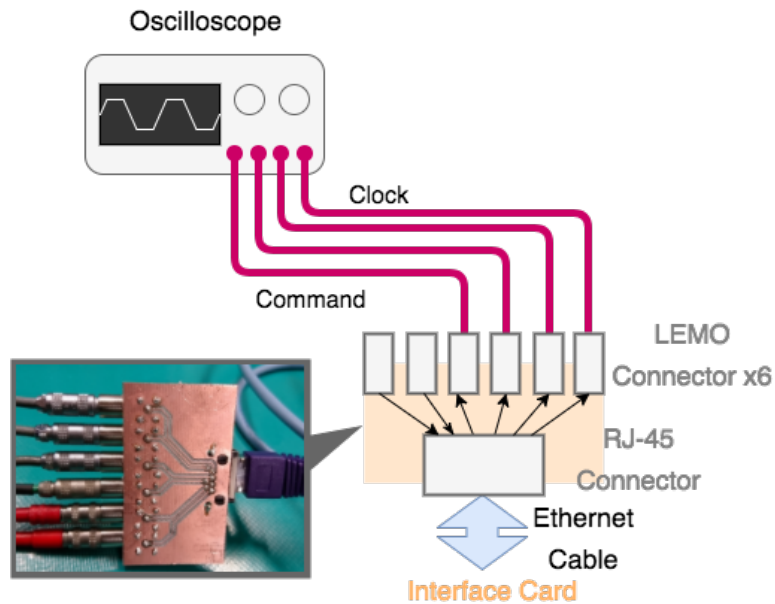


Fig. 2.18: コマンド信号確認時のセットアップ図。

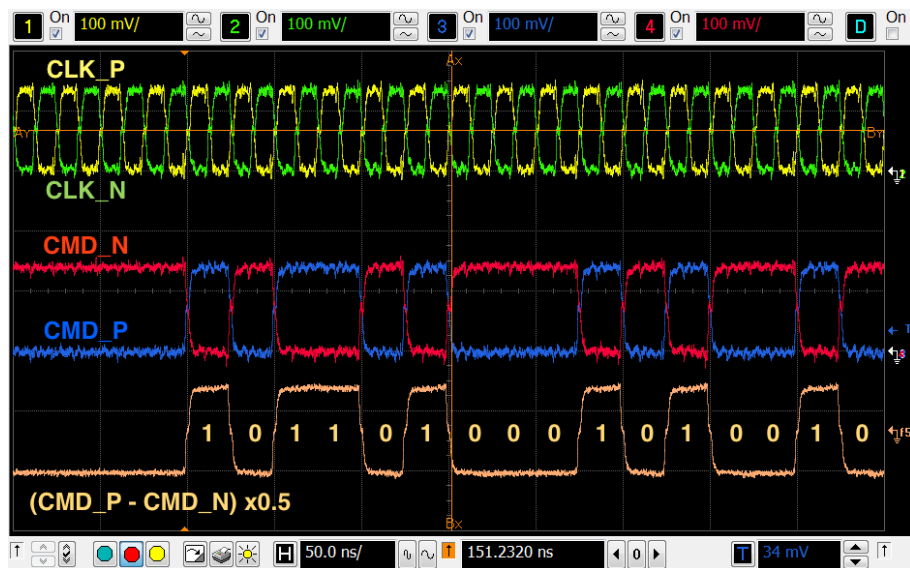


Fig. 2.19: 40 MHz のクロック (黄と緑) とコマンド信号 (赤と青) の出力の波形。図中の波形は RunMode コマンド信号を示しており、マンチェスター符号化は無効化している。コマンド信号の差分を取った波形はベージュ色で示しているが、振幅は半分のスケールで表示している。RunMode コマンドのプロトコルである 10110-1000-1010-... を確認できる。



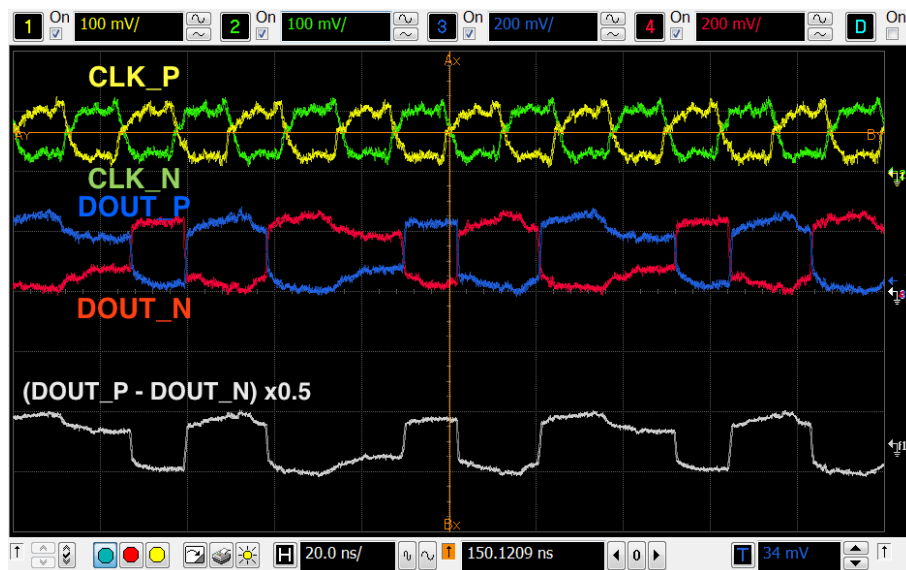


Fig. 2.21: 40 MHz のクロック (黄と緑) とアイドル状態のデータ信号 (赤と青) の出力の波形。白はデータ信号の差分を取っているが、見やすさのために振幅を半分のスケールで表示している。

Fig.2.22 に、FE-I4 からのシリアルデータを受け取った後に、内部のデシリアライザによりパラレル信号に変換した後の 10 ビットパターンと、8B/10B Decoder で 10 ビットパターンを 8 ビットデータに変換したあとのデータ列の一部を示す。これらは Fig.2.10 中の 8b/10b デコーダ前後の信号に対応する。

FE-I4 の動作としては、アイドル状態の時に Fig.2.22 に示すようなパターンを出力するのが正しい動作であり、その信号が FPGA 内でも正しく受信できて処理できていることも確認できた。

### 2.4.3 閾値の較正

粒子の検出効率と位置分解能を最適化するために、そしてノイズをヒットの信号として判定しないために、ピクセルチャンネル毎の閾値を適切に設定する。閾値は、ピクセル毎に対しては Fig.2.3 にある TDAC という 5 ビットのレジスタの値と、グローバルレジスタのうち GDAC と呼ばれる 5 ビットのレジスタの値の二つで設定する。

理想的には全てのチャンネルの閾値が揃っていることが望ましい。そのためには閾値を設定するためのレジスタの値を全てのピクセルチャンネルに対して共通の値にすればよいと思われるが、各ピクセルチャンネルごとに応答が異なり、実際の閾値にはばらつきが見

**8ビットデータ**

| iserde...[7:0] |   | 3c  |     |     |     |     |     |     |
|----------------|---|-----|-----|-----|-----|-----|-----|-----|
| tmpout[9:0]    |   | 183 | 183 | 27c | 183 | 27c | 183 | 27c |
| [9]            | 0 |     | 0   | 1   | 0   | 1   | 0   | 1   |
| [8]            | 1 |     | 1   | 0   | 1   | 0   | 1   | 0   |
| [7]            | 1 |     | 1   | 0   | 1   | 0   | 1   | 0   |
| [6]            | 0 |     | 0   | 1   | 0   | 1   | 0   | 1   |
| [5]            | 0 |     | 0   | 1   | 0   | 1   | 0   | 1   |
| [4]            | 0 |     | 0   | 1   | 0   | 1   | 0   | 1   |
| [3]            | 0 |     | 0   | 1   | 0   | 1   | 0   | 1   |
| [2]            | 0 |     | 0   | 1   | 0   | 1   | 0   | 1   |
| [1]            | 1 |     | 1   | 0   | 1   | 0   | 1   | 0   |
| [0]            | 1 |     | 1   | 0   | 1   | 0   | 1   | 0   |

**10ビットパターン**

Fig. 2.22: アイドル信号をデシリアライザで処理した後の 10 ビットパターンと 8 ビットデータ。ロジックアナライザで確認。10 ビットのアイドルパターンは特定のパターンで、極性を反転させながら交互に送られてくる。

られる。したがって、ピクセルチャンネル毎に用意されているレジスタの値を変更して、全てのピクセルチャンネルの閾値を目標値に近づける。

閾値の較正は次の手順で行った [8]。

1. Fig.2.3 の左下にある内部電荷注入回路におけるキャパシタ  $C_{inj1}$  または  $C_{inj2}$  から既知の電荷量をプリアンプへ入力する。
2. 電荷を回路に入力した回数のうち、ディスクリミネータ回路でヒットとして判定される回数の割合を検出効率として数える。
3. 回路に入力する電荷量を変化させながら検出効率を測定していくと、横軸を電荷量、縦軸を検出効率とした場合には S 字の曲線のような形状になる。この曲線を S-curve と呼ぶ。S-curve の概念図を Fig.2.23 に示す。
4. 得られた S-curve に対して、次の関数をデータに対してフィッティングする。この関数は、測定値の誤差が正規分布に従うと仮定し、ステップ関数を正規分布で畳み込み積分したものである。erf は誤差関数<sup>1</sup> である。

$$f(Q_{inj}) = \frac{1}{2} \left( 1 + \operatorname{erf} \left( \frac{Q_{inj} - Q_{th}}{\sqrt{2}\sigma} \right) \right) \quad (2.1)$$

<sup>1</sup>次の形で定義される特殊関数である。  $\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt$

$Q_{inj}$  は入力電荷量、 $Q_{th}$  は閾値となる電荷量である。 $\sigma$  はアナログ回路出力のノイズである。

5. 前述の式において、検出効率が0.5 となるところで閾値を定義する。
6. 目標の  $Q_{th}$  になるように、GDAC および TDAC の値を調整していく。GDAC および TDAC の決定は、二分探索法により行う。

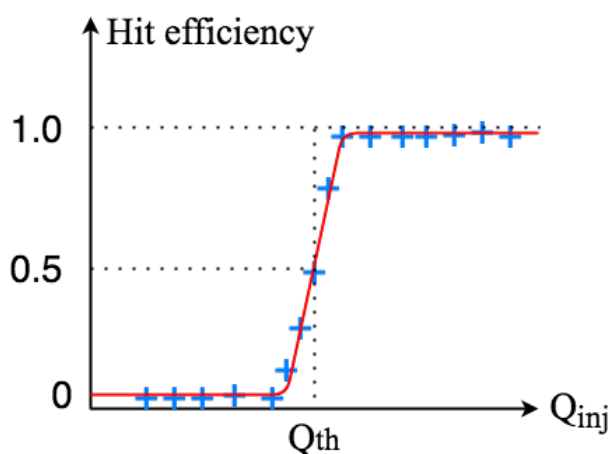


Fig. 2.23: S-curve の概念図。横軸はピクセルアナログ回路への入力電荷量、縦軸は検出効率である。検出効率が0.5 となる  $Q_{th}$  が閾値となる。

閾値を電子 3600 個相当の電荷量になるように構成した結果を Fig.2.15 に示す。閾値の測定はピクセル 2 列分つまり 672 個のピクセルチャンネルに対して 50 回行った。

較正前は、電子 3600 個相当の電荷量に閾値が設定されているピクセルチャンネル数の分布は広がっていたが、較正後は分布の幅が狭くなった。つまり、ほとんどのピクセルチャンネルの閾値が電子 3600 個相当の電荷量に設定できた。

#### 2.4.4 ToT の較正

ToT の較正は、ある基準の電荷量の信号に対して出力される ToT の値を任意に設定することである。ToT の較正はプリアンプのフィードバック電流を変えることで行う。これにより、出力信号である三角波の形状が変化する。Fig.2.25 の右図のように、同じ閾値でも三角波の出力波形によって ToT が変動するため、基準電荷量に対応する適切な ToT の値に近づけるようにフィードバック電流を調整する。

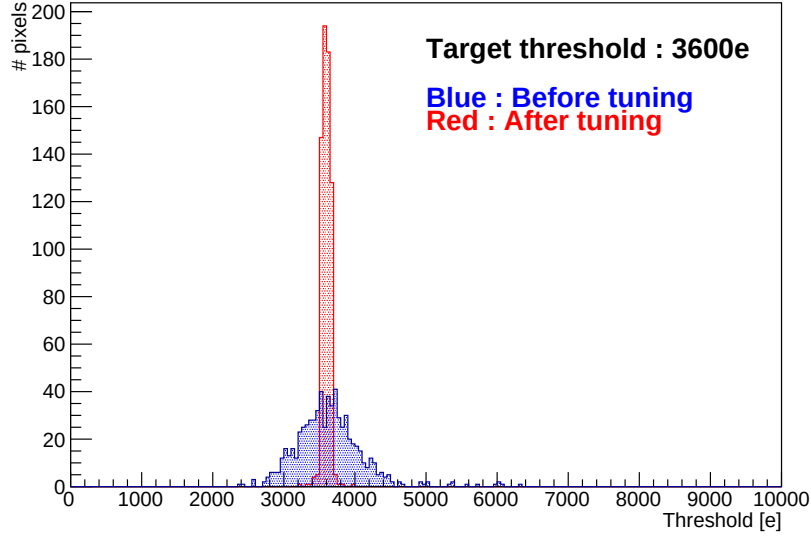


Fig. 2.24: 閾値の較正の結果。閾値が電子 3600 個相当の電荷量になるように設定した。横軸は閾値に相当する電荷量で、縦軸はピクセルチャンネルの数である。青が較正前で、赤が較正後である。

ToT の較正は、最初にグローバルレジスタにある PrmpVbpf と呼ばれる 8 ビットのレジスタの値を変更することで全てのピクセルチャンネルのプリアンプのフィードバック電流を設定する。その次に、各ピクセルチャンネルのアナログ回路にある FDAC と呼ばれる 4 ビットのレジスタの値を変えてフィードバック電流の微調整を行い、ToT の較正が完了する。

ToT の較正は以下の手順で行った [8]。

1. Fig.2.2 の左下にある内部電荷注入回路におけるキャパシタ  $C_{inj1}$  または  $C_{inj2}$  から既知の電荷量をプリアンプへ入力する。この注入電荷量に対して ToT の目標値を決める。
2. PrmpVbpf の値を変えながら ToT の値を測定する。ToT の測定は複数回行い、その平均値をとる。この時に得られたデータに対して次の式をフィッティングする。

$$\text{ToT} = \frac{a}{\text{PrmpVbpf} + b} \quad (2.2)$$

3. フィッティングした後に、目標値の ToT に最も近くなる PrmpVbpf の値を求める。
4. 次に、FDAC の値を調整する。これは TDAC の決定と同様に二分探索法により行う。

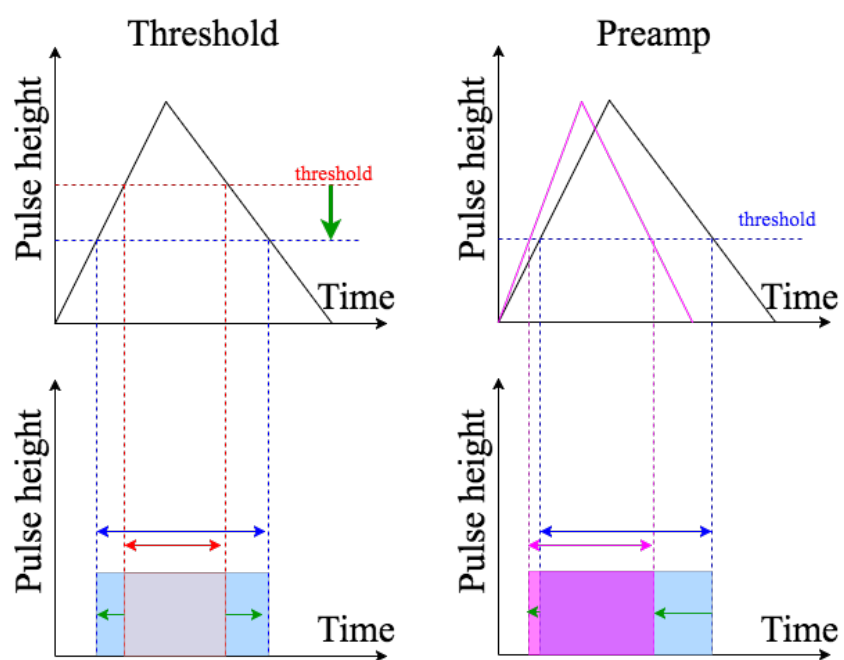


Fig. 2.25: ディスクリミネータ回路の閾値とプリアンプのフィードバック電流による電荷量-ToT変換への影響。(左) 閾値による ToT の変化。(右) プリアンプ出力信号による ToT の変化。



今回は、電子 20000 個相当の電荷量に対して ToT の値が 10 になるように設定し、あるピクセルが返す ToT の値の分布を Fig.2.26 に示す。ToT の測定はピクセル 2 列分つまり 672 個のピクセルチャンネルに対して 50 回行った。

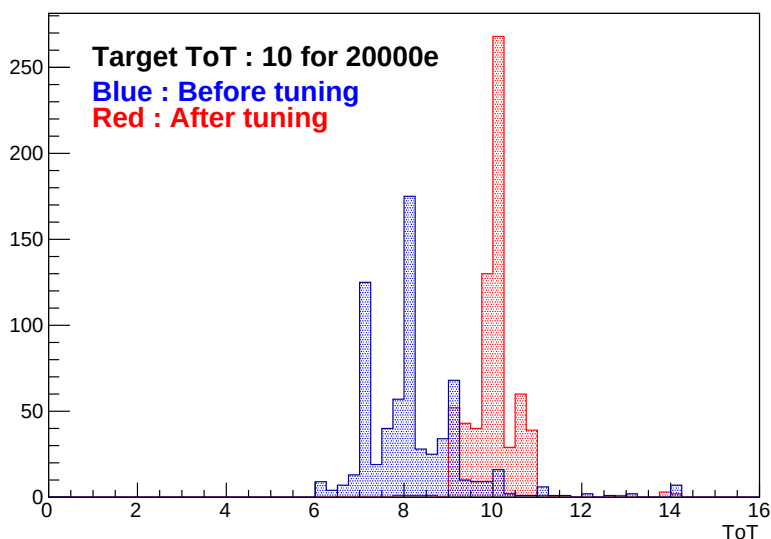


Fig. 2.26: ToT 較正の結果。ToT が電子 20000 個相当の電荷量に対して 10 になるように設定した。横軸は ToT の測定を 50 回行った時の平均値で、縦軸はピクセルの数を示す。青が較正前で、赤が較正後である。

較正前は、ToT の分布は 8 付近で広がっていたのに対し、較正後の ToT の分布は 10 付近で狭いピークをもつ形に変わっている。これより、ピクセルに対して ToT の値を設定できていることがわかる。

## 2.4.5 Digital scan と Analog scan

前節や Fig.2.2 で示しているように、FE-I4 はプリアンプに電荷を注入できる 2 つのコンデンサを各ピクセルアナログ回路に備えている。また、ヒットをシミュレートするために、ディスクリミネータ回路の下流にデジタルパルスを注入し、ピクセルデジタル領域に直接送ることも可能となっている。前者のようにプリアンプの前段から電荷信号を回路に注入する操作を Analog injection と呼び、ピクセルデジタル回路にデジタルパルスを直接注入する操作を Digital injection と呼ぶ。

これら Analog injection と Digital injection の機能を使用してピクセルの応答を調べる操作を Analog scan および Digital scan と呼ぶ。このスキャンテストを行う目的は、ピク

セルから信号を読み出せて、データの伝送線、FPGA 内部での処理からコンピュータまでの経路でデータの損失が無いことを確認すること、そして FE-I4 のピクセル毎の回路の応答を確認することである。

Digital scan と Analog scan は、FE-I4 内部のパルスジェネレータ回路から発生されるパルス信号を用いて行われる。FE-I4 がキャリブレーションパルスを生成するコマンド信号を受け取ると、パルスジェネレータからのデジタルパルスはピクセルデジタル領域に、アナログパルスはプリアンプの前段から注入される。

パルスの遅延タイミング、パルス幅、パルス波高、パルスの立ち上がり時間などの出力パルスの特性は、約 10 個のグローバルレジスタによって設定する。

## Digital scan の結果

Fig.2.27 に Digital scan の結果を示す。キャリブレーションパルスはダブルカラムと呼ばれる 2 列ずつの単位で注入され、Fig.2.27 では Column 41 と Column 42 のピクセル列に対して 50 回ずつデジタルパルスを注入した。Z 軸は全デジタル注入のうちヒットと判定された回数を示している。

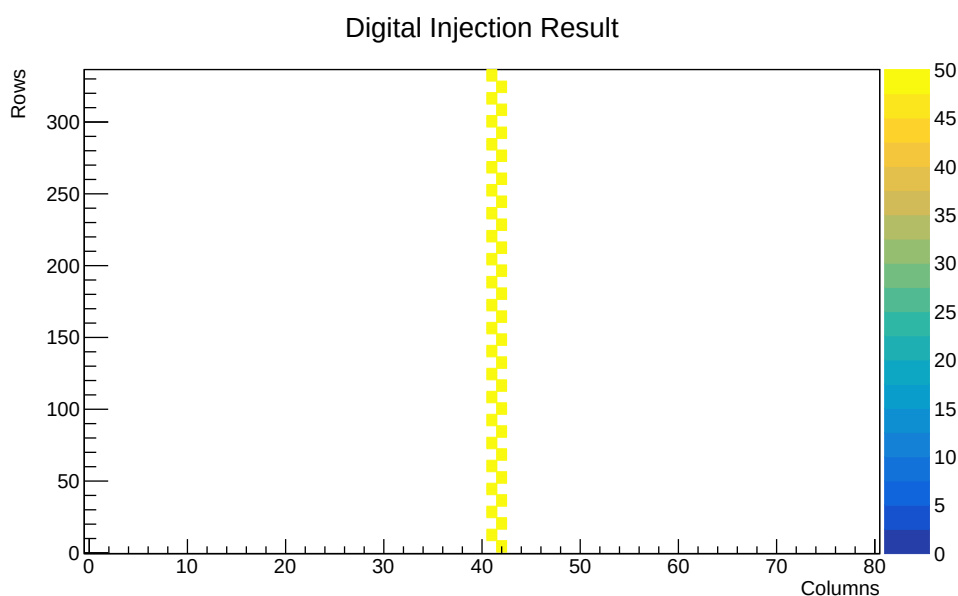


Fig. 2.27: Digital scan の結果

デジタルパルスを注入した全てのピクセルから応答があるため、FE-I4 のデジタル回路から信号伝送線、ファームウェア内部の処理、FPGA ボードとコンピュータの間の通信経路に問題がないことが確認できた。

## Analog scan の結果

Fig.2.28 に Analog scan の結果を示す。Analog scan の場合も Digital scan と同様にダブルカラムを単位としてテストをした結果であり、Fig.2.28 では Column 40 と Column 41 のピクセル列に対して 50 回ずつアナログパルスを注入している。

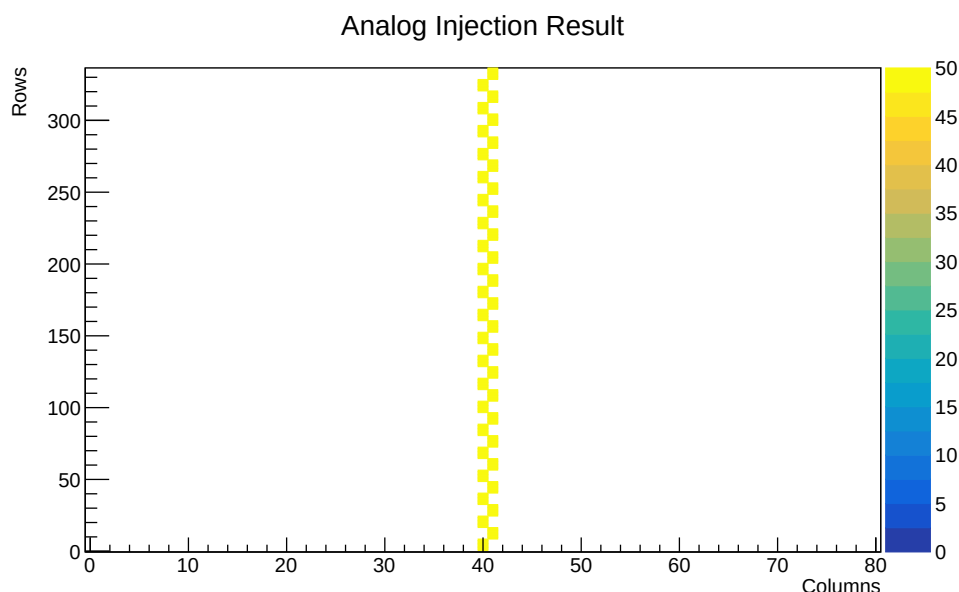


Fig. 2.28: Analog Injection の結果

アナログパルスを注入した全てのピクセルから応答があるため、FE-I4 のアナログ回路からデジタル回路、信号伝送線、ファームウェア内部の処理、FPGA ボードとコンピュータの間の通信経路に問題がないことが確認できた。

## 2.5 結論と課題

これまで述べてきたように、Kintex-7 FPGA 搭載 KC705 評価ボードや Vitex-7 FPGA 搭載 VC707 評価ボードのような汎用 FPGA ボードを用いた FE-I4 の読み出しシステムの構築、動作試験により、システムは十分に移植できたことが確認できた。また、閾値の調整、ToT の調整、およびアナログパルスとデジタルパルスを使用したスキャンテストなどの基本的な FE-I4 の動作試験を行い、動作にも問題が無いことが確認できた。

ただ、このシステムをそのまま HL-LHC で使用される読み出し ASIC のデータ出力速度である 5.12 Gbps に対応できるようにスケールアップすることは難しい。FPGA 内にデータを 5.12 Gbps で運んで来られたとして、問題はこのシステムでの FPGA とコンピュータ

の間の転送速度にある。なぜなら、今回ファームウェアとコンピュータがネットワーク通信を行う回路ブロックとギガビット対応 Ethernet ケーブルを使用している限りでは最大の転送速度は 1 Gbps までだからである。ファームウェアに実装しているネットワーク通信処理部の性能試験の結果は、J.J.Teoh 氏の修士論文 [8] で報告されている。

転送速度のスケールアップのために考えられる解決策はいくつかある。

1. FPGA 上のメモリにデータをバッファし、転送速度を下げながら Gigabit Ethernet で TCP 通信でデータを転送し続ける。
2. 10 Gbit Ethernet を使用した TCP/IP によるデータ転送システムを FPGA に実装し、光コネクタでコンピュータと接続する。
3. より高速な通信インタフェースを用いたデータ収集システムを開発する。

1 の方針は、ASIC の初期の試験段階では送られてくる全てのデータを確認したいため、バッファサイズを超えたデータがあるような場合はデータの損失が発生するため適した方法ではない。また、FPGA ボードに搭載する外部メモリを多く確保する必要があるが、今回使用した汎用 FPGA ボードでは拡張性に制限がある<sup>11</sup>。

2 の方針については、10 Gbit Ethernet を使用した TCP/IP 通信を FPGA で実現する IP コア<sup>12</sup> が販売されているものの、研究室単位で読み出し試験を行う小規模なシステムの構築の場合には非常に高価であり、断念した。

3 の方針については、有効ではあるものの、より高速なインタフェースを使えるように、新たな開発方針で FPGA のファームウェアを用意しなければならない。しかし、高速インタフェースを利用した通信を担う FPGA の回路情報は他の開発者やメーカー側が既に用意していることが大半で、ユーザはそれに合わせた開発を行えば良い。次章では 3 の方針で高速データ転送が可能なデータ収集システムを開発したことについて述べる。

---

<sup>11</sup> 実装できる外部メモリのサイズは 4 GB までである。長時間のデータ収集が必要な試験用途には向かない。

<sup>12</sup> 再利用可能なデジタル回路を構成する回路情報。ソフトウェアでは複数のプログラムをまとめた「ライブラリ」に相当する。

## 第3章 HL-LHC ATLAS ピクセル 検出器用 ASIC の 高速読み出しシステムの開発

この章では、HL-LHC ATLAS ピクセル検出器用 ASIC に対応できる読み出しシステムを汎用 FPGA ボード上に構築したことを述べる。3.1 節では、開発する読み出しシステムの概要について述べる。目標の読み出し ASIC の性能から、読み出しシステムの要求性能を設定する。その次に、現在までに開発してきた高速通信対応の読み出しシステムの内容に関する説明を述べる。3.2 節では開発した読み出しシステムの性能を確認するため、FPGA とコンピュータ間のデータ転送速度の測定試験を行なったことを報告する。最後に、3.3 節で今後の開発課題について述べる。

### 3.1 読み出しシステムの開発

この節では、HL-LHC ATLAS ピクセル検出器読み出し ASIC に対応できる読み出しシステムの開発方針と、概要、FPGA に実装するファームウェアの内容を述べる。

#### 3.1.1 開発方針

HL-LHC ATLAS ピクセル検出器用 ASIC についての動作試験や、シリコンセンサーの性能および放射線耐性を評価するために、ASIC に対応したデータ収集システムを開発する。特に要求されるのは最大 5.12 Gbps の出力データレートで読み出す性能である。従来使用してきた、FE-I4 を使用したピクセルセンサーの読み出しシステムではこの出力データレートに対応できない。そこで、高速通信用のインタフェースを用いたデータ転送を行うシステムを FPGA 上に構築した。開発には高速通信用インタフェースである PCI Express を備えた Kintex-7 FPGA 搭載 KC705 評価ボード (Fig.2.6 参照) を用いた。

今回、FPGA ボードとコンピュータの間のデータ転送のテストを行なった。

### 3.1.2 読み出しシステムの概要

読み出しシステム全体の概念図を Fig.3.1 に示す。基本的な設計思想は以下である。

- 読み出し ASIC と FPGA ボードは、インタフェースカードを介してケーブルで接続する。
- FPGA 内部では ASIC からのデータ信号の処理を行う。
- 高速通信用インタフェースでコンピュータと FPGA ボードを接続し、データ転送を行う。

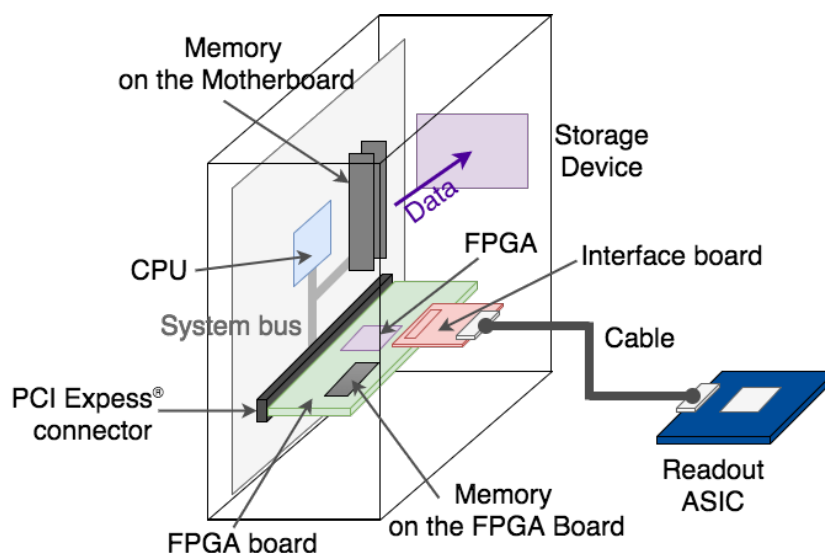


Fig. 3.1: PCI Express を利用した読み出しシステムの概念図。読み出し ASIC はケーブルとインタフェースカードを介して FPGA ボードと接続する。FPGA ボードはコンピュータのマザーボード上の PCI Express コネクタに接続する。CPU、コンピュータ上のメモリと PCI Express に接続されたデバイス (FPGA ボード) はシステムバスにより接続される。

Fig.3.1 に示すように、読み出し ASIC が実装された基板は FPGA ボードとケーブルで接続する。FPGA ボードに対しては、ASIC と通信が可能な入出力インタフェースを拡張するために FPGA メザニンカードを使用する。FPGA メザニンカードを接続するピンは、差動信号に対してピンあたり 2.0 Gbps の信号速度に対応している。HL-LHC ATLAS ピクセル検出器読み出し ASIC のプロトタイプでは、1.28 Gbps の差動データ出力線が 4 本であるため、FPGA メザニンカードと FPGA の間の通信速度の要求は満たすことができる。

FPGA ボードとコンピュータは、PCI Express という汎用の入出力インタフェースを用いてマザーボード上で接続する。FPGA からコンピュータに送るデータは、最初はコンピュータ上の物理メモリに転送する。物理メモリに転送したデータを、ソフトウェアによって処理しコンピュータの外部記憶装置に保存する。

以上が高速読み出しシステムの概要である。

コンピュータと FPGA ボードの間の高速通信を達成するために、通信インタフェースとして PCI Express を選択した理由は以下のとおりである。

- 汎用的な FPGA のボードでは最初から用意されていることが多い。読み出しシステムの開発に用いる Kintex-7 FPGA 搭載 KC705 評価ボードは PCI Express 通信に対応している。
- 高速なデータ転送システムを構築するにあたり、通信速度が目的を達成するのに十分な性能を持つ。
- PC と周辺機器との通信インタフェースとして一般的に普及しており、技術的に成熟している。

PCI Express の概要については付録 B.1 にまとめた。

ASIC の最大出力 5.12 Gbps のデータレートで、継続的にデータがコンピュータに転送されるような状況でもハードウェア側の性能に余裕を持たせるため、この FPGA 評価ボードに対しては PCI Express 2.0 x4<sup>1</sup> を使用するデザインを構築することにした。この場合、FPGA のファームウェア内で PCI Express の通信インタフェースを担う部分の最大実効データ転送速度<sup>2</sup> は、16 Gbps となる。この値は、あくまで PCI Express の通信インタフェースの転送速度であり、FPGA 内部の他の回路ブロックの実装方法およびコンピュータの性能により、実際の転送速度は制限される。

次に、読み出し ASIC から受け取ったデータの、FPGA 評価ボードからコンピュータへの転送方法について述べる。PCI Express はあくまで通信インタフェースであり、コンピュータシステムと FPGA との間のデータの受け渡しの方法についても考える必要がある。

一般的に使われているデータの転送方式に、PIO(Programmed Input/Output) 転送と DMA(Direct Memory Access) 転送がある。PIO 転送はコンピュータの CPU を介するデー

---

<sup>1</sup> PCI Express はリビジョン毎に性能が向上しており、リビジョン 2.0 では信号の対線あたり片方向 5 Gbps の転送速度を持つ。PCI Express では信号対線を増やすことで転送速度を向上させることができ、たとえば 4 本を使用する場合は x4 と表記する。

<sup>2</sup> 実際に転送されるデータに対し、クロック信号を埋め込む符号化処理が行われるため、実際のデータ転送速度は伝送路上の信号速度よりも符号化処理のオーバーヘッドの分だけ小さくなる。そのため、伝送路上の信号速度と実際のデータ転送速度を区別し、後者を実効転送速度と呼ぶ。

タ転送方式で、DMA 転送は CPU の処理を経由せずに直接メモリ間のデータ転送を行う方式である。DMA 転送は大量データを高速で転送する場合に適している。詳しくは付録 B.2 で述べる。

今回要求しているのは、高速データ転送が可能な読み出しシステムであるため、コンピュータと FPGA 評価ボード間の主なデータ転送には DMA 転送を選択した。DMA 転送を用いることにより、FPGA とコンピュータの間にデータ転送を行っている最中に、CPU の処理が高負荷のためにデータ収集ソフトウェアの処理を中断せざるを得ない、というような状況を回避できる。

### 3.1.3 読み出しシステムのファームウェア

PCI Express によるデータ転送と DMA 転送を行うためのファームウェアについて述べる。全てのシステム要素を新しく開発するのは開発コストが大きいため、ファームウェアは既に関与されたフレームワークを用いて実装することにした。フレームワークは YARR<sup>3</sup> プロジェクト [14] で開発されたものを用いる。YARR はコンピュータを利用した読み出しシステムを構築し、読み出しシステムの性能向上と開発プロセスの単純化を目指すオープンソースプロジェクトである。

YARR の読み出しシステムの KC705 評価ボードへの移植は、今回が世界で初めての例となる。FPGA ボードの種類に依存する部分、特に IP コアの対応と FPGA の回路のピンの配置を変更したのみで、ファームウェア全体の動作については大きな変更点は加えていない。

YARR フレームワークを使用した読み出しファームウェアの回路要素のブロック図を Fig.3.2 に示す。この読み出しファームウェアに実装している主な機能は以下の 5 点である。

- コンピュータと FPGA の間で、PCI Express 通信を行う機能
- コンピュータから受け取ったデータから、ASIC のコントロール信号を発行して ASIC に送信する機能 (TxCore)
- ASIC から受け取ったデータ信号を FPGA 内部で処理できる形に変換する機能 (Rx-Core)
- FPGA ボード上の外部メモリにデータを読み書きするためのメモリコントローラ
- コンピュータのメモリと FPGA ボード上の外部メモリの間のデータの DMA 転送を制御する DMA コントローラ

データの送受信処理は以下の手順で行う。より詳細な内容については付録 B.3 で述べる。

---

<sup>3</sup>Yet Another Rapid Readout の略。



### 送信フロー (Computer → FPGA → ASIC)

1. コンピュータがFPGAをPCI Express デバイスとして認識することで、FPGAにアクセスできるようになる。
2. データ収集ソフトウェアからFPGAに命令データを送る。
3. TxCoreで、FPGAが受け取ったデータからASICに送るコマンド信号およびトリガ信号を生成する。
4. FPGAからASICにコマンド信号およびトリガ信号を送信する。

### 受信フロー (ASIC → FPGA → Computer)

1. ASICからデータ信号を受信する。
2. RxCoreで、受信したシリアル信号をパラレル信号に変換するデシリアライズ処理を行う。また、符号化されている場合は信号の変換処理を行う。
3. FPGAボード上の外部メモリにデータを書き込む。
4. コンピュータからDMAコントローラに対してDMA転送のリクエストを送ると、FPGAボード上の外部メモリからコンピュータの物理メモリにデータがDMA転送される。

PCI Expressを利用した読み出しシステムと、2章で述べたEthernetを使用した読み出しシステムとの比較を以下のTable 3.1にまとめた。PCI Express読み出しシステムの最大転送速度はファームウェア内のDMAコントローラの性能が決めている。これは3.3節で議論する。

|         | Ethernet 読み出しシステム | PCI Express 読み出しシステム |
|---------|-------------------|----------------------|
| 通信 I/F  | Ethernet          | PCI Express          |
| 最大転送速度  | 1.0 Gbps          | 6.4 Gbps             |
| データ転送処理 | TCP/IP            | DMA                  |

Table 3.1: Ethernet を利用した読み出しシステムと PCI Express を利用した読み出しシステムのコンピュータ-FPGA 間の通信方式と性能の比較。

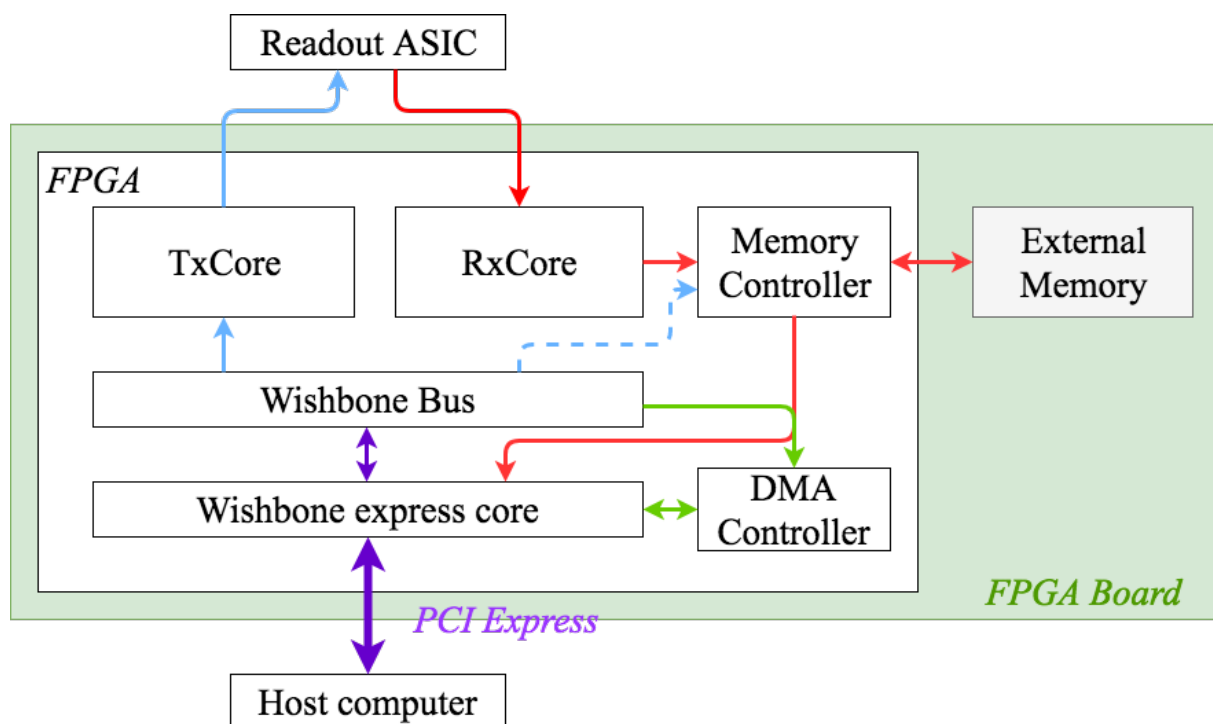


Fig. 3.2: YARR の読み出しファームウェアの概念図 ([14] 中の図を元に作成)。紫色の矢印はコンピュータとファームウェアのデータのやり取り、青色の矢印は ASIC へ送るコントロール信号、赤色の矢印は ASIC から受けとったデータ信号の流れを示す。緑色の矢印は DMA 転送の制御を行う信号の流れを示す。Wishbone Bus はファームウェア内の各モジュールを繋ぐ信号線である。青色破線矢印のようにコンピュータからのデータを直接メモリに送ることもできる。

## 3.2 PCI Express を使用した高速通信試験

この節では、読み出しシステムのファームウェアを KC705 評価ボードに実装した後に、コンピュータと FPGA ボードの間の通信テストを行ったことを述べる。

### 3.2.1 概要

行った通信テストは以下の 4 つである。

- データ転送ができるかどうか。
- 一度に DMA 転送するデータの大きさを変えた時、データの転送速度はどう変わるか。
- 一度に転送するデータの大きさを変えた時、データを転送する時間はどう変わるか。
- データはどれだけ正確に転送されるか。

次節からこれらのテスト方法と結果を報告する。

### 3.2.2 データ転送試験

Fig.3.2 のように、ASIC の読み出し目的では ASIC からのデータを全て一時的に FPGA ボード上のメモリに書き込むことを想定しているが、コンピュータから FPGA ボード上のメモリに直接データを書き込むこともできる。コンピュータ上のメモリと FPGA ボード上のメモリ間でデータ転送を行い、ファームウェアが移殖できたかどうかを確認する。そのために、連番データを入れた配列データを用意し、コンピュータ上の物理メモリから FPGA ボード上のメモリにデータを DMA 転送し、再び DMA 転送により FPGA ボード上のメモリからコンピュータ上の物理メモリに転送する。その後、送ったデータと受け取ったデータを比較して一致しているかを調べる。データは Fig.3.3 に示す経路で転送する。

今回使用した Linux OS では、ユーザが直接アクセスできるユーザ空間と、オペレーティングシステムが管理するカーネル空間の 2 つの領域がある。ユーザが用意したプログラムを用いた FPGA へのアクセスは、カーネル空間で動作するデバイスドライバというプログラムを経由して行う<sup>4</sup>。デバイスドライバを経由して FPGA 上の DMA コントローラを制御し、FPGA ボード上のメモリとデータの転送を行う。[13] で FPGA ボードと通信を

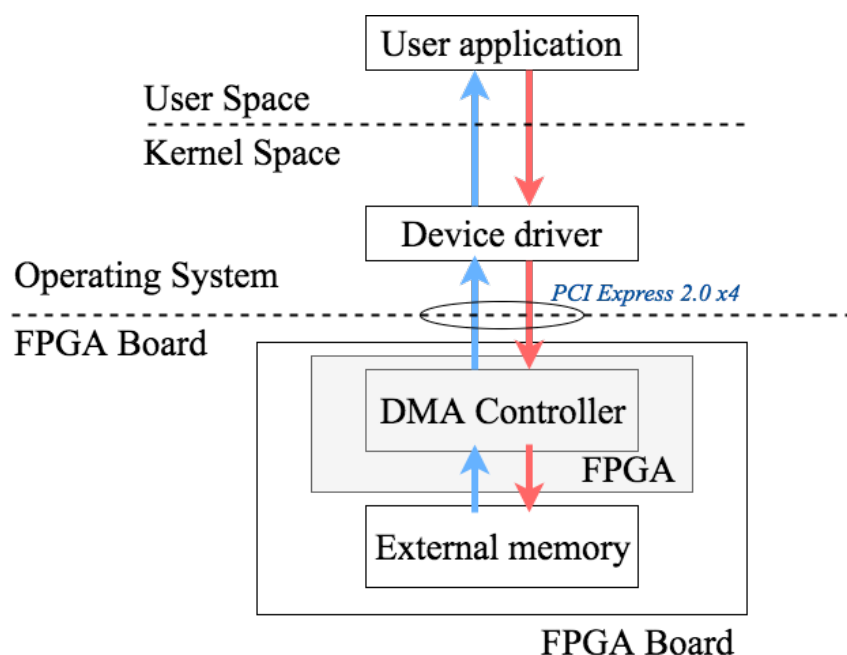


Fig. 3.3: データ転送試験の概略図。赤い矢印は Write 方向、青い矢印は Read 方向を示す。

行うためのデバイスドライバと、ファームウェアをコントロールするための基本的なプログラムが用意されているため、データ転送を行う関数をそのまま用いることができる。

Fig.3.4 に、1024 Byte<sup>5</sup> 分のデータの転送試験の出力結果を示す。

この結果より、1024 Byte 分の連番データを DMA 転送したときに、送ったデータと受け取ったデータが全て一致していることがわかった。したがって、意図している DMA 転送の動作が正しくできることを確認できた。データ転送時のエラー率については 3.2.5 節で述べる。

### 3.2.3 転送速度試験の方法

FPGA 上のメモリとコンピュータのメモリ間のデータの DMA 転送の転送速度を測定するベンチマークテストを行った。

読み出しシステムへの要求は、コンピュータと FPGA の間のデータ転送速度 5.12 Gbps 以上を達成することである。また、DMA 転送においてデータはある大きさのパケットで転送するため、どの程度のパケットサイズで転送すれば通信速度の性能が出るのかを調べる必要がある。テストは次のようにして行った。

<sup>4</sup> Linux のデバイスドライバについては参考文献 [17] が詳しい。

<sup>5</sup> 1 Byte = 8 bit

```

void SpecCom::init() -> Opening SPEC with id #0
void SpecCom::init() -> Mapping BARs
void SpecCom::init() -> Mapped BAR0 at 0x0x7fc922d55000 with size 0x100000
Starting DMA write/read test ...
... writing 1024 byte.
... read 1024 byte.
[0] 0 0
[1] 1 1
[2] 2 2
[3] 3 3
[4] 4 4
[5] 5 5
[6] 6 6
[7] 7 7
[8] 8 8
[9] 9 9
[10] a a
[11] b b
[12] c c
[13] d d
[14] e e
[15] f f
[16] 10 10
...
[237] ed ed
[238] ee ee
[239] ef ef
[240] f0 f0
[241] f1 f1
[242] f2 f2
[243] f3 f3
[244] f4 f4
[245] f5 f5
[246] f6 f6
[247] f7 f7
[248] f8 f8
[249] f9 f9
[250] fa fa
[251] fb fb
[252] fc fc
[253] fd fd
[254] fe fe
[255] ff ff
Success! No errors.

```

Fig. 3.4: DMA 転送のテストを行うプログラムの出力結果。配列のサイズは 32 bit で、要素数は 256 個である。

- Write 速度の測定 (PC のメモリ → FPGA ボード上のメモリ)
  1. あるサイズのデータ列をプログラムで生成し、物理メモリ上に確保する。
  2. 用意したデータ列を、DMA 転送により FPGA 上の DDR3 メモリに転送する。
  3. 生成したデータ列のサイズを、転送にかかった時間で割ることでデータの転送速度を算出する。
- Read 速度の測定 (FPGA ボード上のメモリ → PC のメモリ)
  1. 初めに FPGA 上のメモリに適当なデータを書き込んでおく。
  2. あるサイズのデータ列を格納するための配列をプログラムで生成し、物理メモリ上に確保する。
  3. DMA 転送により FPGA 上の DDR3 メモリからコンピュータ上のメモリに転送する。コンピュータ上に送られてきたデータは 2 で確保した配列に書き込まれる。
  4. データ転送にかかった時間で、確保した配列のデータサイズを割ることでデータの転送速度を算出する。

上記いずれの場合も、転送速度は以下の式で求める。データ転送にかかる時間 (Data Transfer Time) は、DMA 転送をリクエストする関数を実行する前後で `gettimeofday` 関数を用いて時間を取得し、その時間差とした。

$$\text{Transfer speed} = \frac{\text{Data Size}}{\text{Data Transfer Time}} \quad (3.1)$$

転送テストで送るデータサイズは、転送速度がほとんど変わらなくなるまで 1 KiB<sup>6</sup> ずつ増やしていくことにした。また転送テストでは各データサイズに対して 100 回ずつ測定し、その平均値と二乗平均平方根 (RMS) を計算しプロットした。なお、転送テストでは書き込んだデータと読み出したデータの整合性はチェックしていない。結果を Fig.3.5 に示す。

得られた結果から、1 KiB から 50 KiB 付近まではデータサイズを変えると Read 速度と Write 速度は共に急激に増加するが、300 KiB 付近から徐々に速度が変わらなくなり、転送速度が 750 MB/s あたりで飽和する傾向が見られる。Read 速度については、512 KiB において平均転送速度は 728.6 MB/s であり、この時の転送効率は 91.0 % (DMA コントローラの最大転送速度 800 MB/s を 100 % とする) となる。

<sup>6</sup> 本論文では、データサイズの表記では 2 進接頭辞を用いて 1024 Byte を 1 KiB (キビバイト) と換算する。一方、データ転送速度の表記では SI 接頭辞を用いて 10<sup>3</sup> Byte を 1 KB (キロバイト) と表記する。

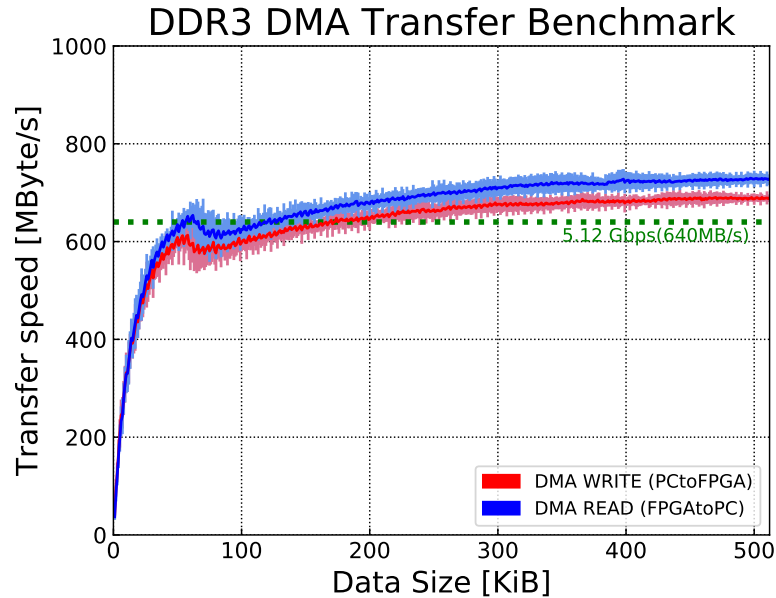


Fig. 3.5: DMA 転送のベンチマークテストの結果。横軸が一度に送るデータサイズ。縦軸がデータ転送速度を示す。実線は転送速度の平均値、誤差棒は RMS を示す。

データの転送速度は、DMA コントローラの性能と、PCI Express の転送速度の 2 つで制限される。PCI Express は 4 レーンのデザインを使用したため、転送速度のピーク値は 2.0 GB/s である。DMA コントローラはファームウェアに実装しており、200 MHz のクロックに同期し、32 ビットのデータ幅で処理を行うため、最大転送速度は 800 MB/s である。最も転送速度が遅い部分がボトルネックになるため、このシステムの最大転送速度は 800 MB/s となる。

転送効率が 100 % とならないのは、主に次の理由による [18]。

- PCI Express を用いたデータ転送の際、データをパケット<sup>7</sup>に分割した時にヘッダおよびフッタ情報が付加され、データにオーバーヘッドが発生する。たとえばヘッダサイズが 16 Byte<sup>8</sup>、ペイロード (実データ) サイズが 256 Byte のパケットで転送される際、パケットサイズは実データ量に対して 6.25 % 増加する。式 (3.1) を用いた計算では、ヘッダおよびフッタを含まないデータサイズを分子、実転送時間が分母とした。このとき、実転送時間が 6.25 % 増加すると考えると、転送効率は 94.1 % とな

<sup>7</sup> トランザクション・レイヤ・パケット (TLP) と呼ばれる。リード・ライト、フロー制御のコマンドとデータを含む。

<sup>8</sup> TLP のタイプによるが、ヘッダの長さは 3 DW あるいは 4 DW である。DW は Double Word の略で、1 DW=32 bit である。

る。ペイロードサイズが大きいほど、オーバーヘッドによる転送効率の低下は小さくなる。

- CPU が DMA 転送の要求を発行してから、DMA 転送を開始するまでのレイテンシと、転送終了の判定時に発生するレイテンシによる実転送時間の増加。

これらの影響を定量的に全て見積もるのは難しいが、このテストでの最大ペイロードサイズは 256 Byte であるため、測定で得られた 91.0 % に対しては、パケットサイズのオーバーヘッドが主な影響と考えられる。

DMA 転送によるデータの転送速度の測定試験により、目標である 5.12 Gbps (640 MB/s) の転送速度を達成するためには、プログラムから転送要求をかけるデータサイズを少なくとも 200 KiB 以上にすればよいことがわかった。

### 3.2.4 転送時間の測定

ある一定サイズのデータを継続的に DMA 転送した時の時間について、DMA 転送を実行する時間と DMA 転送以外のプログラム処理の時間を切り分けるため、それぞれの場合について処理時間を計測した。

転送速度の測定では DMA 転送を制御するプログラムの時間も含めて測定していたため、このテストでは転送の実効速度がプログラムの処理に与える影響を調べた。プログラムで行われている処理には、指定したデータサイズの分だけメモリ上に領域を確保する時間と、DMA 転送を行うために FPGA に実装された DMA コントローラのレジスタの値を書き換える処理を行う時間などが含まれる。他にはエラーが発生したかどうかを判定する処理を行う時間も含まれる。

したがって、DMA 転送時間は以下のように表される。

$$\text{DMA 転送時間} = \text{メモリ確保時間 (A)} + \text{DMA 転送を実際に行う時間 (B)} + \text{その他の処理時間 (C)} \quad (3.2)$$

測定は、UNIX システムで標準の `gettimeofday` 関数を使用し、データサイズを 1 KB ずつ増やして行った。FPGA ボード上のメモリからコンピュータのメモリに DMA 転送する処理を Read 処理、コンピュータのメモリから FPGA ボード上のメモリに DMA 転送する処理を Write 処理とする。Read 処理時間、Write 処理時間の測定回数は 100 回に設定した。結果を Fig.3.6 と Fig.3.7 に示す。

まず全体的に、データサイズを増やしていくと、DMA 転送およびプログラムの実行時間は線形的に増加する。この線形の傾向から大きくずれている点はいくつか見られる。実行時間の測定に使用した `gettimeofday` 関数は、特定のプログラムの実行時間ではなく、シ



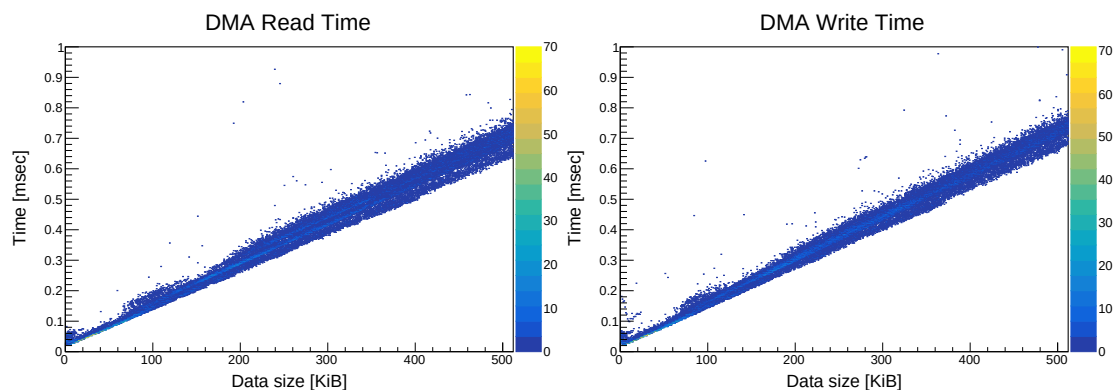


Fig. 3.6: DDR3 メモリを使用した DMA 転送時間 (A+B+C)。(左)DMA 転送を行う Read 処理にかかる時間。(右)DMA 転送を行う Write 処理にかかる時間。横軸は一度に転送するデータのサイズ、縦軸は処理時間を示す。

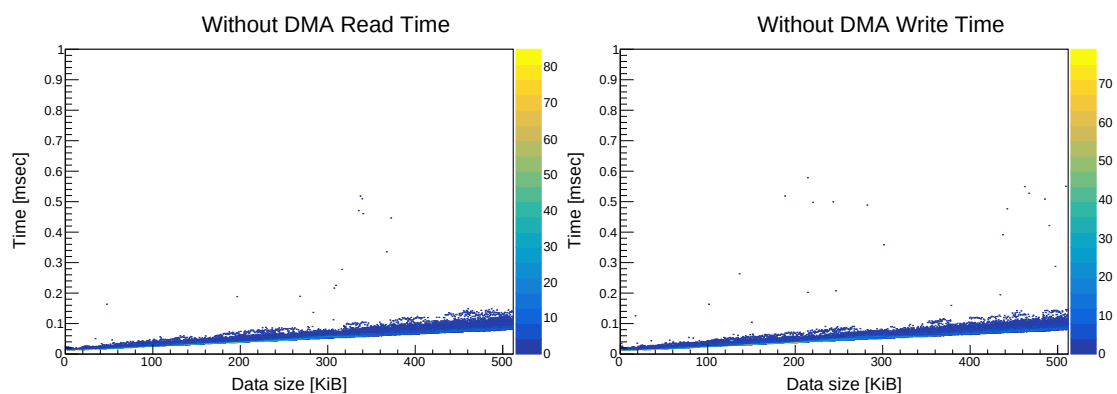


Fig. 3.7: 転送以外のプログラム処理の時間 (A+C)。(左)Read 処理のうち DMA 転送以外にかかる時間。(右)Write 処理のうち DMA 転送以外にかかる時間。横軸は一度に転送するデータのサイズ、縦軸は処理時間を示す。

システム全体の経過時間を測定する。そのため、一時的に他のプログラムの処理の割り込みが入ると、実行時間が増加する。この実行時間の増加が見られる点は全体のうち 0.1%以下であるため、転送速度の低下に大きな影響を与える可能性は低いと考える。

また、Fig.3.5で見られるような、70 KiB 付近で Read 速度と Write 速度が一時的に下がる傾向は、転送にかかる時間の増加が原因であることが Fig.3.6 からわかる。Fig.3.6を見ると 70 KiB 付近から、0 KiB から 60 KiB まで見られる直線の傾向から上側にずれている点が増加している。しかし、このような傾向が 70 KiB 付近から現れるメカニズムは現在わからない。

### 3.2.5 データエラーレートの測定

上記3つのテストでは DMA 転送の際に、どの程度データが正確に転送されるかについての情報はない。そこで、データの読み書きを継続的に行い、データのエラーの回数を計測する試験を行った。

測定はサンプルデータサイズを 100 KiB ずつ増やして行った。DMA 転送するサンプルデータは 32 bit の要素を含む配列データとし、このサンプルデータを PC のメモリから FPGA ボード上のメモリへ DMA 転送して、再び FPGA ボード上のメモリから PC のメモリに DMA 転送する。そして、送ったデータと受け取ったデータを比較して、データの中身が異なっていればこれをエラーとして数える。この操作を繰り返してビットエラーレート (BER) の上限値を求めることにした。このテストを行った結果、エラーは一度も発生しなかった。エラーが一度も発生しなかった場合、ビットエラーレートの上限値はポアソンの定理を含む統計的手法を使用することで、以下の (3.3) 式 [19] から求められる。 $N$  は送信した全ビット数、 $BER$  は送信された全ビット数  $N$  に対するエラービット数の比率、 $CL$  は  $BER$  の信頼性水準で、 $E$  をエラーの回数としたときに真の  $BER$  の値が  $E/N$  未満となる確率を意味する。

$$BER_{\text{upper limit}} = -\frac{\ln(1 - CL)}{N} \quad (3.3)$$

結果を Table 3.2 に示す。ビットエラーレートの上限値は 95% の信頼性水準で  $7.32 \times 10^{-13}$  まで得られた。

この上限値を用いた場合、読み出しシステムでのデータ転送ではどのような性能が得られるかについて評価してみる。この読み出しシステムは、実際の HL-LHC ATLAS 実験のデータ収集システムで使われることはないが、このシステムを用いた ASIC の評価を行う際に、読み出しシステムが測定に与える影響は評価できる。性能の指標としては、ピクセル検出器にヒットがあった場合、そのヒット情報のデータのうちエラーとなる割合を見積もる。評価は次のような前提条件下で行う。

| サンプルサイズ [KiB] | Iterations | Total Data [GiB] | Error | $BER_{\text{upper limit}}(\text{CL}=95\%)$ |
|---------------|------------|------------------|-------|--------------------------------------------|
| 100           | $10^6$     | 95.37            | 0     | $3.66 \times 10^{-12}$                     |
| 200           | $10^6$     | 190.75           | 0     | $1.83 \times 10^{-12}$                     |
| 300           | $10^6$     | 286.10           | 0     | $1.22 \times 10^{-12}$                     |
| 400           | $10^6$     | 381.47           | 0     | $9.14 \times 10^{-13}$                     |
| 500           | $10^6$     | 476.84           | 0     | $7.32 \times 10^{-13}$                     |

Table 3.2: エラーレートの測定結果。

- 1 ヒットのデータは 26 ビット分に含まれるとする。これはピクセルの数が  $400 \times 400$  だとすると座標を指定するには最低 18 ビット必要で、さらに ToT は 8 ビットだとすると合計 26 ビットのデータ長が必要になるためである。
- ASIC と FPGA の間のデータ転送にエラーは発生しない。これは未評価のためである。
- エラーは、FPGA のファームウェア内部の処理、FPGA とコンピュータを接続する PCI Express の転送処理、そしてコンピュータ内部での処理中に発生するものとする。
- 一度に転送するデータサイズは 200 KiB とする。Fig.3.5 より、データサイズが少なくとも 200 KiB であれば要求の 5.12 Gbps の転送速度を達成できるためである。
- 1 ビットでもエラーがあれば、その時のヒット情報は失うものとする。

以上の前提条件下で、連続的に FPGA からコンピュータにデータ転送した時にヒット情報を失う確率を求めると、

$$1 - (1 - BER)^N \sim BER \times N = 1.83 \times 10^{-12} \times 26 = 4.76 \times 10^{-11}$$

となる。ここで、 $BER$  は非常に小さいとして近似した。したがって、 $(4.76 \times 10^{-11})^{-1} = 2.1 \times 10^{10}$  回分のヒット情報のうち、エラーの発生は 95% の確率で 1 回未満と言える。

さらに、HL-LHC ATLAS のピクセル検出器全体にこの見積もりを適用するとどのような結果が得られるかを議論する。まず、[4] よりピクセル検出器の数は全部で 10000 モジュールとする。ピクセル検出器は全て同一のものとし、ピクセル数は  $400 \times 400$  とする。次に、陽子衝突あたりの非弾性散乱事象によるヒット占有率を、Fig.1.6 から全てのチャンネルに対して 0.02 % と仮定する。このとき、1 回の陽子陽子衝突あたりの非弾性衝突事象数を 200 としたときの、全チャンネルでのヒット数は、

$$(400 \times 400) [\text{ch}] \times 0.02 [\%/ \text{ch}] \times 10000 = 3.2 \times 10^5$$

と見積もることができる。したがって、陽子陽子衝突 1 回あたりのヒット数に対するエラーの割合は、95%の確率で

$$(3.2 \times 10^5) \times 1.83 \times 10^{-12} = 5.86 \times 10^{-7}$$

以下であると言える。このエラーの割合は十分小さく、荷電粒子の飛跡再構成には影響を与えない。

### 3.3 今後の開発課題

この章では、既存の読み出しシステム用のファームウェアを汎用 FPGA ボードに移殖し、性能評価を行ったことについて述べてきた。結果としては、PCI Express と DMA 転送を組み合わせたシステムにおいて、FPGA 上のメモリからコンピュータ上のメモリへの平均データ転送速度は 728.6 MB/s (5.83 Gbps) を達成した。また、DMA 転送時のビットエラーレートの上限值は 95%の信頼性水準で  $7.32 \times 10^{-13}$  を得た。したがって、要求性能である最大 5.12 Gbps の出力データレートで読み出す性能を備えていることは、少なくともコンピュータと FPGA の間では十分に実証できた。

今後、このシステムの開発および拡張を行い、AISC からデータを読み出すことを可能にする必要がある。そのために必要な開発項目は以下の点である。

- FPGA と ASIC の間のデータ通信を行うファームウェアの開発。具体的には、ASIC にコントロール信号を送る部分と、ASIC から受け取ったデータを処理して FPGA ボード上の外部メモリに書き込む処理を行う部分の開発。
- ASIC と通信するための通信インタフェースを FPGA に拡張するインタフェースカードの開発。
- 読み出しシステムをコントロールするデータ収集ソフトウェアの開発、拡張。

また、YARR プロジェクトによる読み出しシステムは、FPGA を使用しているため本質的にはスケーラビリティを持つ。そのため複数の ASIC との通信が可能な構成も可能である。たとえば、1 台の FPGA ボードを用い、2 つの ASIC のデータを同時に受け取りファームウェアで処理し、コンピュータに転送することが可能である。しかし、5.12 Gbps のデータレートが単純に 2 倍になることを考えると、今の平均データ転送速度 5.83 Gbps では性能が不足する。そこで提案するのは DMA 転送を行う部分の拡張である。現在の DMA コントローラは 200 MHz のクロック、32 ビットのデータ幅で処理を行なうため、最大実効転送速度は 6.4 Gbps である。これを 250 MHz のクロック、64 ビットのデータ幅で処理を

行うように拡張すると、最大実効転送速度 16 Gbps を達成できる。DMA コントローラをファームウェアレベルで実装しているため、このような拡張が可能である。

2つ以上の ASIC を同時に読み出す処理を行う場合、コンピュータと FPGA の間の通信インタフェースはさらに高速なものが要求される。しかし、PCI Express はリビジョン毎に転送性能が向上しているため、PCI Express のインタフェースに関わる部分だけを変更して高速化を目指すことが可能である。たとえば、現在は PCI Express 2.0 x4 を使用しているが、PCI Express 3.0 を使用すれば速度は 2 倍にでき、レーン数を増やすことで更に高速化が可能である。ただし、PCI Express のリビジョンの変更およびレーン数の拡張は、ハードウェア側が対応している必要がある。DMA コントローラの性能は、ファームウェアレベルの実装では、動作クロックの向上とデータバスの幅の拡張により向上させることができる。複数の DMA コントローラを実装したマルチチャンネル構成により、処理速度を向上させることも可能である。

また、今回は深く掘り下げることができなかったが、PCI Express を使用した時は、実際のデータ転送速度は最大実効速度よりも低下するため、転送速度の劣化の原因について詳しく理解および調査をする必要がある。

## 第4章 結論

HL-LHC 実験用ピクセルセンサー読み出し ASIC のプロトタイプ版である RD53A の読み出しシステムの開発に向けて、2つの読み出しシステムを汎用の FPGA ボードに移殖し、動作試験を行った。

- 現行 ATLAS 検出器で使用されている読み出し ASIC FE-I4 の読み出しシステムを移殖した。移殖に必要なファームウェアの変更、汎用 FPGA ボードと FE-I4 を接続するインタフェースカードの作成を行った。完成したシステムを利用して、FE-I4 と通信が可能でデータが取得できることを確認した。
- HL-LHC ATLAS ピクセル検出器用 ASIC の読み出しシステムの開発において、FPGA ボードとコンピュータの間の通信速度 5.12 Gbps 以上の要求を満たすために PCI Express を使用して DMA 転送を行うファームウェアを汎用 FPGA ボードに移殖し、性能評価を行った。データ通信速度では平均読み出し速度 5.83 Gbps を達成し、通信中のデータエラー率の上限値は、信頼水準 95% で  $7.32 \times 10^{-13}$  まで得られ、性能としては十分なことを確認した。

現時点では、FPGA ボードとコンピュータの間の高速データ転送の要求を達成できている。この成果により、FPGA ボードと ASIC の間のデータ通信を行う部分の開発に進むことができる。

今後進めるべきことは、PCI Express を使用した読み出しシステムで、FPGA 評価ボードと、実際のプロトタイプ ASIC RD53A と通信を行うためのファームウェア、データ収集用ソフトウェア、およびインタフェースカードを開発をすることである。

## 参考文献

- [1] Philippe Mouche, "Overall view of the LHC" <https://cds.cern.ch/record/1708847>
- [2] G.Apollinari, O.Bruening, T.Nakamoto, L.Rossi, "High Luminosity Large Hadron Collider HL-LHC" (2017). <https://arxiv.org/abs/1705.08830>
- [3] ATLAS Collaboration, The ATLAS Experiment at the CERN Large Hadron Collider, JINST 3 S08003 (2008).
- [4] ATLAS Collaboration, Technical Design Report for the ATLAS Inner Tracker Pixel Detector (2017).
- [5] <https://rd53.web.cern.ch/RD53/>
- [6] FE-I4 Collaboration, The FE-I4B Integrated Circuit Guide, Version 2.3 (2012).
- [7] Garcia-Sciveres, Maurice, RD53A Integrated Circuit Specifications, Version 3.2 (2015).
- [8] Teoh Jia Jian, Development of SiTCP Based Readout System for The ATLAS Pixel Detector Upgrade (2012).
- [9] SEABAS DAQ Page for ATLAS Pixel Upgrade. <https://svnweb.cern.ch/trac/seabaspixeldaq>
- [10] T.Uchida and Y.Arai, SEABAS User Manual Rev.02 (2008).
- [11] T.Uchida, Hardware-Based TCP Processor for Gigabit Ethernet, IEEE Trans. Nucl. Sci., Vol 55, No.3, 2008.6, pp. 1631-1637.
- [12] An Overview of LVDS Technology, Texas Instruments, AN-971, July 1998. <http://www.ti.com/lit/an/snla165/snla165.pdf>

- [13] Yet Another Rapid Readout. <https://github.com/Yarr>
- [14] Timon Heim, YARR - A PCIe based Readout Concept for Current and Future ATLAS Pixel Modules (2017).
- [15] OpenCores, WISHBONE, Revision B.4 Specification (2010). <https://opencores.org/howto/wishbone>
- [16] Simon Deprez, Technical Specification Gennum GN4124 Core For FMC Projects (2010).
- [17] Jonathan Corbet, Alessandro Rubini, and Greg Kroah-Hartman. Linux Device Drivers, 3rd Edition. O'Reilly Media Inc, 2005.
- [18] 畑山仁, PCI Express 設計の基礎と応用—プロトコルの基本から基板設計 (CQ 出版社) (2010)
- [19] XILINX, AR# 66799 BER measure and test time. <https://www.xilinx.com/support/answers/66799.html>
- [20] <https://japan.xilinx.com/products/boards-and-kits/ek-k7-kc705-g.html>
- [21] <https://japan.xilinx.com/products/boards-and-kits/ek-v7-vc707-g.html>



# 謝辞

研究室に配属されてから大学院博士前期課程を終えるまで、本当に多くの方にお世話になりました。

山中卓教授には、素晴らしい研究環境を提供していただき、また研究生生活の中で様々なご指導をしていただき感謝しております。素粒子実験に関する多くの知識を丁寧に教えていただいた他、分かりやすい文章や発表資料の作り方、研究者としての心構えや考え方を学ぶことができました。研究に直接関係のない日常の疑問に対して物理を使って考えるという精神は、大学で物理を学んできたものとして見習うべき精神です。

本研究の指導教官である南條創准教授には、ATLAS 実験や電気回路、測定技術など幅広い分野で熱心に教えていただきました。また、実験の段取りや物事の適切な伝え方など、非常に多くの重要なアドバイスをしていただきました。本論文を書き進めるにあたり、きめ細やかな添削、指導、相談をしていただき本当に感謝しています。

高エネルギー加速器研究機構 (KEK) の花垣和範教授には、研究の進め方と考え方を教えていただいた他、研究に必要な機材の準備、出張などで非常にお世話になりました。Fermilab に出張した時は、手続きの面でご迷惑をおかけしました。

KEK の外川学准教授には、学部生の時の卒業実験の指導の他、SVX テレスコープを使った実験の準備や解析の進め方でお世話になりました。

廣瀬穰助教授には、FE-I4 のデータ収集システムの開発について、前開発者として様々な支援をしていただきました。問題が発生した時は、ご自身の経験と知識から解決への道筋を示していただき、非常に勉強になりました。

KEK の中村浩二助教授には、Fermilab でのテストビーム実験で非常にお世話になった他、DAQ について教えていただきました。研究に必要な FPGA ボードが一度故障した時に、代替 FPGA ボードを融通していただいたことは非常に感謝しています。

東京工業大学の山口洋平さんには、ATLAS 日本シリコン DAQ グループのまとめ役として、研究を進める方針についての相談に乗っていただき感謝しています。FE-I4 が動かない時に色々と情報を教えていただき、非常に助かりました。

YARR システムの開発者である、ローレンス・バークレー国立研究所の Timon Heim 氏には、多くの質問や相談をさせていただきました。要領を得ない質問のメールでも、気さくに丁寧に答えていただき感謝しています。

Bee Beans Technologies 社の石綿将邦さんと岩瀬和也さんには、SiTCP のサンプルデザインをご用意していただいたことで感謝しています。丁寧なサポート対応ありがとうございました。また、研究で直接に関わることはありませんでしたが、SiTCP の開発者である KEK の内田智久准教授には、FPGA のトレーニングセミナーでお世話になりました。

現東北大助教、元大阪大学岸本研究室の本多良太郎さんには、SiTCP の動作に関してご相談に乗っていただき、また問題検証をしていただき感謝しています。

現千葉大、元お茶の水女子大の永井遼さんには、KC705 評価ボードを用いた FE-I4 の DAQ システムの開発でお世話になりました。私がそのテーマを全て引き継ぐ形となりましたが、FE-I4 の DAQ システムの完成まで至ることができました。

東工大の金恩寵君とお茶の水女子大の藤本みのりさんには、私の用意した DAQ システムの再検証をしていただきました。一ユーザーとしてコメントをいただき、私が作ったものに対して自信を持つことができました。

研究室の先輩である矢島和希さんには、日常の生活や研究のことで多くのことを教えていただき、また相談させていただきました。SVX テレスコープ、FE-I4、SEABAS システムなど私の研究に関わるほとんどのことを丁寧に教えていただきました。非常に感謝しています。

Jia Jian Teoh さんには、FE-I4 と DAQ システムについて、詳細に教えていただきました。FE-I4 が動かなくて困っていた時は、様々な検証ができるようにアドバイスをいただき感謝しています。

山中研究室の卒業生である今坂俊博さん、森哲平さん、原口弘さんには研究生生活の中で様々なアドバイスをいただきました。

同期の山元大生君には、同じ大阪 ATLAS グループとして様々な場面で協力していただきました。研究グループは異なりますが、同期の佐藤友太君、西宮隼人君、特任研究員の清水信宏さん、小寺克茂さんには研究生生活の様々な面でお世話になりました。

後輩の大西裕二君、原宜広君、真利共生君、大杉真優さん、堀孝之君、山家谷昌平君が熱心に研究に取り組む姿勢は励みになりました。

秘書の川原希恵さん、藤阪千衣さんには事務手続きや備品の購入手続きなどで非常にお世話になりました。

最後になりましたが、大学、大学院の 6 年間の生活を支えていただいた両親には深く感謝いたします。また、書ききれなかった全ての方々にも感謝とお礼を申し上げます。

本当にありがとうございました。

# 付 録 A    FE-I4読み出しシステムの補足

ここでは、2章に述べた FE-I4 読み出しシステムの補足を述べる。

## A.1    ファームウェアの各ブロックの解説

### Network Processor

Ethernet を用いてコンピュータと FPGA ボードの通信を行うため、SiTCP というライブラリを用いる。SiTCP(Silicon Transmission Control Protocol) は、KEK の内田智久氏が開発した、Xilinx 社の FPGA 上で実現されたハードウェアベースのネットワークプロセッサの実装である [11]。TCP/IP の通信プロトコルに対応するように信号を処理する機能を持つ。SiTCP を用いて Ethernet を利用した FPGA と PC 間でのデータ転送を可能にした。

SiTCP によって TCP/IP プロトコルを利用するメリットは、

- コンピュータのオペレーティングシステムに対して新しくデバイスドライバ<sup>1</sup>を開発する必要がない。基本的にオペレーティングシステム側にネットワークドライバが標準で用意されている。
- ソケットと呼ばれるアプリケーションインタフェースを利用することで比較的容易にネットワークプログラミングが可能になる。
- デバイスをネットワークハブに接続したりすることでリモートコントロールができる。
- Gigabit Ethernet に対応しており、データの転送速度は 10 Mbps から 1 Gbps まで対応できる。

---

<sup>1</sup> コンピュータに接続されているハードウェアをオペレーティングシステムから制御可能にするソフトウェア。

コンピュータからはデータ収集 (DAQ) 用ソフトウェアで、UDP のデータパケットにファームウェアをコントロールするデータを格納して FPGA に転送する。

FPGA 内において信号の処理は 125 MHz のクロックに同期して行われる。

## Registers

DAQ ソフトウェアから FPGA に送られた情報を一時的に FPGA 内部に保存する役割を持つ。レジスタはアドレスによって指定され、1つのレジスタは8ビットのデータを保存する。

## Command Generator

FE-I4を制御するコマンド信号を生成する役割を担う。コマンド用のプロトコルの信号はソフトウェア側で直接生成されるのではなく、FPGA 上でFE-I4の通信プロトコルに準拠したビット列を生成させる。どのコマンド信号を生成するのかという命令と、コマンド信号に含める制御用のパラメータは前述の Registers の値を参照して決める。

## Manchester Encoder

FE-I4に送信するコマンド信号のプロトコルに対して、DC(直流)成分を抑制させるためにマンチェスタ符号化をサポートしている。マンチェスタ符号化は、コマンド信号のクロックの2倍の周波数のクロックを利用し、1ビットの信号を2ビット符号に変換して伝送する。変換の方法は、'0'に対しては'01'、'1'に対しては'10'のように各論理に対して信号の立ち上がり、立ち上がりに対応させる。マンチェスタ符号化を有効化するかどうかはソフトウェア側で選択できるようにしている。

## Deserializier

FE-I4 とのデータ通信はシリアル通信を利用する。シリアル通信とは、1本の信号伝送路でデータ信号を1ビットずつ送る通信方式である。このブロックでは1ビットのデータ列を10ビットの平行信号に変換する。この処理をデシリアライズと呼ぶ (Fig.2.9 参照)。10ビットの平行信号は後段の 8B/10B Decoder へ渡される。ASIC からのデータは 160 Mbps で転送されてくるので、この信号を10ビットずつに区切ると、このブロックからの信号出力速度は 16 MHz になる。

## 8B/10B Decoder

FE-I4 の出力信号はシリアル信号であり、8b/10b 符号化が用いられているため、受信側ではシリアル信号をデシリアライズした後、さらにデータの復号化を行う必要がある。このモジュールではデシリアライズした 10 ビットパターンを 8 ビットデータへ変換する処理を 16 MHz のクロックに同期して行なっている。

8b/10b が使用される理由は、受信側でシリアル信号からデータを再生するためのタイミングを決めるクロック信号を埋め込むためである。シリアル信号からクロック信号を抽出する際、シリアル信号に '1' または '0' の状態が長い時間連続すると、信号振幅が減衰しクロック信号が正しく再生できないことがある。そこで、8 ビットのデータを、'1' または '0' の連続を最大 4 サイクルに抑えた 10 ビットのシンボルに変換を行い、'1' と '0' の状態の割合を等しくさせて DC バランスを保つようにしている。また、8 ビットから 10 ビットへ 2 ビット追加する冗長性を利用し、データ以外に制御用のシンボルを定義している。

## FIFO

FIFO とは、First In, First Out の略で、先に入れたデータを先に読み出す処理を行うバッファ機構である。前段の 8B/10B Decoder と SiTCP の動作が非同期であるので、信号の読み込みのタイミングを調整するように非同期 FIFO を挿入している。動作クロックが同期していないためそのまま信号を接続すると、データの送り出しのタイミングと SiTCP での信号の読み込みのタイミングが異なり信号が正しく転送されない。

## A.2 データ収集ソフトウェアの概要

ここでは、FE-I4 からデータを取得してコンピュータで処理を行うソフトウェアの動作について述べる。ソフトウェアは [9] よりダウンロード可能である。ソフトウェアの設計思想については J.J Teoh 氏の修士論文 [8] で説明されているため、ここではキャリブレーションパルスを使用したデータ取得のフローを例にして説明する。キャリブレーションパルスとは、センサーがなくても各ピクセルでヒットをシミュレートするために、FE-I4 内部のパルスジェネレータで生成されるテストパルス信号である。このテストパルスは Fig.2.2 のテストパルス入力部から回路に入る。動作フロー図を Fig.A.1 に示す。以下の処理が順番に行われる。

1. 初めに、コンピュータ側のソフトウェアと FPGA との間の TCP コネクションを確立する。
2. FE-I4 のレジスタの値を全てリセットするコマンド信号を送る。
3. FE-I4 のグローバルレジスタの値を設定するコマンド信号を送る。
4. FE-I4 のピクセル毎のローカルレジスタに対して、アンプ回路のフィードバック電流を制御するレジスタ値を設定するコマンド信号を送る。
5. データ収集を開始する命令を FPGA ファームウェアに送る。
6. FPGA のファームウェアから、トリガー数の情報とキャリブレーションパルスを使った動作をするコマンドを送信する。
7. FE-I4 からシリアルデータ信号が次々と送られてくる。
8. FPGA 内部のシリアライザでシリアルデータ信号をパラレルデータ信号に変換する処理がなされ、8B/10B 符号化されている信号のデコード処理が行われる。
9. デコードされたデータが次々とコンピュータに転送される。データの転送は要求トリガー数分のデータが FPGA 側で処理されるまで継続する。
10. ソフトウェア側でデータの処理を行い、ピクセルのヒット情報を含むファイルを生成する。
11. データの受信処理は要求トリガー数に達するまで行われ、全てのピクセルをスキャンできれば終了する。

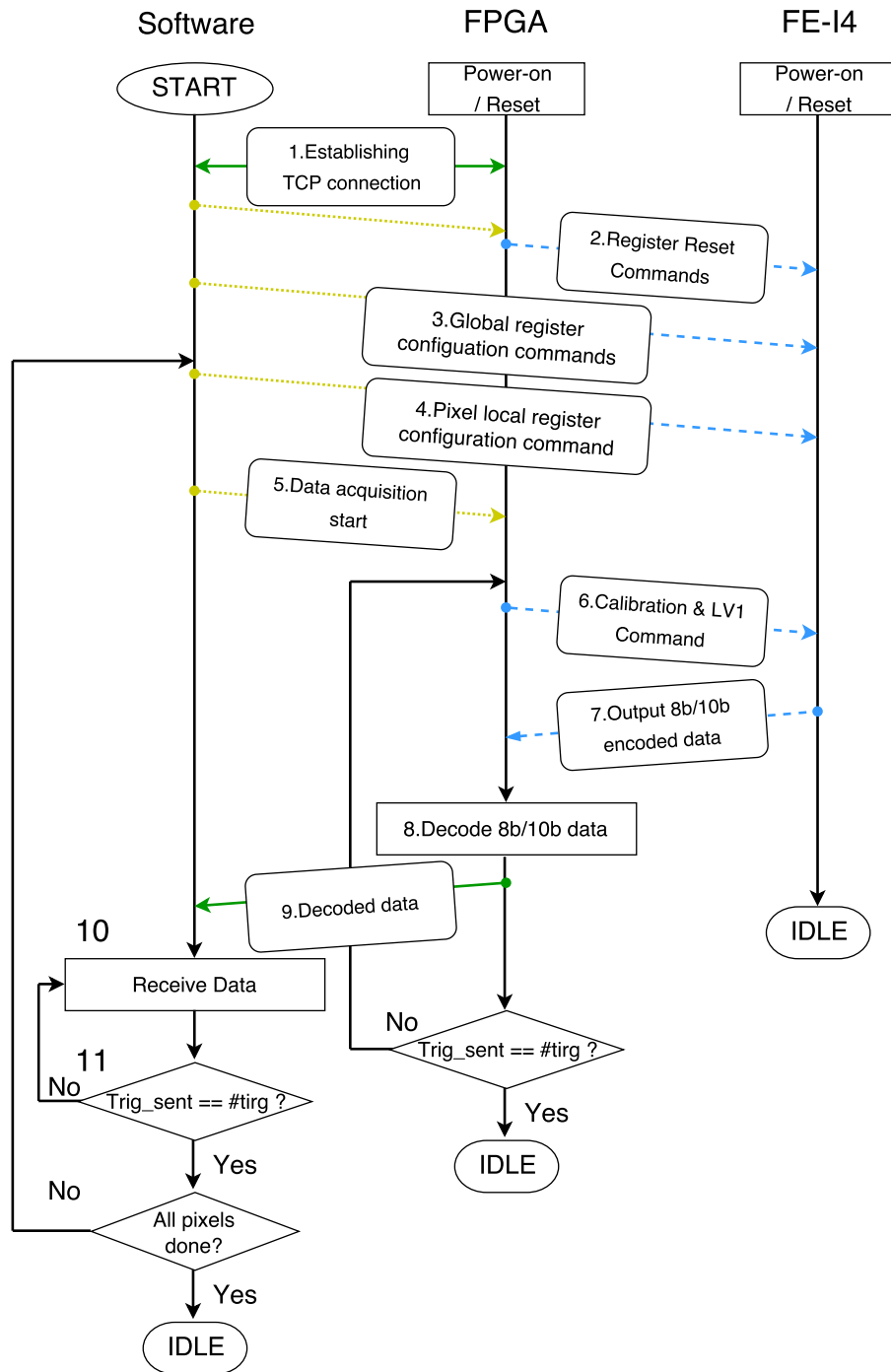


Fig. A.1: データ収集ソフトウェアの動作フローチャート [8]。緑色の実線矢印は TCP 通信、黄色の点線矢印は UDP 通信、青色の破線矢印は FE-I4 のカスタムプロトコルによる通信を示す。

### A.3 FE-I4のコマンド信号のプロトコル

FE-I4をコントロールする信号をコマンド信号と読む。コマンド信号はTrigger、Fast、Slowの3つのグループに分けられる (Table A.1)。TriggerグループはLV1、FastグループにはBCR、ECR、CALの3つのコマンドがあり、SlowグループにはTable A.2に示す6つのコマンドがある。コマンドは最大6つのフィールドを持つことができ、すべてのフィールドは、フィールド6を除いて固定長である。

LV1はピクセルから新しいヒット情報を取得するために用いるコマンドで、BCRは内部のカウント回路をリセットするコマンド、ECRは内部メモリに一時的に保持されているデータを消去するコマンドである。CALはパルスジェネレータ回路を制御するコマンドで、デジタルまたはアナログのキャリブレーションパルスを生じピクセルに注入するDigital scanやAnalog scanといったテストのほか、閾値やToTの較正で用いる。

SlowコマンドはFE-I4のグローバルレジスタおよびピクセルレジスタを制御するコマンドで、レジスタの値を読み書きを行う際に用いる。

| Name       | Field1 | Field2 | Descriptions        |
|------------|--------|--------|---------------------|
| size(bits) | 5      | 4      |                     |
| LV1        | 11101  | -      | Level 1 Trigger     |
| BCR        | 10110  | 0001   | Bunch Counter Reset |
| ECR        | 10110  | 0010   | Event Counter Reset |
| CAL        | 10110  | 0100   | Calibration Pulse   |
| Slow       | 10110  | 1000   | Slow command header |

Table A.1: Trigger and Fast Commands

| Name        | Field3 | Field4 | Field5  | Field6 | Descriptions                                   |
|-------------|--------|--------|---------|--------|------------------------------------------------|
| size(bits)  | 4      | 4      | 6       |        |                                                |
| RdRegister  | 0001   | ChipID | Address | -      | Read addressed global memory register          |
| WrRegister  | 0010   | ChipID | Address | Data   | Write into addressed global memory register    |
| WrFrontEnd  | 0100   | ChipID | xxxxxx  | Data   | Write conf data to selected shift register(s)  |
| GlobalReset | 1000   | ChipID | -       | -      | Reset command; Puts the chip in its idle state |
| GloablPulse | 1001   | ChipID | Width   | -      | Has variable pulse width and functionality     |
| RunMode     | 1010   | ChipID | sssc    | -      | Sets RunMode or ConfMode                       |

Table A.2: Slow Commands



# 付 録 B    HL-LHC ATLAS ピクセル 検出器用 ASIC の 高速読み出しシステムの補足

## B.1    PCI Express の概要

PCI<sup>1</sup> Express は、パソコンやサーバに必要な機能を備えたボードを追加するための内部バスインタフェースの 1 つである。CPU やメモリのような装置と直接的に、大容量のデータのやりとりを行うことができるようになる。PCI Express ではデータはネットワークと同様にパケット単位で転送され、レーンと呼ばれる複数組の送信/受信用ワイヤにより差動信号で伝送される。このレーンの数は目的や用途に応じて増減させることができ、レーンの数を増やすことでより大量のデータ転送が可能になる。現在市販されている多くのマザーボードは PCI Express 用の拡張スロットを備えている。

PCI Express は、規格の違いによる複数のリビジョンが存在する。Table B.1 にリビジョン毎の信号の実効データ転送速度<sup>2</sup> のピーク値を示す。

| Revision | 実効データ転送速度 (MB/s/Lane) |
|----------|-----------------------|
| 1.0      | 250                   |
| 2.0      | 500                   |
| 3.0      | 1000                  |

Table B.1: PCI Express のリビジョンによるピーク性能。転送レートはレーン当たりの片方向の速度を示す。リビジョン 2.0 で 4 レーンを使用する場合の規格は PCI Express 2.0 x4 と表記する。

<sup>1</sup> Peripheral Component Interconnect の略。

<sup>2</sup> 実際に転送されるデータに対し、クロック信号を埋め込む符号化処理が行われるため、実際のデータ転送速度は伝送路上の信号速度よりも符号化処理のオーバーヘッドの分だけ小さくなる。そのため、伝送路上の信号速度と実際のデータ転送速度を区別し、後者を実効転送速度と呼ぶ。

## B.2 PIO 転送と DMA 転送の説明

コンピュータシステムのデータの転送方式である PIO 転送と DMA 転送についての説明を述べる。

### PIO (Pogrammed Input/Output) 転送

システムのプロセッサが、コンピュータシステムの各機器の制御を行う回路であるチップセットに対して命令を発行する。周辺デバイスに対しては、デバイスと接続しているチップセット内のバスを経由してデータの書き込み命令やデータ、およびデータの読み出し命令を送る。このとき一度に転送できるデータの量は決まっているため、データ長が短い転送には向いているが、データ長が長い転送の場合はデータを細切れで送ることになり、転送毎にプロセッサが処理を行うためプロセッサへの負荷が重くなる。さらに PCI Express の場合、細切れにしたデータに対してはヘッダ情報などが付与されるため実効データ転送速度は低下する。そのため大量のデータ転送には向かない。

### DMA (Direct Memory Access) 転送

システムのプロセッサが主なデータ転送に直接関与することなく、システムバスを経由して周辺機器とメインメモリとの間で、直接的にデータを転送することを可能にするハードウェア機構である。この方式では、まず最初にプロセッサが周辺機器に対して PIO 転送を用いてデータの転送要求を行う。そして要求を受けた周辺機器内の DMA コントローラ回路が、実際にデータの読み出し命令や書き込み命令を発行してデータ転送を制御する。この機構を使用すると、データの転送中はプロセッサは転送を制御する必要がなくなるため、転送中に他のプログラムを実行したりすることができる。さらに、一度に転送できるデータの量は PIO 転送の場合よりも長くできるため、PCI Express の場合は全データに対するヘッダ情報の割合が小さくでき、実効データ転送速度の低下を抑えることができる。大量のデータを転送する場合、一般的にはこちらの方式を用いることが多い。

Fig.B.1 に PIO 転送と DMA 転送の簡単な概念図を示す。図中の矢印はデータの流れを示している。PIO 転送では、外部の I/O デバイスからのデータはプロセッサを経由してからコンピュータのメモリに送られる。一方、DMA 転送では外部の I/O デバイス上のメモリのデータは、プロセッサを経由せずにコンピュータのメモリに直接転送される。データの転送のコントロールは DMA コントローラと呼ばれる回路が行う。

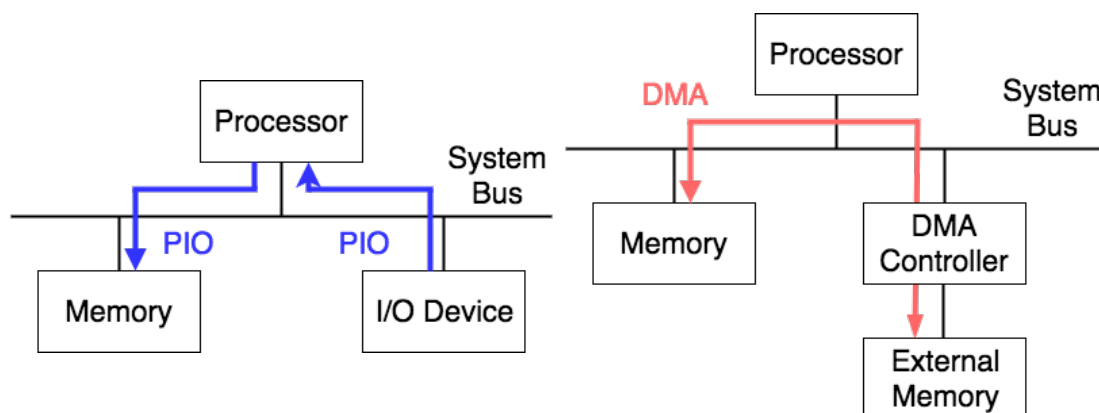


Fig. B.1: PIO 転送 (左) と DMA 転送 (右) の概念図。右図では、外部デバイス上に DMA コントローラとメモリがある場合を想定したイラストである。

## B.3 ファームウェアの各ブロックの解説

3.1.3 節中の Fig.3.2 の各ブロックの役割について、解説する。

### Host computer

データ収集を行うアプリケーションを実行し、ファームウェアをコントロールするコンピュータを指す。2 章の Ethernet を使用した読み出しシステムでは、コマンド信号を生成するための回路ブロックを動作させる命令をソフトウェア側から FPGA に送る設計であった。PCI Express を用いたシステムにおいても同様に、ソフトウェア側からコマンド信号を生成するための回路ブロックを動作させる命令を、デバイスドライバ<sup>3</sup> を介して FPGA に送信する。なお、この時のデータ転送方式は PIO 通信である。

### Wishbone Bus

Wishbone は回路内のモジュール間を接続するパラレルバスの規格の 1 つである。FPGA 間の回路ブロック間を簡単に接続することを目的として規格化されている [15]。Fig.3.2 中で、コンピュータから FPGA に送ったデータは Wishbone バスを経由して後段の TxCore と呼ばれる領域に送られる。Wishbone バスという規格を用いて各回路ブロックを接続することで、システムの再利用性、移植性を高めている。

<sup>3</sup> 2 章の注釈 6 を参照。

## Wishbone express core

PCI Express を介してコンピュータ側から FPGA に転送されたデータは、この回路ブロックを経由して後段の Wishbone バスに送られる。このブロックの役割は、PCI Express の通信を担うインタフェースと FPGA 内部のロジックの橋渡しである。DMA 転送を制御する DMA コントローラはこのブロックに含まれるが、Fig.3.2 では独立したブロックとして表している。

## TxCore

TxCore は FPGA から ASIC に対して命令を発行する回路ブロックで、内部の設計は ASIC の仕様に合わせる必要がある。TxCore には基本的にはコマンド信号のビット列の生成と、トリガーの処理を行う回路、必要であれば符号化処理を行う回路を含める。FE-I4 の場合、FE-I4 用の制御コマンド列の生成を行う回路 (Command Generator) とマンチェスター符号化処理を行う回路 (Manchester Encoder) を含むことになる。生成されたコマンド信号は FPGA メザニンカードコネクタから外部に出力され、インタフェースカードを経由して伝送線で ASIC に信号が送られる。

## RxCore

ASIC から受け取ったデータを処理する回路ブロックである。ASIC から伝送線を流れてきたヒット情報などを含むデータ信号は、まず FPGA メザニンカードコネクタから FPGA に入力される。RxCore に含む回路には、シリアル信号からパラレル信号に変換する処理を担うデシリアライザと、8b/10b や 64b/66b<sup>4</sup> のような符号化処理がなされた信号をデコード処理する回路がある。

## Memory Controller, External Memory

RxCore から出力された信号は、メモリコントローラを経由して FPGA ボード上の DDR3 メモリ<sup>5</sup> に書き込まれ、一時的に保存される。メモリにデータを書き込む理由は、この後の DMA 転送によってコンピュータに搭載されているメモリにデータを移すためである。

---

<sup>4</sup> 64 ビットのデータに対して 2 ビット冗長化し、66 ビットのパターンに変換する符号化処理方式。8b/10b では 25% のオーバーヘッドだが、64b/66b では 3.125% に抑えている。RD53A では出力データに対してこの符号化方式を用いる。

<sup>5</sup> 正確には DDR3 SDRAM で、Double-Data-Rate3 Synchronous Dynamic Random Access Memory の略。コンピュータ等で使用されるメモリの規格である。

KC705 評価ボードおよび VC707 評価ボードには 1 GB の DDR3 メモリを搭載している。メモリは FPGA ボードに対応しているものであれば交換可能である。

## DMA Controller

コンピュータのアプリケーションから、DMA コントローラにデータの転送要求を発行することで、FPGA ボード上のメモリからコンピュータに搭載されているメモリにデータが移される。

DMA コントローラーは、200 MHz のクロックに同期して動作するようにしており、データバスの幅は 32 ビットである。したがって、データは最大 800 MB/s で転送されることになる。DMA コントローラの詳しい仕様は参考文献 [16] を参照。

## B.4 PCI Express の通信テスト環境

通信テストを行ったコンピュータとオペレーティングシステム環境は以下の構成である。

- テスト環境
  - CPU : Intel Core™ i7-7700K Processor (8M Cache, up to 4.50 GHz)
  - Motherboard : ASRock Z270 Pro4
  - Memory : 4GB Samsung DDR4-2400 x2
  - Operating System : CERN CentOS Linux release 7.4.1708