

# ILCに向けたピクセルセンサー:SOFIST の動作試験

大阪大学理学研究科物理学専攻  
山中卓研究室 修士2年  
森哲平

平成29年2月28日

## 概要

我々SOIグループでは、ILCに向けてSOI技術を用いて最適化されたピクセル検出器であるSOFISTの開発を行っている。本研究の目的はそのプロトタイプであるSOFIST ver.1の動作試験を行うことである。

SOFISTは $20\ \mu\text{m}$ 角のピクセルセンサーであるが、電荷情報を読み出して、その重心を取ることによってILCの要求である $<3\ \mu\text{m}$ の位置分解能の実現を目指している。SOFIST ver.1は電荷分割によってどこまで位置分解能を獲得できるかを調べることに焦点が置かれており、本研究の結果が今後のSOFISTの位置測定部分の開発へのフィードバックとなる。

本研究ではSOFIST ver.1のS/Nの測定を行い、設計値を満たすことがわかった。またBPWの性能評価を行い、 $12 \times 12\ \mu\text{m}^2$ の大きさが最適であることがわかった。

# 目次

概要	1
<b>第1章 序論</b>	<b>6</b>
1.1 高エネルギー物理学実験における半導体検出器	6
1.1.1 半導体検出器の原理	6
1.1.2 半導体検出器の種類	7
1.2 ILC実験	8
1.2.1 ビーム構造	9
1.2.2 VTX (Vertex Detector)	10
1.2.3 衝突点近傍に設置する半導体検出器への要求	11
1.3 SOI(Silicon On Insulator) 技術	11
1.3.1 高エネルギー物理における SOI 検出器	11
1.3.2 BPW (Buried P Well)	11
1.3.3 期待されるメリット	12
1.4 SOFIST	13
1.4.1 位置情報	13
1.4.2 ピクセル占有率	16
1.4.3 時間情報	16
1.4.4 物質質量	16
1.5 本研究の目的	16
1.5.1 実施した試験	16
<b>第2章 SOFIST v.1</b>	<b>17</b>
2.1 概要	17
2.2 全体の設計	17
2.2.1 ピクセル部分	18
2.2.2 Column-ADC	21
2.2.3 アナログ部分	22
2.2.4 SOFIST v.1 に実装されている BPW	22
2.3 要求される性能	23

<b>第3章</b>	<b>データの読み出し</b>	<b>24</b>
3.1	SEABAS2 . . . . .	24
3.2	SOFIST サブボード . . . . .	24
3.3	読み出し手順 . . . . .	24
3.3.1	ファームウェア . . . . .	26
3.3.2	ソフトウェア . . . . .	26
<b>第4章</b>	<b>実施した性能評価試験</b>	<b>27</b>
4.1	テストパルスを入力による試験 . . . . .	27
4.1.1	セットアップ . . . . .	27
4.1.2	測定結果 . . . . .	28
4.2	線源を用いた荷電粒子貫通事象による試験 . . . . .	36
4.2.1	測定結果 . . . . .	37
<b>第5章</b>	<b>結果</b>	<b>41</b>
5.1	入力パルスに対する出力の線形性 . . . . .	41
5.2	BPW によるピクセルの性能比較 . . . . .	41
5.3	$\beta$ 線源に対する出力 . . . . .	41
<b>第6章</b>	<b>考察と課題</b>	<b>43</b>
6.1	一時的なノイズの増加について . . . . .	43
6.2	パルス入力と放射線貫通時の電荷量の差 . . . . .	43
<b>第7章</b>	<b>結論</b>	<b>44</b>

# 図目次

1.1	pn 接合ダイオードの図。中央の黄色部分が空乏層 . . . . .	6
1.2	逆バイアス電圧をかけると空乏層が広がり、荷電粒子によって電子正孔対が発生する様子。バイアス電圧の電場によって電荷が収集される。 . . . . .	7
1.3	ストリップ型とピクセル型検出器の概略図。電荷を収集する電極の形状により、得られる位置情報が決定される [1]。 . . . . .	8
1.4	ILC 加速器の全体図。リング状加速器で電子を加速した後に、線形加速器で加速する。加速した電子ビームから陽電子ビームを作り出し、それぞれ加速して衝突させる [2]。 . . . . .	9
1.5	ILC のビーム構造 [3] . . . . .	9
1.6	VTX の断面図 [4] . . . . .	10
1.7	SOI 技術を用いた半導体検出器の図 [6] . . . . .	12
1.8	SOFIST の設計図。20 × 20 $\mu\text{m}^2$ のピクセルが 3125 × 500 個並び、有感領域は 62.5 × 10 $\text{mm}^2$ となる。各列に ADC が用意され、並列読み出しを行う [4]。 . . . . .	14
1.9	SOFIST の各ピクセルに搭載される回路のデザイン。入力したシグナルを増幅するアンプが 1 つ、電荷量を保存するアナログ回路が 2 つ、時間情報を保持するタイムスタンプ回路が 2 つ用意される [4]。 . . . . .	15
2.1	SOFIST v.1 の概略図 [8] . . . . .	17
2.2	SOFIST のレイアウト。有感領域は 1 × 1 $\text{mm}^2$ 、全体のサイズは 2.9 × 2.9 $\text{mm}^2$ [7] . . . . .	18
2.3	SOFIST v.1 のピクセルに搭載される回路。センサー、もしくはテストパルスによる入力シグナルを Pre-amp で増幅し、後段に用意された 2 つのバッファで保持する。各ピクセルのシグナルはトリガーの入力時に順次読み出される [7]。 . . . . .	19
2.4	Synopsys 社の StarRC を用いて寄生容量を抽出し、1 ピクセル上の回路にテスト入力を行った際の入力出力比の SPICE シミュレーションの結果。左が High-gain 領域、右が Low-gain 領域の出力である。High-gain 領域の出力は 0.823 倍、Low-gain 領域は 0.403 倍となる見積もりである [9]。 . . . . .	20

2.5	有感領域のピクセルの配置。実際にはこれらに加えて、縦方向に2段の電気入力試験用の回路を実装したピクセルが用意されている。左端の10×50ピクセルの領域は5fFのフィードバックキャパシタを使用したアンプを実装しており、高いゲインを持つ。他の領域は20fFのキャパシタを実装しており低いゲインであるが、それぞれ異なる大きさのBPWを実装している。特に事前の研究で高い性能を示した、本命の16×16 $\mu\text{m}^2$ のBPWを搭載している領域は、詳しい試験のため多めのピクセルを確保している [7]。 . . . . .	21
2.6	ADCの動作手順。一定量の電流を流し続けるRamp generatorを使用し、電荷情報を時間情報に変換し、時間情報をデジタル情報として読み出す [7]。 . . . . .	22
2.7	左が14×14 $\mu\text{m}^2$ 、右が16×16 $\mu\text{m}^2$ のBPWのレイアウト。赤線の部分がBPWの端である。16 $\mu\text{m}$ 角ではほぼすべてのトランジスタが覆われているが、14 $\mu\text{m}$ 角では一部のトランジスタがはみ出している [10]。 . . . . .	23
3.1	SEABAS2とSOFISTサブボードの写真。左がサブボード、右がSEABAS2。左のサブボード上にSOFISTチップがマウントされている。ビームテストを見据え、金属板上にアライメントされている。	25
4.1	1ピクセルのアンプのアナログ出力。それぞれの波形は、(緑)チップからのアナログ出力、(青)リセットパルス、(黄)テストパルス、(赤)トリガー信号を表す。リセットパルス、テストパルスの入力に対して、出力が変動していることが確認できる。 . . . . .	28
4.2	テスト入力電圧に対する出力値。一つの点の一つの1ピクセルごとのペDESTALを引いた後のADC値に相当する。High-gain領域、Low-gain領域をそれぞれ赤と黒の点で分けて示している。左がChip 3、右がChip 4の図。 . . . . .	29
4.3	1ピクセルのペDESTALのヒストグラム。色はBPWサイズの異なる領域：(緑)12×12 $\mu\text{m}^2$ 、(赤)14×14 $\mu\text{m}^2$ 、(青)16×16 $\mu\text{m}^2$ を表す。センサーバイアス電圧は140V。 . . . . .	29
4.4	各ピクセルのペDESTAL値をBPWサイズの異なる領域ごとに色分けした平均値分布。(緑)12×12 $\mu\text{m}^2$ 、(赤)14×14 $\mu\text{m}^2$ 、(青)16×16 $\mu\text{m}^2$ を表す。画像はバイアス電圧を140V印加時のものである。	30
4.5	全ピクセルについての図4.3の標準偏差分布。色はBPWサイズの異なる領域であり、(緑)12×12 $\mu\text{m}^2$ 、(赤)14×14 $\mu\text{m}^2$ 、(青)16×16 $\mu\text{m}^2$ を表す。センサーバイアス電圧は140Vのときのデータ。 . . . . .	31
4.6	ペDESTALの平均値のセンサーバイアス電圧依存性。(緑)12×12 $\mu\text{m}^2$ 、(赤)14×14 $\mu\text{m}^2$ 、(青)16×16 $\mu\text{m}^2$ を表す。 . . . . .	31

4.7	ペDESTALの標準偏差のセンサーバイアス電圧依存性。(緑)12 × 12 $\mu\text{m}^2$ 、(赤)14 × 14 $\mu\text{m}^2$ 、(青)16 × 16 $\mu\text{m}^2$ を表す。 . . . . .	32
4.8	1 ピクセルのシグナル値のヒストグラム。色は BPW サイズの異なる領域を表し、(緑)12 × 12 $\mu\text{m}^2$ 、(赤)14 × 14 $\mu\text{m}^2$ 、(青)16 × 16 $\mu\text{m}^2$ を表す。センサーバイアス電圧は 140 V。 . . . . .	33
4.9	全ピクセルについての 1 MIP 相当の電荷量に対する出力のヒストグラム。色は BPW サイズの異なる領域を表し、(緑)12 × 12 $\mu\text{m}^2$ 、(赤)14 × 14 $\mu\text{m}^2$ 、(青)16 × 16 $\mu\text{m}^2$ を表す。画像はバイアス電圧 140 V 印加時のものである。左が Chip 3、右が Chip 4 の図。 . . . . .	34
4.10	テストパルスで 1 MIP 相当の電荷量を入れた出力のセンサーの HV 依存性。色は BPW の大きさの違うピクセルからの出力を示しており、(緑)12 × 12 $\mu\text{m}^2$ 、(赤)14 × 14 $\mu\text{m}^2$ 、(青)16 × 16 $\mu\text{m}^2$ を表す。左が Chip 3、右が Chip 4 の図。 . . . . .	34
4.11	1 MIP 相当の電荷入力に対する S/N の HV 依存性。色は BPW の違うピクセルからの出力を示しており、(緑)12 × 12 $\mu\text{m}^2$ 、(赤)14 × 14 $\mu\text{m}^2$ 、(青)16 × 16 $\mu\text{m}^2$ を表す。左が Chip 3、右が Chip 4 の図。 . . . . .	35
4.12	SOFIST の裏面の写真。シンチレータを固定し、荷電粒子貫通時のイベントを収集する。 . . . . .	36
4.13	Low-gain 領域の 1 イベントのスナップショット。Z 軸はシグナル値。 . . . . .	38
4.14	センサーバイアス電圧 140 V での $\beta$ 線貫通事象によって得られたシグナルの ADC 値の総和。 . . . . .	39
4.15	荷電粒子貫通ピークの値のセンサーバイアス依存性。 . . . . .	40
5.1	図 4.15 の横軸を電圧の二乗根としたもの。低電圧領域において Fit した。70 から 80V の位置で外れていることが確認できる。左が Chip 3、右が Chip 4 の図。 . . . . .	42

# 第1章 序論

SOFIST(SOI sensor for **F**ine measurement of **S**pace and **T**ime) は ILC 実験での使用を目的として開発している SOI 技術を用いたシリコンピクセル半導体検出器である。この章ではシリコン半導体検出器、ILC 実験、SOI 技術、SOFIST の設計概念について説明し、本研究の目的を述べる。

## 1.1 高エネルギー物理学実験における半導体検出器

高エネルギー物理学実験において半導体検出器は、例えば粒子衝突点近傍に配置され、衝突により生成される荷電粒子の飛跡に用いられる。そのような用途では高い精度での位置測定、低い物質質量による散乱を抑制が要求される。半導体検出器の性能を更に向上させるため、世界中で様々な研究開発が進められている。

### 1.1.1 半導体検出器の原理

半導体検出器は P 型半導体と N 型半導体を接合したダイオード構造になっている。接合時、両者のキャリアの違いから、P 型から正孔が、N 型から電子が拡散する。これによって接合面にはキャリアの存在しない領域が発生し、これを空乏層と呼ぶ(図 1.1)。

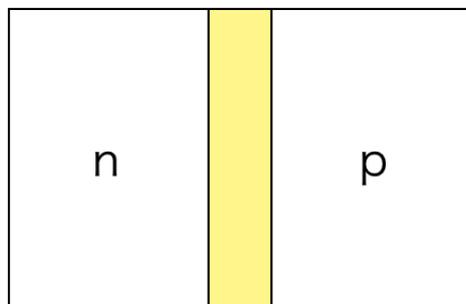


図 1.1: pn 接合ダイオードの図。中央の黄色部分が空乏層

半導体に逆バイアス電圧をかけると電子が移動し、空乏層がより広がる (図 1.2)。この空乏層に荷電粒子が通過すると、通過時に荷電粒子が落としたエネルギーが電子正孔対の生成に使われる。

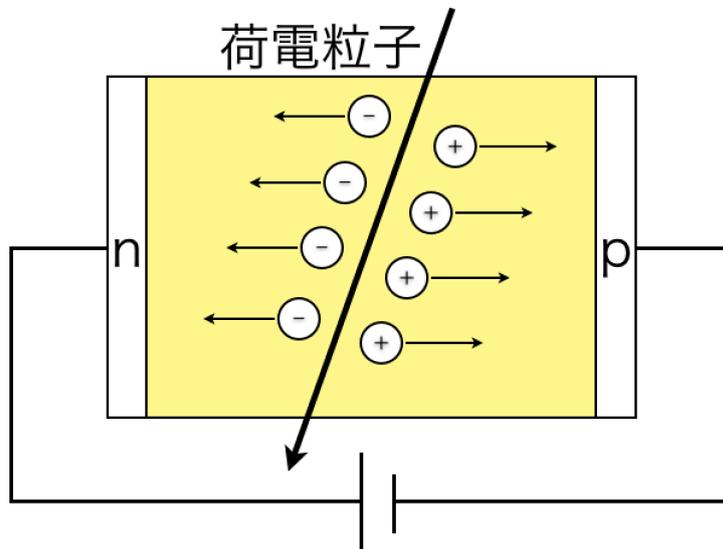


図 1.2: 逆バイアス電圧をかけると空乏層が広がり、荷電粒子によって電子正孔対が発生する様子。バイアス電圧の電場によって電荷が収集される。

半導体に Si を用いる場合、一对の電子正孔対の生成に平均 3.6 eV 必要である。一般に広く使われる  $300\ \mu\text{m}$  厚の検出器を荷電粒子が貫通すると、約 80 keV のエネルギーが落とされ、約 22000 個の電子正孔対が生成される。こうして生まれた電子正孔対は逆バイアス電圧による電場でそれぞれ両端に収集され、この電荷量をもって粒子の通過を観測する。

### 1.1.2 半導体検出器の種類

ここでは半導体検出器を荷電粒子の通過事象に感度を持つセンサー部の形状、読み出し回路の位置、接続方法によって大別する。

#### ストリップ型、ピクセル型

位置情報は、p 電極 (もしくは n 電極) を分割し、信号の得られた電極の位置として得られる。分割方法には主に図 1.3 に示すピクセル型とストリップ型の 2 種類が用いられる。ストリップ型では電極を棒状に分割して一次元の位置情報を獲得し、二次元的に見たい場合には同じセンサーを直行させて並べ、X, Y 方向の位置情報を獲得する。ピクセル型では電極を小さく分割したものを行列状に並べて、どの電極が反応したかによって通過位置を測定できる。

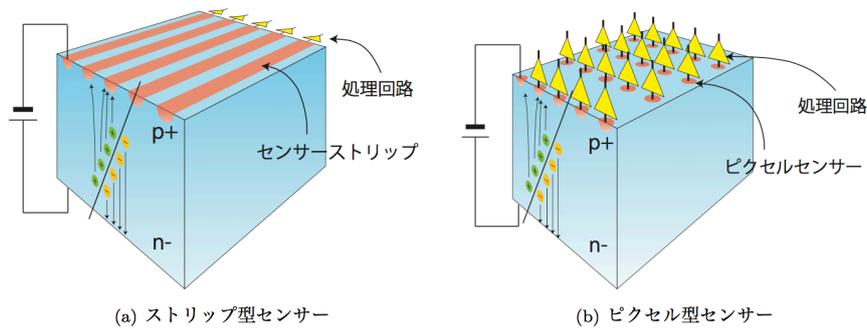


図 1.3: ストリップ型とピクセル型検出器の概略図。電荷を収集する電極の形状により、得られる位置情報が決定される [1]。

### オンセンサー型、オフセンサー型

センサーによって生じた電子(正孔)は読み出しのための電子回路、ASIC (Application Specific Integrated Circuit) を通じて読み出される。この ASIC をセンサー上部に置くものをオンセンサー型、センサーと離れた場所に置くものをオフセンサー型と呼ぶ。

### ハイブリッド型、モノリシック型

更にオンセンサー型の検出器では、ASIC とセンサー部の接続方法はハイブリッド型とモノリシック型の二種類がある。ハイブリッド型では、センサー部とエレクトロニクス部の半導体をそれぞれ制作し、金属バンプによって接合する。モノリシック型ではセンサー部とエレクトロニクス部を一つの基板上で制作する。今回使用し、後述する SOI センサーはモノリシック型に該当する。

## 1.2 ILC 実験

ILC (International Linear Collider) は、岩手県に建設が予定されている線形加速器である (図 1.4)。全長約 30 km に及ぶ直線加速器を用いて、電子と陽電子を衝突させる。重心系エネルギー 500 GeV の加速器を建設した後に 1 TeV へアップグレードすることを想定している。電子陽電子の高エネルギー衝突実験では LHC などの陽子衝突実験に比べて背景事象を大幅に削減できる。ILC では、2012 年に LHC で見つかった Higgs 粒子の精密測定や、超対称性粒子などの新粒子の測定を目的としている。

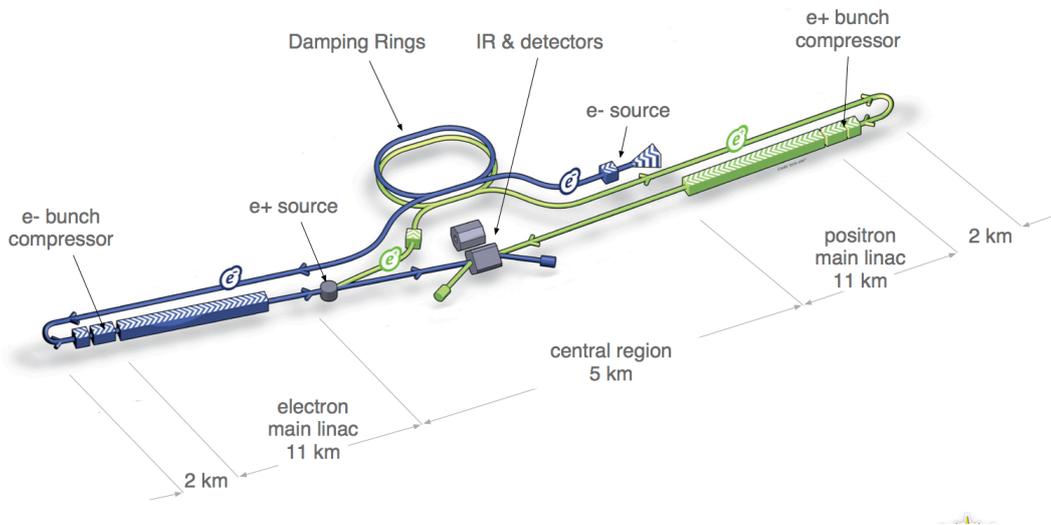


図 1.4: ILC 加速器の全体図。リング状加速器で電子を加速した後、線形加速器で加速する。加速した電子ビームから陽電子ビームを作り出し、それぞれ加速して衝突させる [2]。

### 1.2.1 ビーム構造

ILC では図 1.5 に示すバンチ構造で電子、陽電子を運び、衝突を起こす。1 ms の間にバンチを集約し、199 ms のインターバルをはさんだ後に再度同じバンチ間隔で衝突させる。このとき 1 ms の間に集約されたバンチの集まりはバンチトレインと呼ばれ、重心系エネルギー 500 GeV までのビームランでは1つのトレインに 1312 バンチを集約させる予定である。ILC の検出器の読み出しは、衝突ごとのデータを逐次取得する他に、1 ms のビームトレイン中のデータをバッファに溜め込み、ビームの来ない 199 ms の間に読み出すことも考えられている。

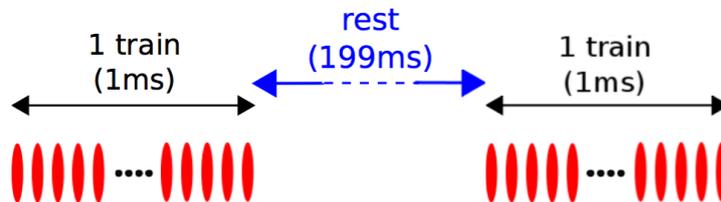


図 1.5: ILC のビーム構造 [3]

## 1.2.2 VTX (Vertex Detector)

ここでは ILC 実験で用いる崩壊点検出器、VTX (Vertex Detector) について説明する。VTX は図 1.6 に示すように最内層の検出器で、衝突点から 1.4 cm の距離に設置され、高い位置測定精度が求められる。ILC では Higgs 粒子と各フェルミオンの結合定数の精密測定のため、崩壊する粒子の同定 (フレーバータグ) が非常に重要である。崩壊点の測定は、生じたジェットの飛跡をたどって行われ、粒子の同定のためには飛跡の再構成の精度を表す Impact Parameter 分解能が重要である。ILC では、式 1.1 の Impact Parameter 分解能が要求されている。

$$\sigma < 5 \oplus \frac{10}{p \sin^{3/2} \theta} [\mu\text{m}] \quad (1.1)$$

第二項は多重散乱による分解能の誤差を表す。 $p$  は運動量 [GeV/c]、 $\theta$  は粒子の進行方向とビームと同方向にかかる磁場方向の角度である。この条件を満たすために、最内層のピクセル検出器には、 $3 \mu\text{m}$  以下の分解能、また多重散乱による誤差を抑制するため、1 層あたり 0.15 %  $X_0$  以下 (センサー厚  $100 \mu\text{m}/\text{layer}$  以下) の物質質量が要求される。

またこの距離ではバンチ同士の衝突によって生じる電子陽電子ペアのバックグラウンドも多く拾ってしまう。このような条件下では、全ピクセル中における反応したピクセルの占める割合である「ピクセル占有率」が上昇し、シグナルとバックグラウンドの識別が難しくなる。位置分解能の向上、ピクセル占有率の抑制に対して多くのグループは、読み出しの間隔を狭めること、ピクセルサイズを小さくすることなどで解決を図っている。

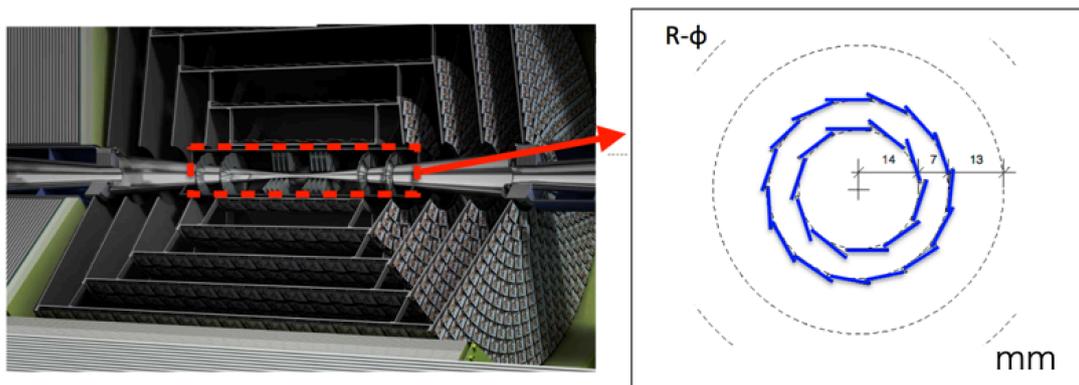


図 1.6: VTX の断面図 [4]

### 1.2.3 衝突点近傍に設置する半導体検出器への要求

目指す物理測定の要求から、衝突点近傍の検出器への具体的な要求は以下の通りとなる。

- 位置分解能  $3\ \mu\text{m}$  以下
- 厚み  $100\ \mu\text{m}/\text{layer}$
- ピクセル占有率 3 % 以下

## 1.3 SOI(Silicon On Insulator) 技術

SOIとはSilicon On Insulator技術の略称であり、半導体製造プロセスの一つである。シリコン基板上に絶縁膜層を形成し、その上にトランジスタを配置する。これによって回路上の寄生容量を削減でき、高速化と省電力化を実現できる。従来のBulk CMOSではP(N)型トランジスタを作る領域の基板上にN(P)型ウェル層と呼ばれる不純物層を形成し、各トランジスタを電氣的に分離する。それに対しSOI CMOSでは酸化膜層によってトランジスタが分離されるため、回路の距離を狭めることができ、密度が高まる。SOI技術はその高速性から、PCやゲーム機などのプロセッサチップに採用されている。

### 1.3.1 高エネルギー物理におけるSOI検出器

高エネルギー物理学実験におけるSOI検出器は図1.7のようになる。

SOI検出器は下部の支持基盤をセンサーとして用いて、上部の回路部分を読み出し回路として用いる。これによってセンサー、読み出し回路が一体となったモノリシック検出器となる。

### 1.3.2 BPW (Buried P Well)

SOIセンサーでは、センサー部と回路部を分離するために酸化絶縁膜が存在する。しかし過去の実験から、センサー部にバイアス電圧をかけることによって生じた電場が、回路部のトランジスタに影響をおよぼすことが明らかになっている。これをBack Gate効果と呼ぶ。KEK SOIグループでは電荷収集を担うP型半導体の周りに濃度の薄いP型半導体の層を埋め込んで電位を固定するBPW (Buried P Well) などを採用することにより、バイアス電圧による影響を抑制している。しかしBPWの実装によって、寄生容量が発生するため、最適のサイズを調べる必要がある。またBPWの実装により、わずかに電荷分割の精度が落ちることが分かっている。

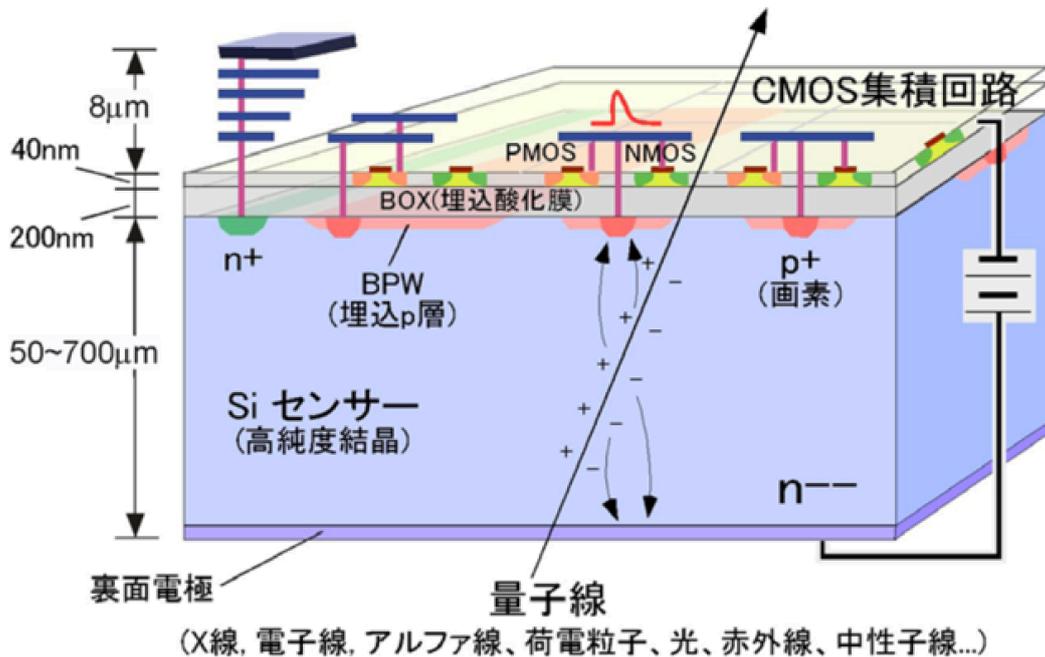


図 1.7: SOI 技術を用いた半導体検出器の図 [6]

### 1.3.3 期待されるメリット

高エネルギー物理学実験の検出器に SOI 技術を用いることには以下のメリットがある。

#### 物質量の低減

従来のハイブリッド型センサーの場合、センサー層と回路層を別途制作し、金属ボンディングにより接続するため、物質量が大きくなる。SOI 技術を用いた半導体検出器の利点として、金属ビアを使用したモノリシック型検出器であることが挙げられる。大幅に物質量を削減できるため、荷電粒子の通過時の多重散乱を抑制することができる。

#### ボンディングによる接合が不要

ワイヤボンディングでは、回路層とセンサー層がワイヤーによって接合されるため、検出器外部からの物理的な接触が生じる。このとき断線やショートが生じる。また金属ボンディングの場合、接合に不具合が生じることが多く Dead Channel の原因となる。SOI センサーではボンディングで生じる寄生容量を抑えられるため、

ノイズの削減が見込める。読み出し Channel の多い高エネルギー物理学実験では、ボンディングの要らないモノリシック検出器は大きな強みとなる。

## 回路の高速性、省電力性

通常の SOI 集積回路と同様に回路の高速性、省電力性を見込める。結果として、熱の発生も抑えられるので温度変化による回路の性質変化も抑制できる。

## 高集積化

酸化膜層によって素子同士が絶縁されているため、従来の Bulk CMOS に比べて回路の密度が高められる。それによってピクセルの大きさを小さくしたり、同じ大きさで別の回路を搭載することができ、高性能化、高分解能化が見込める。

## 1.4 SOFIST

我々 SOI 大阪グループでは、ILC のバーテックス検出器への要求を満たすために SOI 技術を用いたピクセル検出器 SOFIST の開発を行っている。SOFIST では  $20 \times 20 \mu\text{m}^2$  のピクセルを  $3125 \times 500$  個配置する (図 1.8)。それぞれに電荷量情報、時間情報を保持する設計を予定している (図 1.9)。

### 1.4.1 位置情報

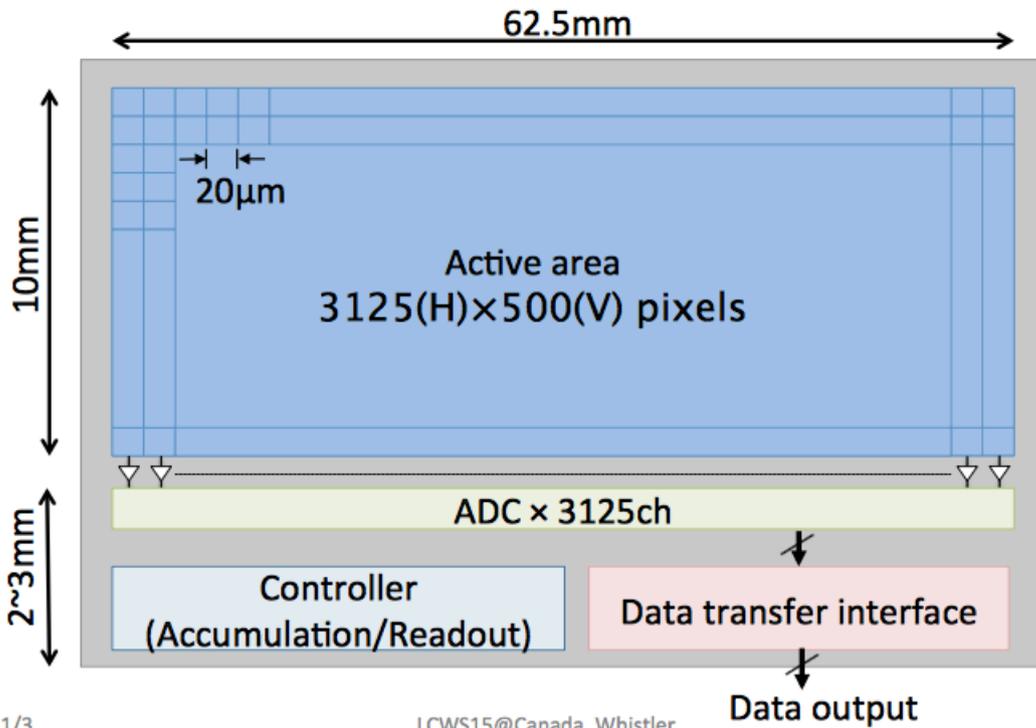
ピクセル検出器の位置情報の読み出し方法には大きく分けて 2 種類ある。

#### バイナリ読み出し

生じた電荷に対して閾値を設け、各 Channel でそれを超えるか否かによってヒット情報とする。ピクセル間の間隔を  $d$  としたとき、位置分解能  $\delta x$  は式 1.3 となる。

$$\langle \delta x^2 \rangle = \frac{\int_{-d/2}^{d/2} x^2 dx}{\int_{-d/2}^{d/2} dx} \quad (1.2)$$

$$\delta x = \frac{d}{\sqrt{12}} \quad (1.3)$$



/11/3

ICWS15@Canada, Whistler

図 1.8: SOFIST の設計図。 $20 \times 20 \mu\text{m}^2$  のピクセルが  $3125 \times 500$  個並び、有感領域は  $62.5 \times 10 \text{mm}^2$  となる。各列に ADC が用意され、並列読み出しを行う [4]。

### 電荷量読み出し

ピクセルで毎に得られる電荷量を ADC を用いて読み出す。ピクセルごとの電荷量の重心を取るにより、バイナリ読み出し以上の位置分解能を持つ。2つのピクセルに電荷が分割される場合、ピクセル間の間隔を  $d$ 、それぞれのピクセルへの電荷量を  $Q_L$ 、 $Q_R$  とすると入射位置  $x$  は

$$x = \frac{Q_R}{Q_L + Q_R} d \quad (1.4)$$

と表せる。ここで貫通事象によって得られる電荷量  $S$  :

$$S = Q_L + Q_R \quad (1.5)$$

を一定とすると、位置情報を  $Q_R$  のみで表せる。このとき位置分解能  $\delta x$  は

$$\delta x = \frac{\partial x}{\partial Q_R} \times \delta Q_R = \frac{d}{S} \times \delta Q_R \quad (1.6)$$

このとき  $\delta Q_R$  としてピクセルにおけるノイズの大きさ  $N$  を用いると、位置分解能は、

$$\delta x = \frac{d}{S/N} \quad (1.7)$$

の式で与えられる [5]。SOFIST ではこちらの方式を採用しており、これによってピクセルサイズが  $20 \mu m$  ながらも  $3 \mu m$  以下の位置分解能が得られるようになる設計である。

### Column-ADC

SOFIST には一列ごとに、計 3125 ch の 8-bit ADC が用意されている。ピクセルで保持した電荷をインターバル中に読み出す。

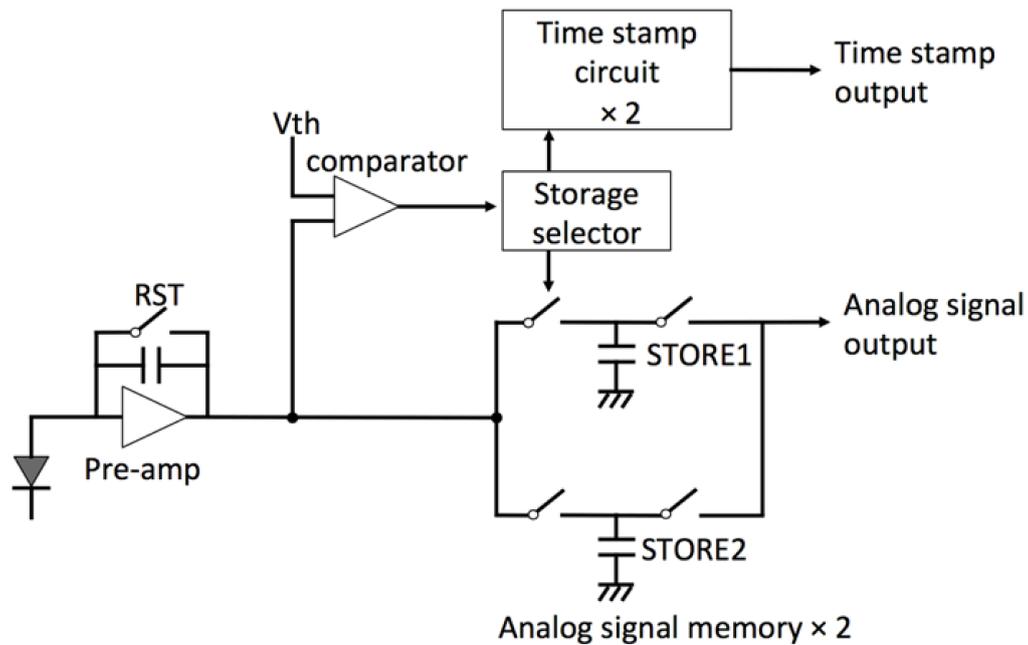


図 1.9: SOFIST の各ピクセルに搭載される回路のデザイン。入力したシグナルを増幅するアンプが 1 つ、電荷量を保存するアナログ回路が 2 つ、時間情報を保持するタイムスタンプ回路が 2 つ用意される [4]。

### 1.4.2 ピクセル占有率

20  $\mu\text{m}$  角のピクセルでは、衝突点に近い ILC のバーテックス検出器は 1 トレインあたりのピクセル占有率が 3 % を越える。そのため多段のアナログバッファ（キャパシタ）を用意し、ヒットがあったときに別のバッファに切り替えることにより、ピクセル占有率を抑える。搭載するバッファの数は 2~4 を予定している。

### 1.4.3 時間情報

上述のバッファで保存された電荷情報がバンチトレイン中、どのビームバンチで起こったか識別するため、それぞれに時間情報を付与する。

### 1.4.4 物質質量

SOFIST では SOI 技術を用いたモノリシック型検出器となるため、金属バンプによる接合を行う必要がない。そのため物質質量を大幅に低減することができる。SOFIST の厚みは 50  $\mu\text{m}/\text{layer}$  を想定している。

## 1.5 本研究の目的

大阪大学 SOI グループでは、ILC 実験の崩壊点検出器での使用を目指した SOI 技術を用いたシリコンピクセル検出器、SOFIST の開発を行っている。現在プロトタイプの第一号として、位置情報の取得に必要な機能のみを実装した SOFIST version 1 (以降、SOFIST v.1) を作成している。この SOFIST v.1 の動作確認を行い、性能評価をすることが本研究の目的である。

### 1.5.1 実施した試験

SOFIST v.1 回路上に用意された試験用テストパルス入力によるテストと、 $^{90}\text{Sr}$  線源を用いたノイズレベルの測定、また線源を用いた放射線貫通時の総電荷量を測定することによって、空乏層の広がり確認を行った。

## 第2章 SOFIST v.1

この項目ではプロトタイプ第一号である SOFIST v.1 について説明する。

### 2.1 概要

SOFIST は各ピクセルごとに読み出し回路を搭載し、ピクセルごとの電荷情報によって位置情報と時間情報を測定できる基本設定となっている。SOFIST v.1 はこのうち電荷情報を取得する回路のみを搭載したのようになっており、十分な位置分解能が得られるかを調べるために用いる。

### 2.2 全体の設計

SOFIST v.1 はセンサー厚  $500\ \mu\text{m}$  厚の FzN ウェハで製作された。図 2.1 に示すように  $20 \times 20\ \mu\text{m}^2$  のピクセルが  $50 \times 50$  並んでおり、有感領域は  $1 \times 1\ \text{mm}^2$  となっている。

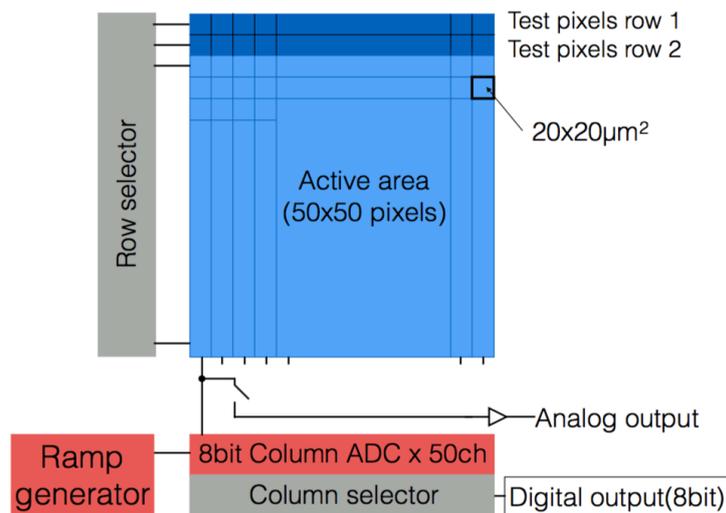


図 2.1: SOFIST v.1 の概略図 [8]

このピクセルの一つ一つに電荷情報を記憶できるようになっている（回路などの詳細については後述）。列ごとに 8 bit Column-ADC が計 50 個用意されており、これにより高速の読み出しが可能となる。ピクセル外の回路などを含めた全体のサイズは  $2.9 \times 2.9 \text{ mm}^2$  である (図 2.2)。動作試験のため各ピクセルにはテストパルス入力用回路が用意されている。またテスト用回路としてアナログ出力回路も搭載しており、出力信号を直接オシロスコープや外部 ADC で測定することができるよう設計されている。

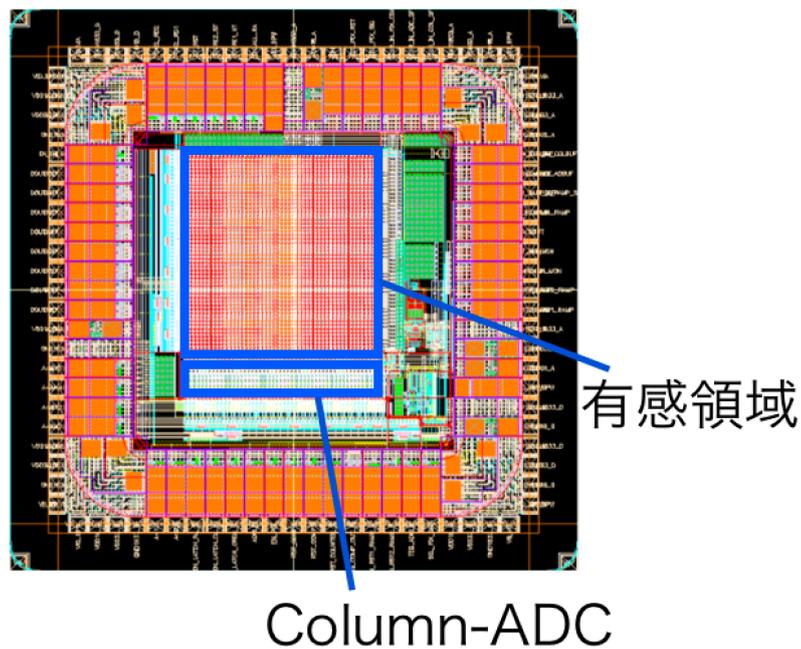


図 2.2: SOFIST のレイアウト。有感領域は  $1 \times 1 \text{ mm}^2$ 、全体のサイズは  $2.9 \times 2.9 \text{ mm}^2$  [7]

### 2.2.1 ピクセル部分

それぞれのピクセルに搭載されている回路を図 2.3 に示す。

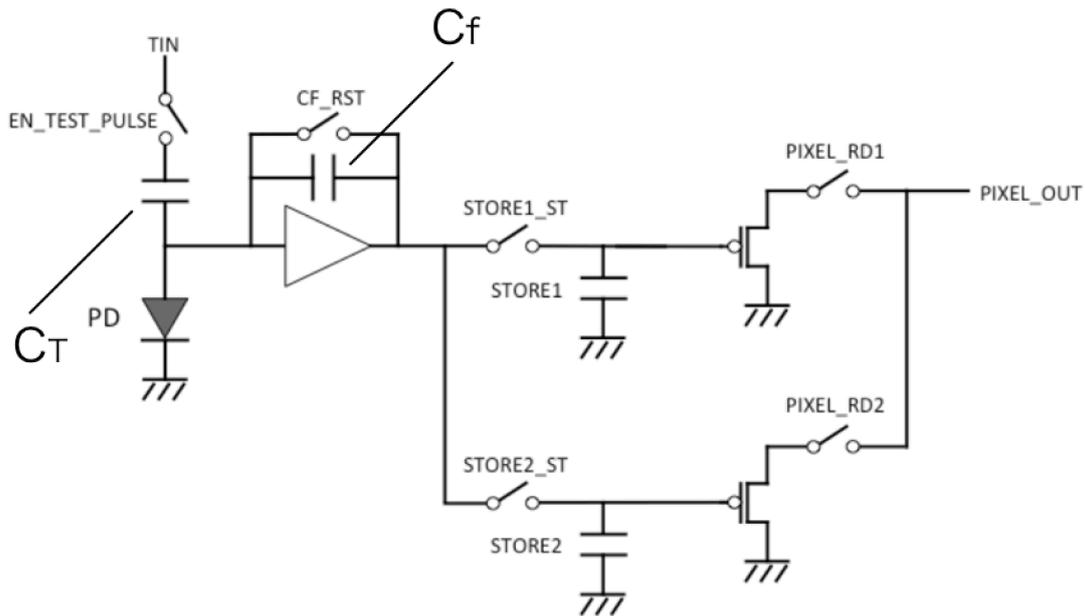


図 2.3: SOFIST v.1 のピクセルに搭載される回路。センサー、もしくはテストパルスによる入力信号を Pre-amp で増幅し、後段に用意された 2 つのバッファで保持する。各ピクセルのシグナルはトリガーの入力時に順次読み出される [7]。

センサーからの出力を Pre-amp で増幅し、後段のバッファで保持する。読み出しの際には後段のスイッチを切り替えてそれぞれを読み出す。また、バッファにためられる電荷は積分型であるので、リセットを行う必要がある。図 2.3 の CF RST のスイッチを切り替えることによって周期的に Pre-amp、バッファのリセットを行うことができる。Pre-amp 上流には 10 fF のコンデンサを通したテストパルス入力ラインが用意されており、電圧  $V$  を加えることにより、帰還コンデンサ容量  $C_T$  に対して  $Q=C_T V$  の電荷入力が可能になっている。Pre-amp には、2 種類の Pre-amp が搭載されている。1 つは、センサー厚  $50 \mu\text{m}$  を想定した 5 fF のコンデンサを搭載した Pre-amp である。しかし本チップのセンサー厚は  $500 \mu\text{m}$  で、1 MIP の電荷量が 10 倍となるためシグナル量が ADC のレンジやキャパシタの容量を超える。これを防ぐために 5 fF のものに比べてゲインが低くなる 20 fF のコンデンサを搭載した Pre-amp が用意されている。20 fF のコンデンサを搭載した領域には 3 種類の BPW のサイズがあり (後述)、それぞれの性能を比較する。

アンプのゲインは帰還コンデンサ容量を  $C_f$  とすると、単純計算では  $V = \frac{Q}{C_f}$  となるため、High-gain 領域と Low-gain 領域の比はそれぞれのコンデンサ容量の比から 4 倍になる。しかし DMOS キャパシタの容量変動や回路内の寄生容量が存在するため、実際の比率はこの値とは異なる。KEK の小野峻氏によるシミュレーションでの見積もりでは、High-gain と Low-gain の比は 2.0 倍となっている (図 2.4)[9]。

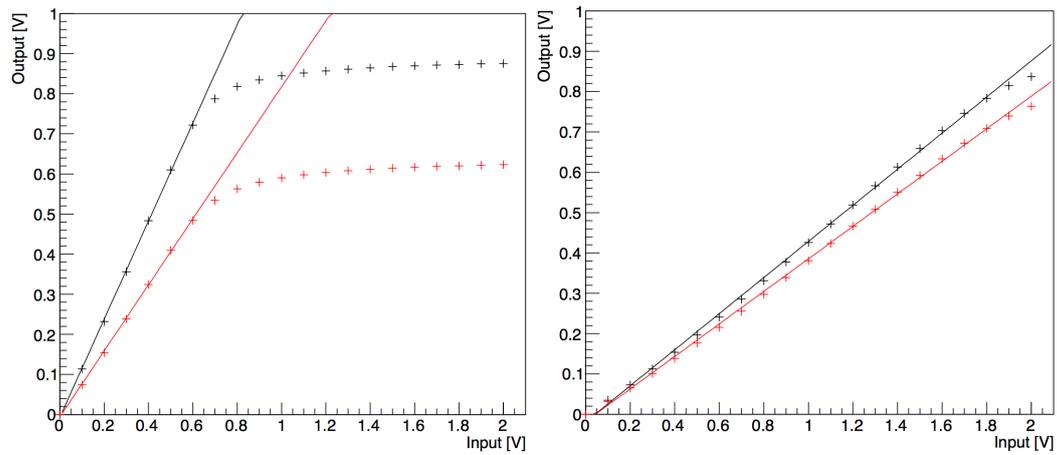


図 2.4: Synopsys 社の StarRC を用いて寄生容量を抽出し、1 ピクセル上の回路にテスト入力を行った際の入力出力比の SPICE シミュレーションの結果。左が High-gain 領域、右が Low-gain 領域の出力である。High-gain 領域の出力は 0.823 倍、Low-gain 領域は 0.403 倍となる見積もりである [9]。

これらの異なる  $C_F$ 、異なる BPW サイズのピクセルが図 2.5 に示すように配置されている。

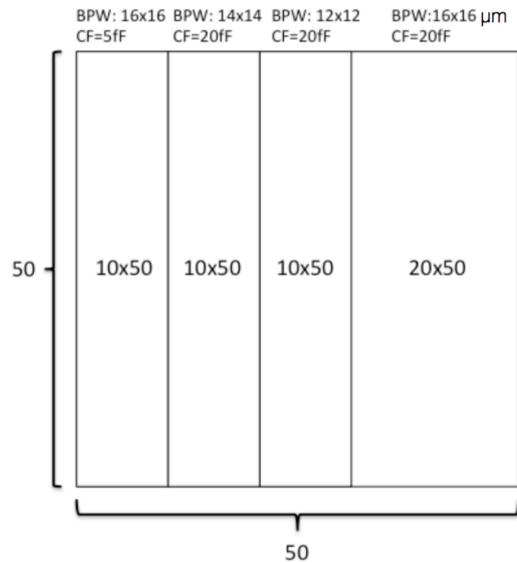


図 2.5: 有感領域のピクセルの配置。実際にはこれらに加えて、縦方向に2段の電気入力試験用の回路を実装したピクセルが用意されている。左端の  $10 \times 50$  ピクセルの領域は  $5 \text{ fF}$  のフィードバックキャパシタを使用したアンプを実装しており、高いゲインを持つ。他の領域は  $20 \text{ fF}$  のキャパシタを実装しており低いゲインであるが、それぞれ異なる大きさのBPWを実装している。特に事前の研究で高い性能を示した、本命の  $16 \times 16 \mu\text{m}^2$  のBPWを搭載している領域は、詳しい試験のため多めのピクセルを確保している [7]。

また図 2.5 には表示されていないが、通常ピクセルの他に、テスト用途として Pre-amp を介しない電気入力回路用のピクセルが2段用意されている。このピクセルを使えば Pre-amp 以外の回路の動作を、入力電位と出力を比較することによって確認できる。

## 2.2.2 Column-ADC

Column-ADC の設計概念図を図 2.6 に示す。ADC 内の Comparator にピクセルからのシグナルを保持すると、Ramp generator が動作する。Ramp generator の動作と同時にカウンタがスタートし、Ramp 出力とシグナルが一致すると Comparator が動作し、カウンタの値が出力される。

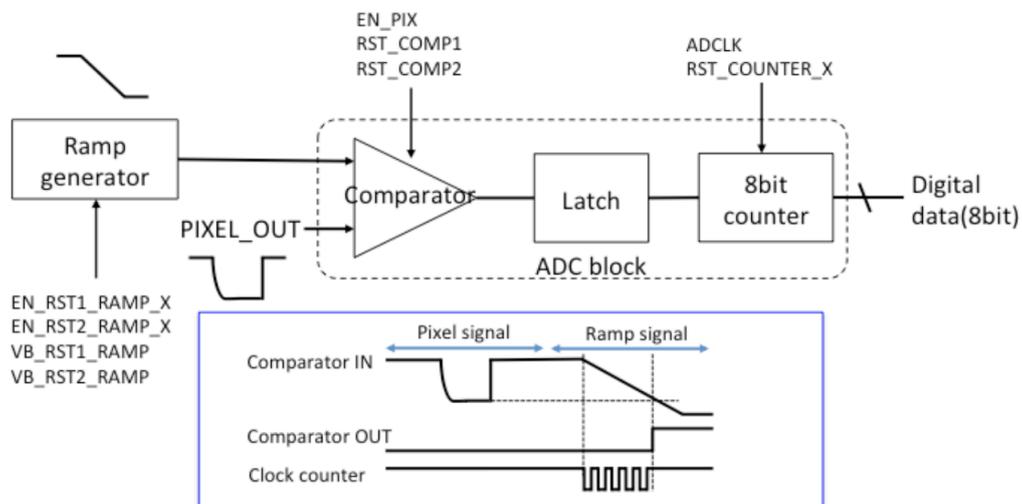


図 2.6: ADC の動作手順。一定量の電流を流し続ける Ramp generator を使用し、電荷情報を時間情報に変換し、時間情報をデジタル情報として読み出す [7]。

### 2.2.3 アナログ部分

出力信号は Column-ADC での読み出しの他に、バッファアンプを介して直接外部に取り出すことができ、オシロスコープでの動作確認が可能である。また、後述する読み出しボードの SEABAS2 にこのラインが接続されており、SEABAS2 上に搭載された 12 bit ADC での読み出すことができる。

### 2.2.4 SOFIST v.1 に実装されている BPW

上述のピクセル上の回路層の電位とセンサー層の電位を完全に分離するために BPW 層が埋め込まれている。SOFIST v.1 には  $12 \times 12 \mu\text{m}^2$ 、 $14 \times 14 \mu\text{m}^2$ 、 $16 \times 16 \mu\text{m}^2$  の面積の異なる BPW が用意されている。これらはそれぞれ回路をカバーできる領域が異なる。回路が BPW のカバー領域をはみ出した場合、そこはセンサー層の電位の影響を受けるため、クロストークや電荷収集の違いが生まれる可能性がある。このような問題を回避するためには単純に BPW のサイズを大きくすればよいが、BPW サイズを大きくすれば寄生容量が大きくなるためノイズが増える。SOFIST v.1 では様々な面積の BPW を用意し、これらの点について評価する (図 2.7)。

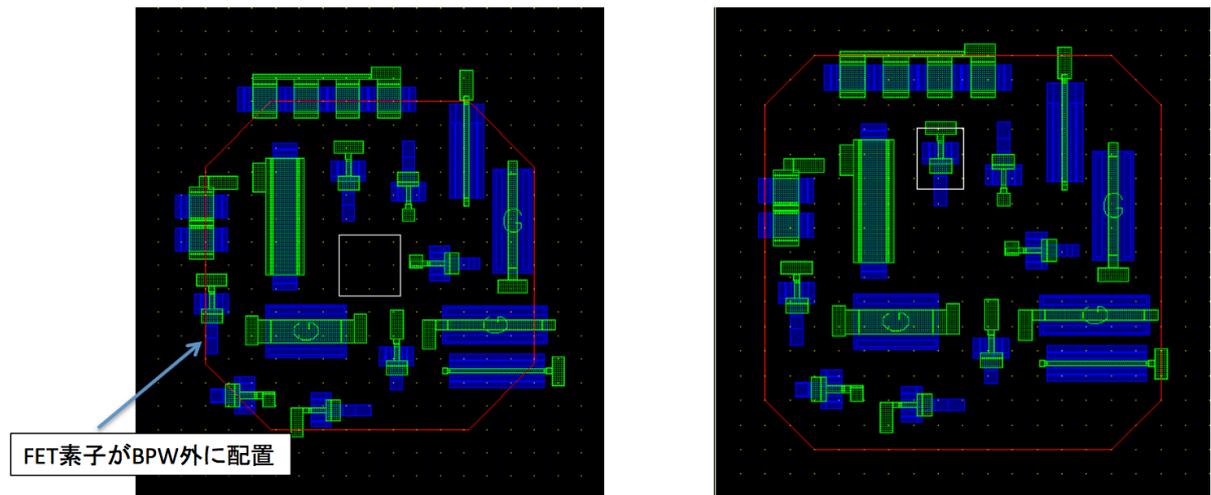


図 2.7: 左が  $14 \times 14 \mu\text{m}^2$ 、右が  $16 \times 16 \mu\text{m}^2$  の BPW のレイアウト。赤線の部分が BPW の端である。  $16 \mu\text{m}$  角ではほぼすべてのトランジスタが覆われているが、  $14 \mu\text{m}$  角では一部のトランジスタがはみ出している [10]。

また過去の研究から、BPW は電荷量読み出しによる位置分解能に影響を及ぼすことが分かっている。大阪大学の辻嶺二氏による SOFIST v.1 に実装した BPW の及ぼす効果についてのシミュレーションによると、これらの BPW の面積による大きな性能の違いはない。BPW の未実装との間に少し違いがある ([8])。

## 2.3 要求される性能

2つのピクセルによる電荷分割による位置分解能は式 1.7 で与えられる。この精度は電荷を共有するピクセル数が多くなると悪くなり、仮に 10 ピクセルに渡って電荷を共有した場合、  $\delta x < 3 \mu\text{m}$  を満たす S/N はおおよそ 17 となる。SOFIST v.1 がどの程度の S/N であるか、それが要求を満たすか評価することが本試験の目的の 1 つである。

## 第3章 データの読み出し

SOFIST v.1 の読み出しのためにはチップ上の各トランジスタを制御することが必要となる。今回のテストではKEKで開発された汎用読み出しボードのSEABAS2を用いる。図3.1にセットアップの写真を示す。SOFISTはセラミックパッケージにマウントされており、これをSOFISTサブボードに搭載されたソケットにはめ込む。SOFISTサブボードはSEABAS2に接続し、PCを通じて制御する。この項目では、SEABAS2、SOFISTサブボードと、読み出しの手順について説明する。

### 3.1 SEABAS2

KEKの汎用読み出しボードであるSEABAS2を使って読み出しを行う。SEABAS2に搭載されたFPGAを試験環境に合わせて独自にファームウェアの開発を行い、後段の回路を制御することが可能である。通信のためにSiTCPというプロセッサが搭載されており、イーサネットを通じてUDP、TCP通信を行う。その他、コネクタやNIM I/O、ADCが接続されており、様々な読み出し環境に対応できる。また、SEABAS2にはAnalog Devices社のAD9222という、12-bitのADCが16ch搭載されている。本試験ではこのADCを用いて試験を行う。これはOn-Chipの8-bit ADCではノイズが1つのbinに埋まってしまい、正しく測定できないためである。

### 3.2 SOFIST サブボード

SOFISTをマウントし、SEABAS2と接続するためのボードをSOFISTサブボードと呼ぶ。SOFISTへの電圧供給のための端子のほか、テストパルス入力、出力モニタのための端子が用意されている。

### 3.3 読み出し手順

SEABAS2のNIM入力からトリガー信号を入力すると、ファームウェアが蓄積モードから読み出しモードに移行し、各ピクセル内部の回路に用意されたバッファ

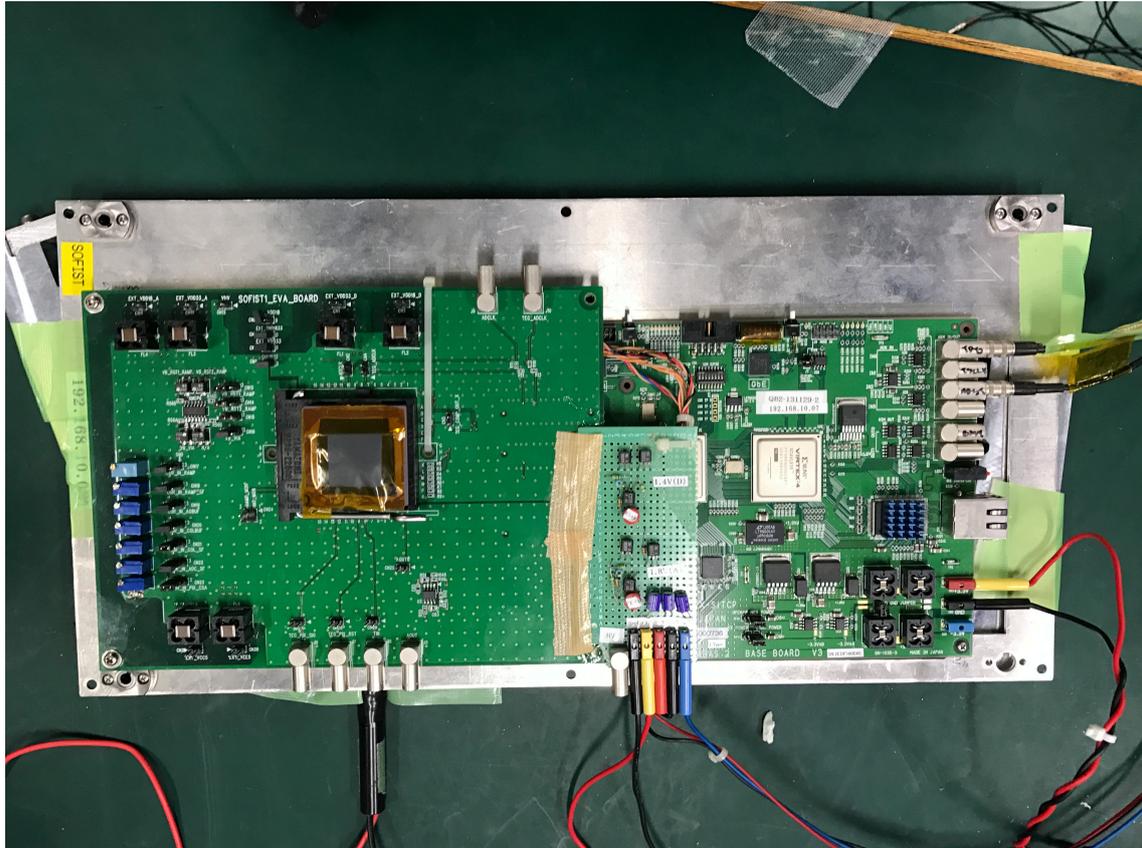


図 3.1: SEABAS2 と SOFIST サブボードの写真。左がサブボード、右が SEABAS2。左のサブボード上に SOFIST チップがマウントされている。ビームテストを見据え、金属板上にアライメントされている。

の電荷量を読み出す。読み出しモードでは、バッファ内に保持された電荷量をアドレスセクタで選択されたピクセルから順に開放し、読み出しを進めていく。全ピクセルの読み出し終了後、再度蓄積モードに戻る。また読み出しモード中はトリガー入力を無視する。

On-Chip の Column ADC で読み出す場合は、Row アドレス選択後に 50 個用意された ADC で並列で A/D 変換し、順に読み出す。読み出し後に次の Row アドレスを選択し、同様に変換、読み出しを全ピクセルについて行っていく。

SEABAS2 搭載の ADC で読み出す場合は、ピクセルを一つずつ選択し、バッファの開放を行う。アナログ回路を通して出力されたシグナルを ADC で読み出しし、次の 1 ピクセルを選択、読み出しを行う。

また、シグナル蓄積中はリーク電流があるため、ピクセル内の電荷が常に溜まってしまふ。そのため Pre-amp とバッファを周期的にリセットする必要がある。トリガーが入力されると、その直前の電位を読み出す。

### 3.3.1 ファームウェア

読み出し用ファームウェアは、SOFIST 開発者である小野峻氏によって Verilog HDL を用いて記述された。

このファームウェアの役割は大きく分けると、

- SOFIST のピクセル、スイッチの制御
- ADC の制御
- TCP 通信による SOFIST からのデータ受信、PC への送信

の3つが挙げられる。

### 3.3.2 ソフトウェア

今回 PC 側のソフトウェアには、総研大の西村龍太郎氏によって INTPIX(SOI シリコン検出器の1つ)用に開発された、GUIで操作可能な DAQ ソフトウェアを使用した。INTPIX は  $128 \times 128$  ピクセルであるが、このソフトウェアは対象チップのピクセル数に応じて設定を変更できる。このソフトウェアは読み出した ADC 値を順に並べていき、設定したピクセル数に達すると1イベントとして見なして転送する。1 イベントごとに画面上に二次元ヒストグラムをカラー出力しモニタできる。また UDP 通信を行えるため、PC からファームウェア上の読み出しパラメータにアクセスし、操作ができる。

主な機能は

- 読み出し開始時に UDP 通信によってトリガーとなる信号を送信する
- SEABAS2 から送信されたデータを TCP 通信で受信し、Root ファイル上に出力する

の2つである。

## 第4章 実施した性能評価試験

SOFIST v.1 の応答試験をテストパルスを入力を用い、入力電荷に対する回路の線形性や、異なる BPW の領域ごとのシグナル、ノイズを測定し、性能比較を行った。試験対象は2つのセンサーで、SOFIST chip 3、SOFIST chip 4である。この2つの設計に違いはない。領域ごとの性能差と、チップ毎の性能のばらつき、入力電荷量に対する線形性を確認した。測定は SEABAS2 搭載の ADC を用いた。

また、 $^{90}\text{Sr}$  からの電子の貫通事象によるシグナルを入力した時のシグナル値を確認するとともに、センサーへのバイアス電圧ごとの出力を見ることにより、センサーの空乏化電圧を確認する。

### 4.1 テストパルスを入力による試験

#### 目的

SOFIST v.1 は荷電粒子の貫通で発生する 1 MIP 分の電荷を測定することを想定して、数 MIP のシグナルに対して線形性を持つように設計されている。SOFIST v.1 にはテストパルスを入力回路が用意されており、各ピクセルに任意の電荷量を入力できる。これにより入力電荷量に対する出力の線形性を確認する。また、1.3.2 説で示した Back gate 効果はセンサーにかけるバイアス電圧の上昇により大きくなるため、ノイズ、テストパルスによる出力のバイアス依存性を各 BPW 領域ごとに確認する。

#### 4.1.1 セットアップ

テストパルスの電圧は  $500\ \mu\text{m}$  厚のセンサーの 1MIP(37000 e-) に相当する 570 mV を入力した。テストパルス、周期リセットパルスはファンクションジェネレータから  $500\ \mu\text{m}$  幅の 1 kHz のパルスで作成し、それぞれ SEABAS2 と SOFIST サブボード上に用意された端子に入力した。テストパルスのタイミングはリセットパルスの入力後 200 ns 後に入力した (図 4.1)。どちらもファンクションジェネレータで作り、SEABAS2 と SOFIST サブボードに用意された端子に入力した。トリガーパルスは周波数 100 Hz、幅 100 ns の信号をクロックジェネレータで作り、SEABAS2 上に用意された NIM I/O から入力した。

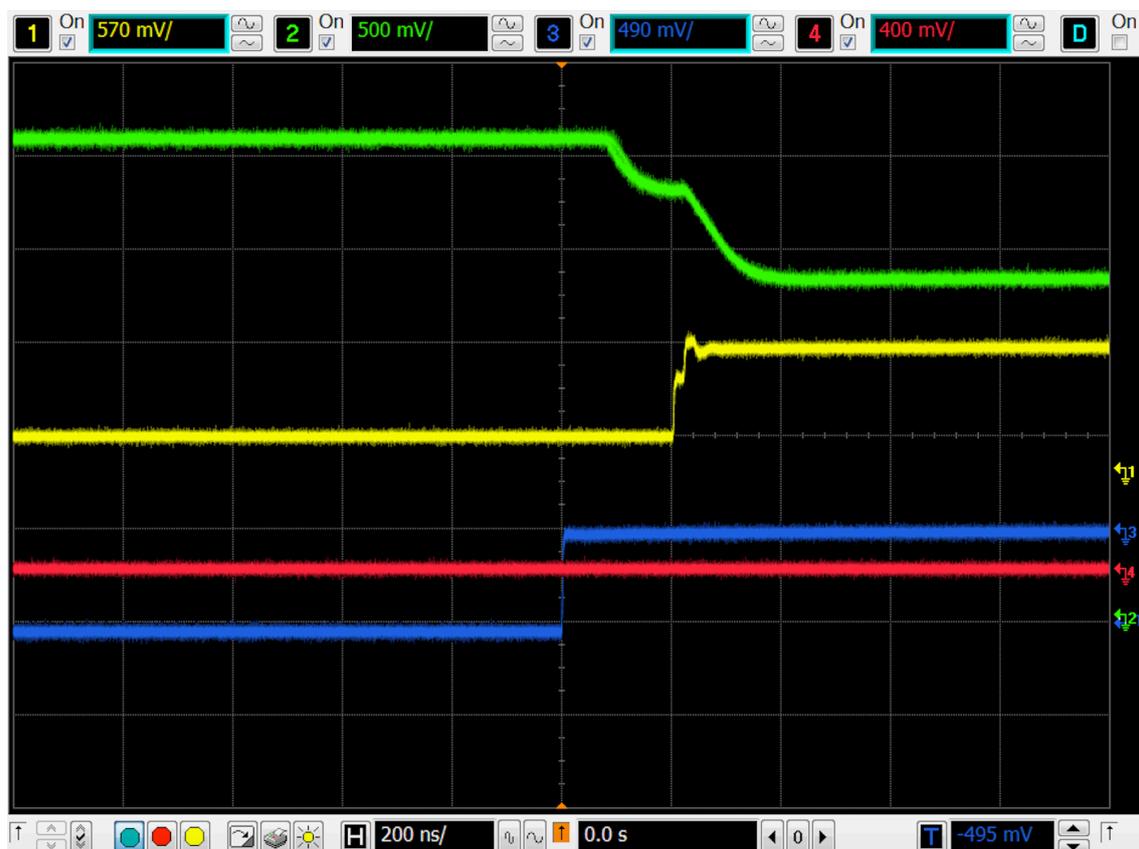


図 4.1: 1 ピクセルのアンプのアナログ出力。それぞれの波形は、(緑) チップからのアナログ出力、(青) リセットパルス、(黄) テストパルス、(赤) トリガー信号を表す。リセットパルス、テストパルスの入力に対して、出力が変動していることが確認できる。

## 4.1.2 測定結果

### 入力電圧に対する線形性

図 4.2 に、テスト入力電圧を 0.1 V ごとに変化させたときの出力 ADC 値を、High-gain 領域、Low-gain 領域で色分けして示す。500  $\mu\text{m}$  厚のシリコンセンサーにおける 1 MIP に相当するテストパルスの入力電圧は 0.57 V であるため、High-gain 領域においては飽和している。Low-gain 領域においては数 MIP 程度の入力電荷に対して線形性を保持していることが確認できる。どちらも線形の領域内で比較すると、High-gain と Low-gain の比は 1.8 倍で、2.2.1 で示したシミュレーションによる 2.0 倍と近い値となっている。この先は Low-gain 領域についてのみ試験を進める。

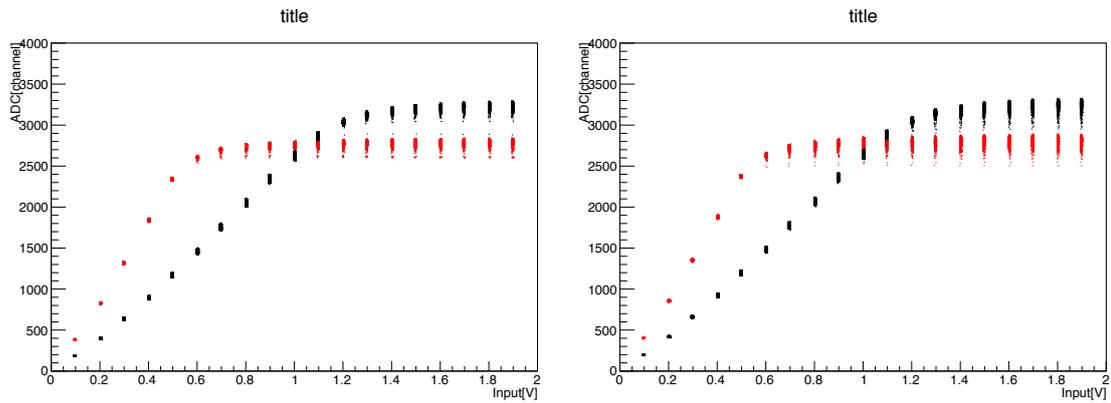


図 4.2: テスト入力電圧に対する出力値。一つの点が一つの 1 ピクセルごとのペDESTALを引いた後の ADC 値に相当する。High-gain 領域、Low-gain 領域をそれぞれ赤と黒の点で分けて示している。左が Chip 3、右が Chip 4 の図。

### 電圧変化に対する出力の変化

Chip3 について、BPW サイズの異なる領域の任意ピクセルからのペDESTALの分布を図 4.3 に示す。

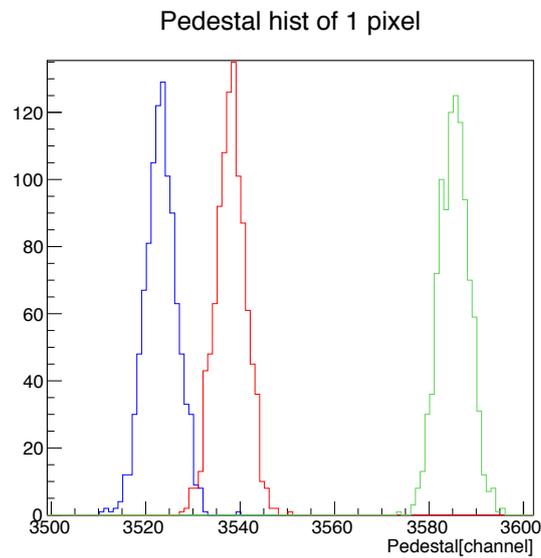


図 4.3: 1 ピクセルのペDESTALのヒストグラム。色は BPW サイズの異なる領域：(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧は 140 V。

これを Fit し、得られた平均値を BPW ごとに色分けして表示したのが図 4.4、センサーにおけるノイズの大きさを表す標準偏差を同様に表示したのが図 4.5 である。

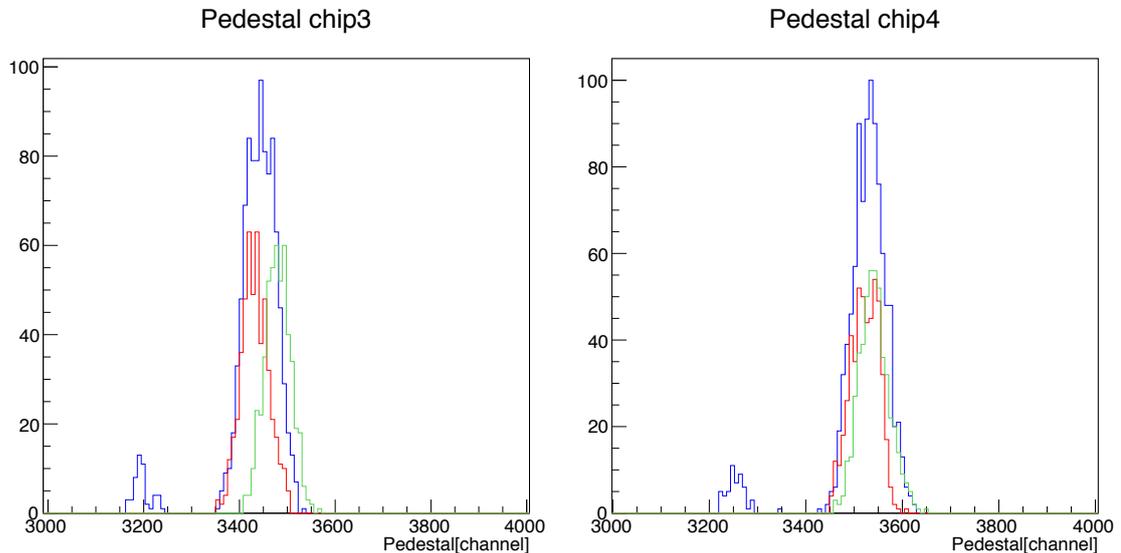


図 4.4: 各ピクセルのペデスタル値を BPW サイズの異なる領域ごとに色分けした平均値分布。(緑) $12 \times 12 \mu\text{m}^2$ 、(赤) $14 \times 14 \mu\text{m}^2$ 、(青) $16 \times 16 \mu\text{m}^2$ を表す。画像はバイアス電圧を 140 V 印加時のものである。

図 4.4 の結果から、平均値のピークは Chip 3、Chip 4 の両方のほとんどの領域で同程度の値を示している。Chip 3 の  $14 \times 14 \mu\text{m}^2$  の領域がわずかに小さく、 $12 \times 12 \mu\text{m}^2$  の領域が大きな値を取っていることがわかる。また両 Chip に共通して、 $16 \times 16 \mu\text{m}^2$  の領域ではピークから大きく外れたピクセルが見られる。この外れた領域について調べると、全て Column Address が 49 のピクセルであった。どちらのチップでも同様の現象が見られるため、初期設計の段階か読み出し手順による間違いが考えられるが、以降の性能評価ではこれらのピクセルを除外する。

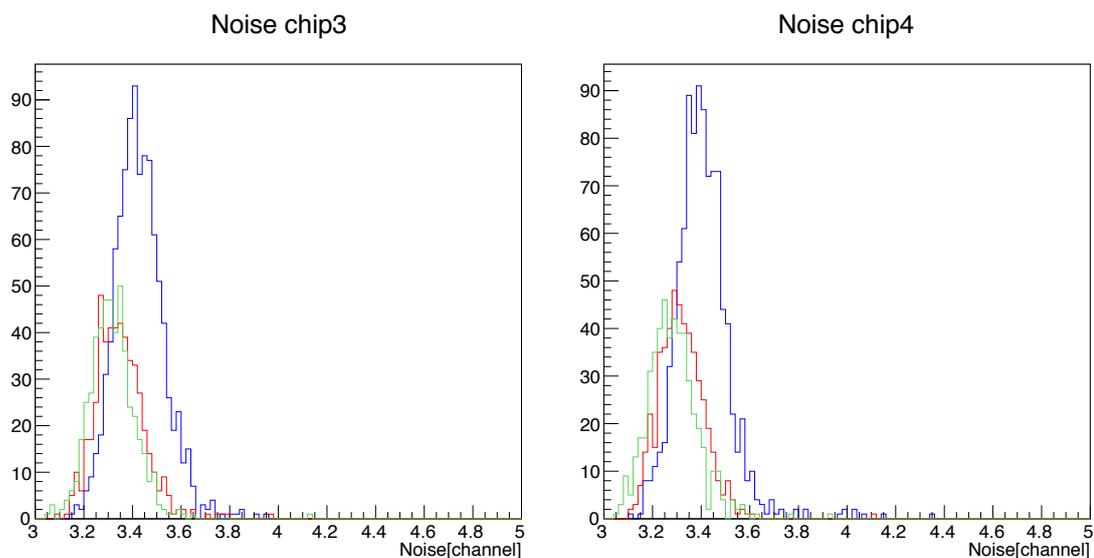


図 4.5: 全ピクセルについての図 4.3 の標準偏差分布。色は BPW サイズの異なる領域であり、(緑) $12 \times 12 \mu\text{m}^2$ 、(赤) $14 \times 14 \mu\text{m}^2$ 、(青) $16 \times 16 \mu\text{m}^2$ を表す。センサーバイアス電圧は 140 V のときのデータ。

図 4.4、図 4.5 のピーク値とセンサーにかけたバイアス電圧の関係をそれぞれ図 4.6、図 4.7 に示す。

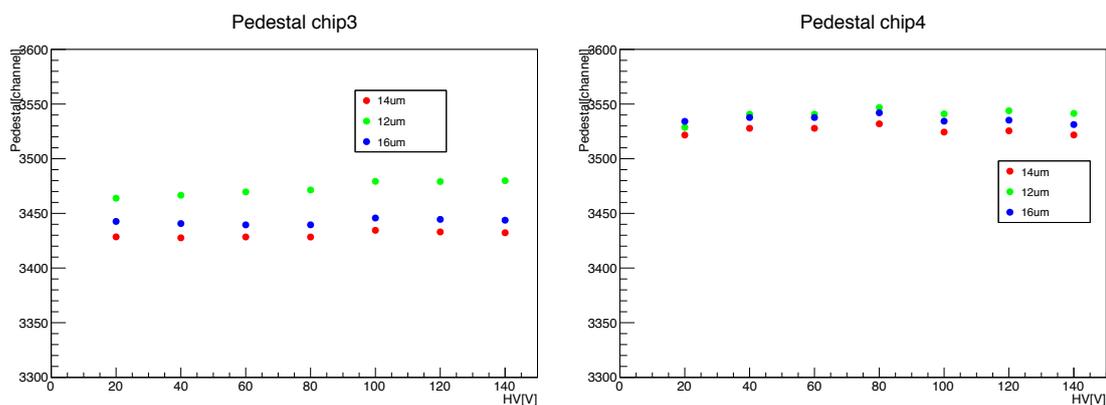


図 4.6: ペDESTALの平均値のセンサーバイアス電圧依存性。(緑) $12 \times 12 \mu\text{m}^2$ 、(赤) $14 \times 14 \mu\text{m}^2$ 、(青) $16 \times 16 \mu\text{m}^2$ を表す。

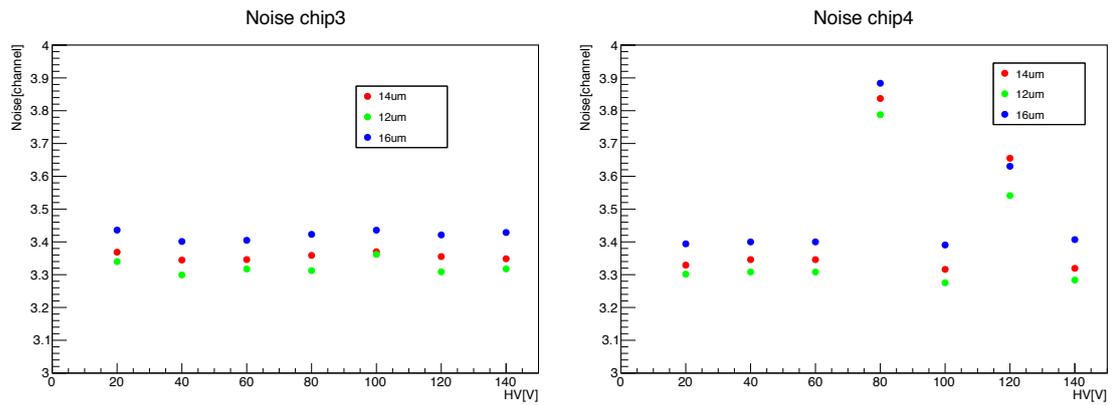


図 4.7: ペDESTALの標準偏差のセンサーバイアス電圧依存性。(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。

また、ここでの標準偏差はセンサーにおけるノイズの大きさを表す。こちらは結果より、 $12 \times 12 \mu m^2$ と $14 \times 14 \mu m^2$ の領域には大きな違いが見られないが、 $16 \times 16 \mu m^2$ の領域でやや大きな値がみられる。Chip 3、Chip 4のどちらにおいてもほぼ同等の結果を示している。またノイズの大きさのセンサーバイアス電圧への依存性は見られない。

次に 1 MIP 相当の電荷量と考えられる 0.57 V のテストパルスの出力を図 4.8 に示す。これを Fit し、得られたシグナルの大きさの平均値を各 BPW の領域ごとに色分けして表示したのが図 4.9 である。Chip 3、4 に依らず、 $12 \times 12 \mu\text{m}^2$  の BPW サイズのピクセルだけ、有意にシグナル量が増加している。図 4.9 の領域ごとのシグナルの平均値をセンサーに掛けたバイアス電圧の関係を図 4.10 に示す。

Signal hist of 1 pixel Chip4

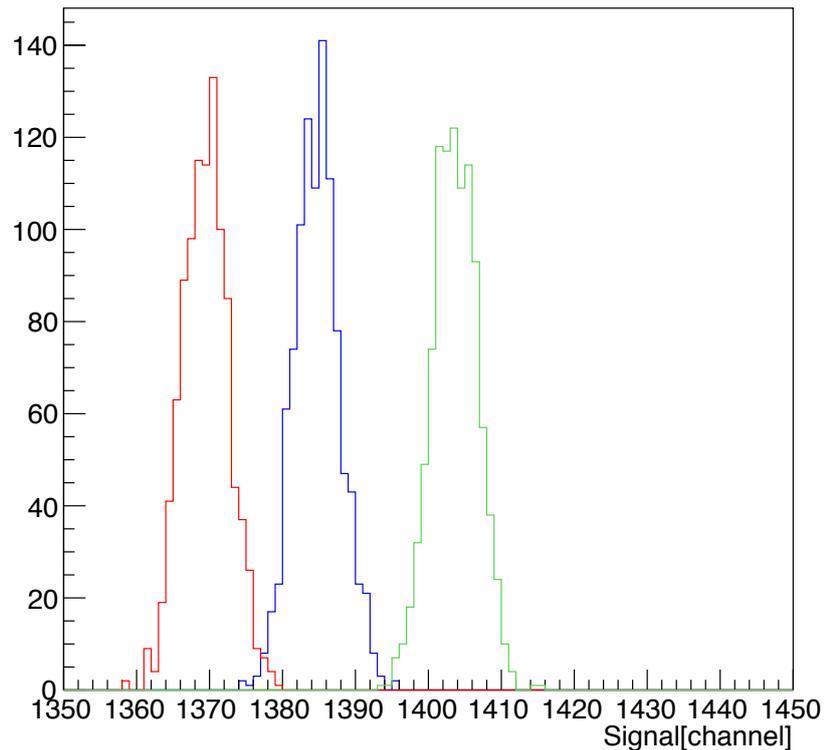


図 4.8: 1 ピクセルのシグナル値のヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu\text{m}^2$ 、(赤) $14 \times 14 \mu\text{m}^2$ 、(青) $16 \times 16 \mu\text{m}^2$  を表す。センサーバイアス電圧は 140 V。

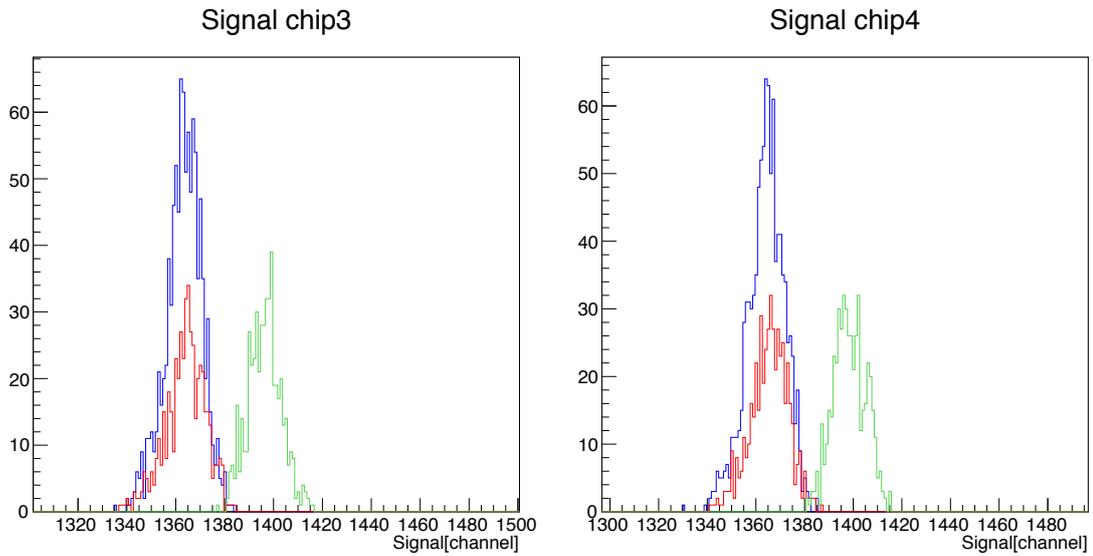


図 4.9: 全ピクセルについての 1 MIP 相当の電荷量に対する出力のヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu\text{m}^2$ 、(赤) $14 \times 14 \mu\text{m}^2$ 、(青) $16 \times 16 \mu\text{m}^2$  を表す。画像はバイアス電圧 140 V 印加時のものである。左が Chip 3、右が Chip 4 の図。

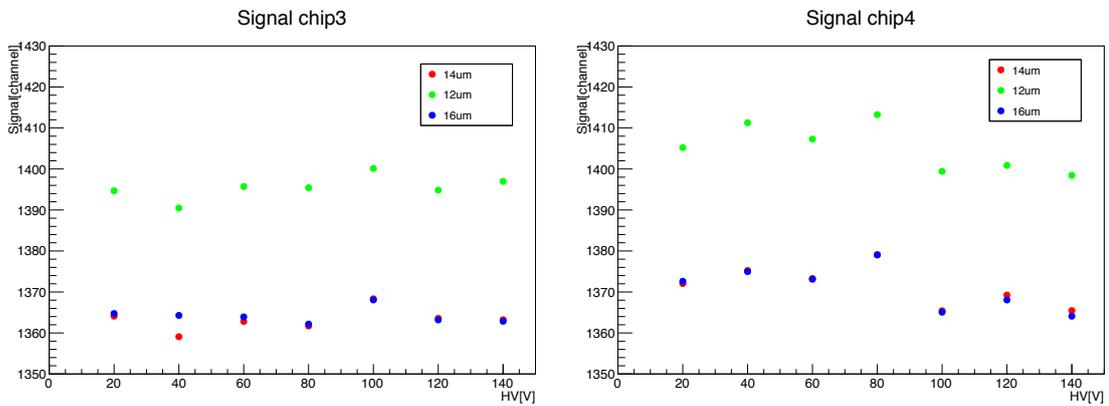


図 4.10: テストパルスで 1 MIP 相当の電荷量を入れた出力のセンサーの HV 依存性。色は BPW の大きさの違うピクセルからの出力を示しており、(緑) $12 \times 12 \mu\text{m}^2$ 、(赤) $14 \times 14 \mu\text{m}^2$ 、(青) $16 \times 16 \mu\text{m}^2$  を表す。左が Chip 3、右が Chip 4 の図。

バイアス電圧ごとの各ピクセルの出力とノイズの大きさから求めた S/N を図 4.11 にプロットする。Chip 4 は、80V と 120V において、全領域で S/N が低下してい

ることがわかるが、それ以外の電圧においては、両チップともに、バイアス電圧依存性は見られない。

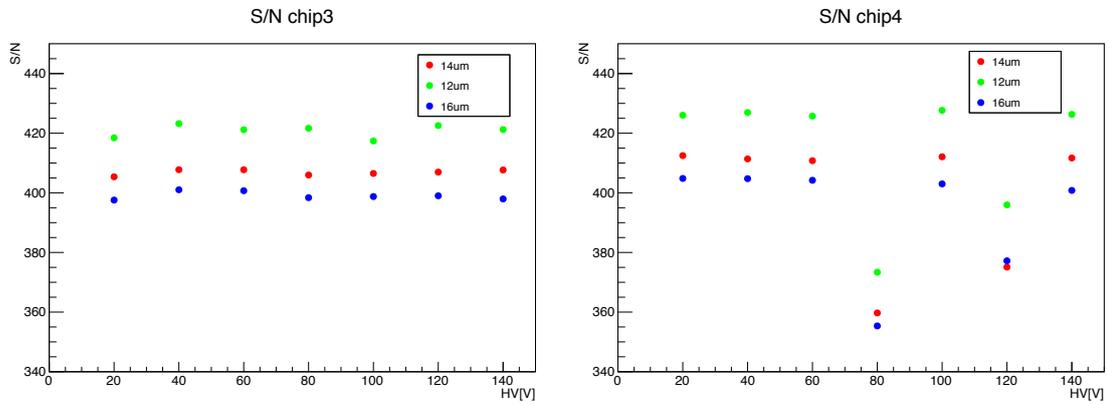


図 4.11: 1 MIP 相当の電荷入力に対する S/N の HV 依存性。色は BPW の違うピクセルからの出力を示しており、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。左が Chip 3、右が Chip 4 の図。

## 4.2 線源を用いた荷電粒子貫通事象による試験

### 目的

$^{90}\text{Sr}$  線源からの $\beta$ 線の貫通事象で発生する電荷量を測定し、センサーへのバイアス電圧を変化させて総電荷量を測定することにより、空乏層の広がりを確認した。

### セットアップ

周期リセットはファンクションジェネレータから、周波数5 MHz、幅30 nsで行った。テストパルス入力の際と間隔が変わっているのは、リセットの間隔を狭めることで、1 イベントに2回以上の入射が起きないようにするためである。

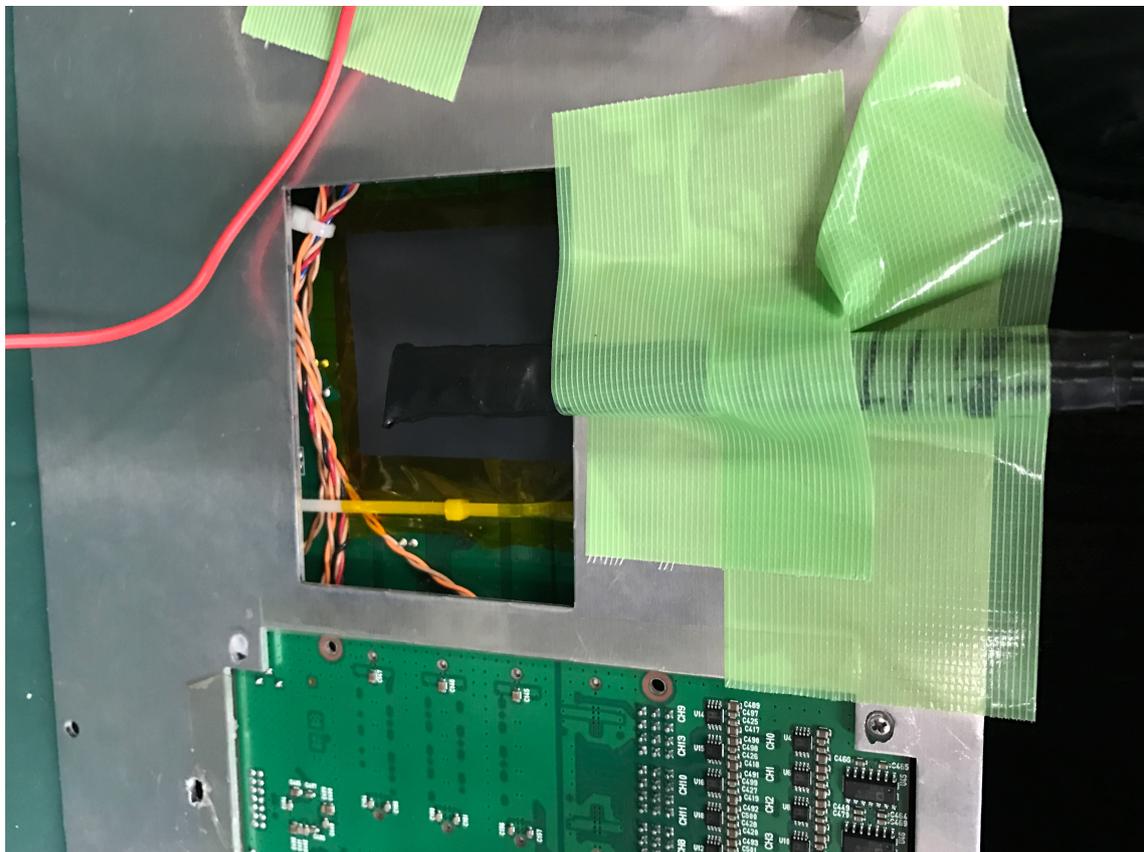


図 4.12: SOFIST の裏面の写真。シンチレータを固定し、荷電粒子貫通時のイベントを収集する。

図 4.12 のように SOFIST v.1 の背面に  $1 \times 1 \times 1 \text{ cm}^3$  のシンチレータを設置し、貫通した電子をとらえるトリガーを作り、データを取得した。シンチレータは浜

松ホトニクス製の光電子増倍管 (PMT) の H3165-10 を用いて読み出した。各電圧に対して 50000 イベント取得した。

#### 4.2.1 測定結果

##### HV scan

線源を用いた測定の一つのイベントを図 4.13 に示す。各ピクセル毎の ADC 値をカラーで表示している。赤で示したピクセルに電子が貫通している。 $^{90}\text{Sr}$  からの電子のエネルギーは小さく、貫通中に多重散乱を起こすためいくつかのピクセルに渡って電荷が測定されている。これらの ADC 値の総和を貫通時のシグナル量と定義し、ピクセルごとに ADC 値が 40 を超えたものの和をプロットしたものを図 4.14 に示す。貫通による放射線貫通ピークが見える。

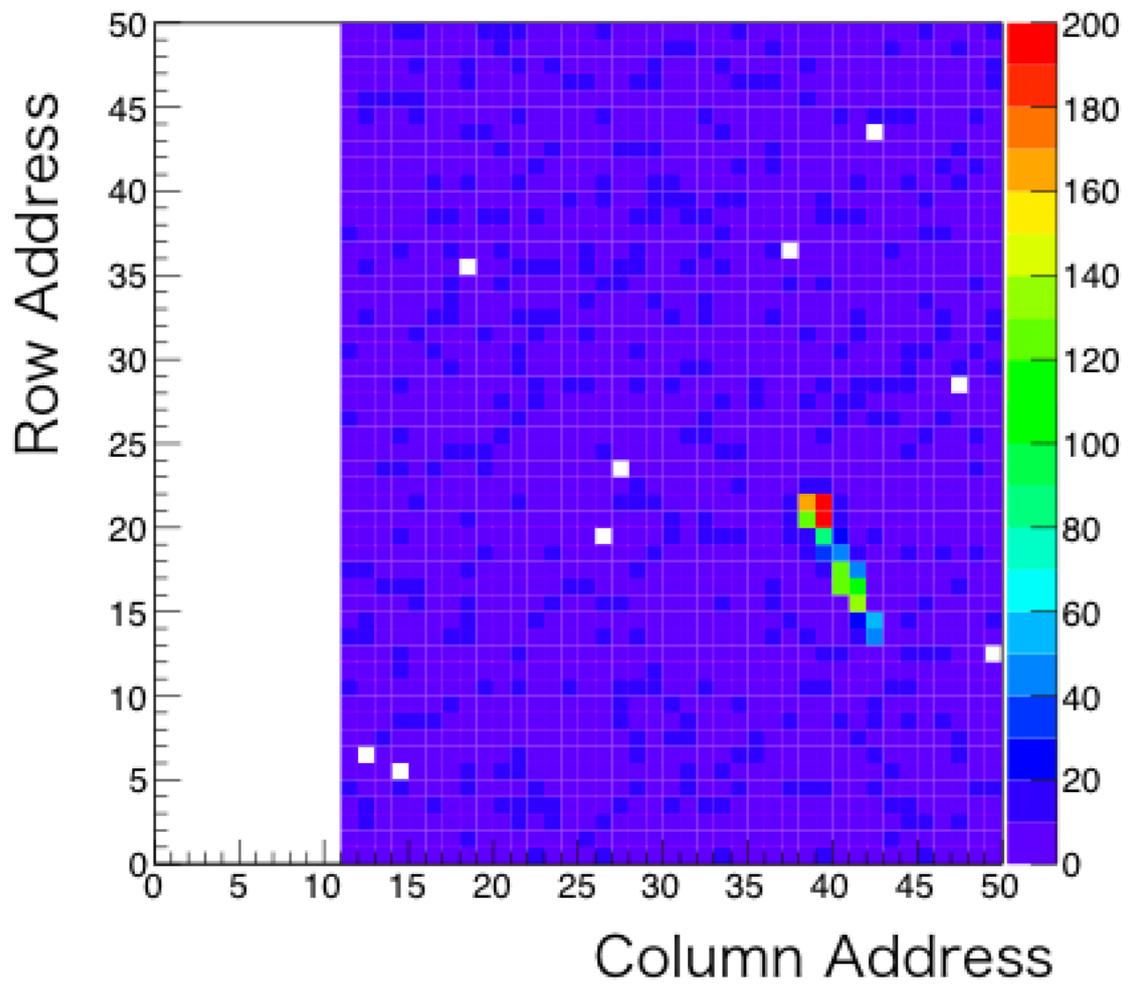


図 4.13: Low-gain 領域の 1 イベントのスナップショット。Z 軸はシグナル値。

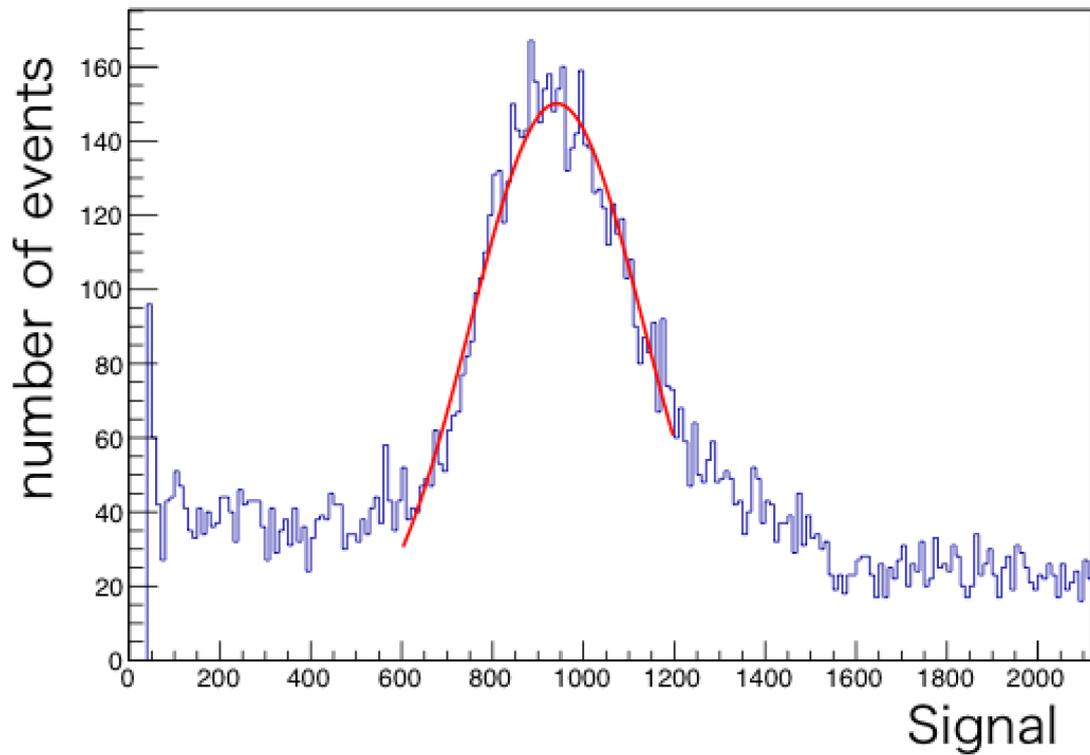


図 4.14: センサーバイアス電圧 140 V での  $\beta$  線貫通事象によって得られたシグナルの ADC 値の総和。

また、貫通事象のシグナルピーク値をバイアス電圧毎にプロットしたものを図 4.15 に示す。80 V 程度までピーク値が増える、つまり空乏層が広がっていく効果が見え、それ以降飽和している。

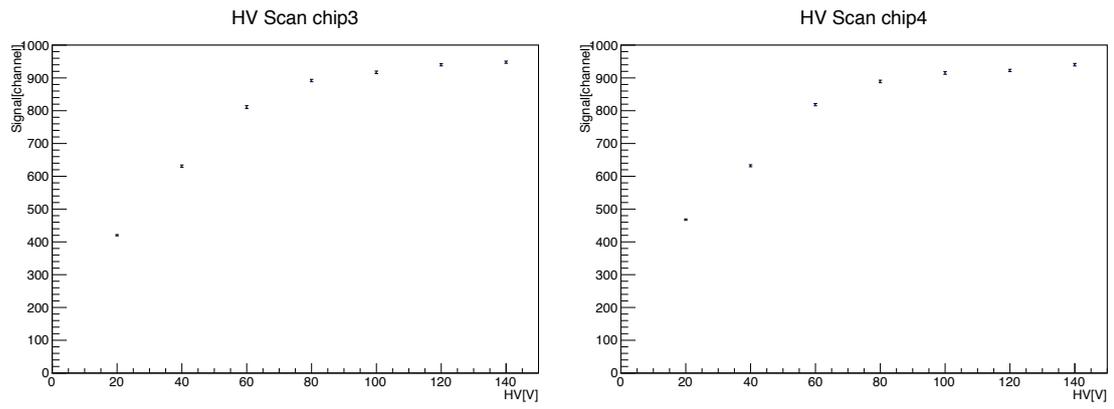


図 4.15: 荷電粒子貫通ピークの値のセンサーバイアス依存性。

## 第5章 結果

### 5.1 入力パルスに対する出力の線形性

Low-gain 領域においては数 MIP 程度の入力電荷に対して線形性を保持している。High-gain 領域との出力比は 1.8 であり、シミュレーションによる結果、2.0 とほぼ近い値を示している。

### 5.2 BPW によるピクセルの性能比較

$12 \times 12 \mu\text{m}^2$ 、 $14 \times 14 \mu\text{m}^2$ 、 $16 \times 16 \mu\text{m}^2$  の BPW を搭載したピクセルのノイズの大きさを順に  $N_{12}$ 、 $N_{14}$ 、 $N_{16}$  とすると  $N_{12} < N_{14} < N_{16}$  となることがわかった。またシグナルの大きさを順に  $S_{12}$ 、 $S_{14}$ 、 $S_{16}$  とすると、 $S_{16} \sim S_{14} < S_{12}$  となることがわかった。シリコンセンサーにかけるバイアス電圧に対するノイズ、シグナルの依存性は優位に見られなかった。シグナルは、BPW サイズ  $12 \times 12 \mu\text{m}^2$  のピクセルが大きいことがわかった。 $14 \times 14 \mu\text{m}^2$  と  $16 \times 16 \mu\text{m}^2$  の違いはほとんどない。いずれの BPW サイズ、電圧においても、S/N が 350 以上の数値を示している。将来的な設計においてはセンサー厚が  $50 \mu\text{m}$  となるため出力は 10 分の 1 となるが、それでも要求の  $S/N > 17$  を満たしている。

### 5.3 $\beta$ 線源に対する出力

空乏層幅  $W$  は、 $\epsilon$  を誘電率、 $\mu$  を移動度、 $\rho$  を抵抗率、 $V$  を逆バイアス電圧とすると、

$$W = \sqrt{2\epsilon\mu\rho V} \quad (5.1)$$

で表される。 $\epsilon$ 、 $\mu$ 、 $\rho$  は対象の半導体による数値であり、空乏層幅は  $\sqrt{V}$  に比例する。電圧の二乗根と MIP ピーク位置をプロットしたのが図 5.1 である。低電圧領域においては  $\sqrt{V}$  に比例して空乏層が広がっている様子が確認できる。

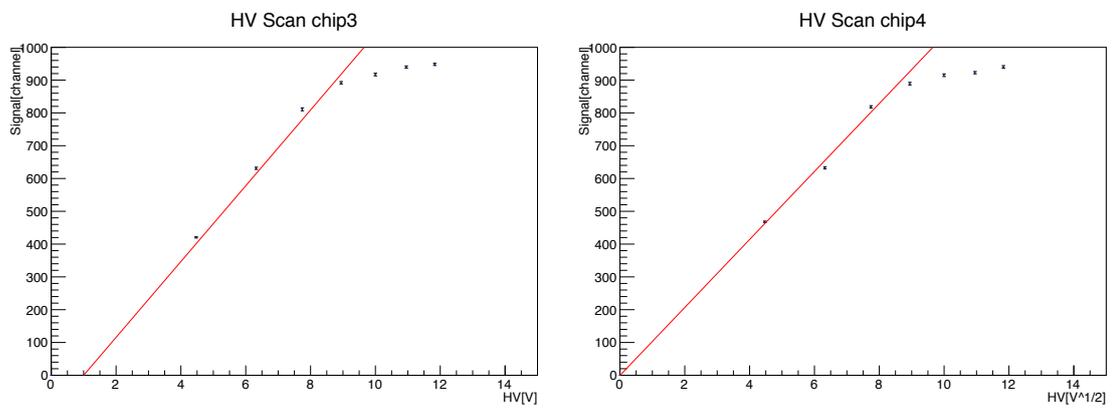


図 5.1: 図 4.15 の横軸を電圧の二乗根としたもの。低電圧領域において Fit した。70 から 80V の位置で外れていることが確認できる。左が Chip 3、右が Chip 4 の図。

## 第6章 考察と課題

### 6.1 一時的なノイズの増加について

テストパルスによるノイズ測定時に、Chip 3,4 の 80 V, 120 V で大きなノイズの増加が見られた。センサーのバイアスによるバックゲート効果が懸念されるが、それより高い 100, 120 V では見られないため、他の要因である可能性が高い。まずは再現性の測定が必要である。現在テストビーム実験での使用のため検出器、測定器が手元にないので、戻って来た際に再測定を行い確認する。

## 第7章 結論

本研究では、ILC 実験におけるバーテックス検出器に向けたピクセルセンサーの試作チップ SOFIST v.1 の動作試験を行った。その結果、次のことを明らかにした。

1. Low-gain 領域において、数 MIP 分の線形性を保持している。
2. BPW の性能について、 $12 \times 12 \mu\text{m}^2$ 、 $14 \times 14 \mu\text{m}^2$ 、 $16 \times 16 \mu\text{m}^2$  の BPW を搭載したピクセルのノイズの大きさを順に  $N_{12}$ 、 $N_{14}$ 、 $N_{16}$ 、またシグナルの大きさを順に  $S_{12}$ 、 $S_{14}$ 、 $S_{16}$  とすると
  - $N_{12} < N_{14} < N_{16}$  となる。
  - $S_{14} \sim S_{16} < S_{12}$  となる。
3. いずれの BPW サイズにおいても S/N は要求値の 17 を満たす。
4. 全空乏化電圧は 80V である。

以上のことから、SOFIST v.1 の基礎性能は設計値を満たすことがわかった。

# 謝辞

本論文を形にするにあたって、非常に多くの方々にお世話になりました。

山中卓教授には、研究のために最良の環境を提供していただき、研究全般についてご指導していただきました。また本論文の校正をして頂きました。また研究外のことも含めて何度も相談していただきました。ありがとうございました。

外川学助教には、勉強のなっていない私に、本当に基本の基本から噛み砕いて物理のこと、検出器のことなど説明して頂きました。筋道立てて説明することの下手な私に、報告の内容から学会のスライドまで、研究においてどう物事を伝えるべきかご指導頂きました。本論文の添削も、雑然とした状態から何度もご指導頂きました。ありがとうございました。また研究外のことでもご迷惑をおかけする場面がありました。申し訳ございませんでした。

SOFISTの開発者であるKEK SOIグループの小野峻さんには、電子回路の基本について、HDLの記述についてなど、全くの知識のない私にわかりやすくご指導いただきました。勉強会を開いてくださったり、各分野の詳しい方々をご紹介くださり、研究を支えてくださいました。ありがとうございました。また、要領の悪い私に対して研究の進める上での優先すべきことや考え方などご指導頂きました。

KEK SOIグループの新井康夫様、坪山透様、山田美帆様には、試験を進めていく上で必要な環境を提供していただき、親身にご指導して頂きました。私の研究の進みが悪く、ご心配をおかけする場面も多くありましたが、皆さんに何度も助けて頂きました。

総研大の西村龍太郎さんには、ISEの使い方の理解できていない私に、HDLの基礎からわかりやすくご指導して頂きました。また試験に使用するためのソフトウェアを提供していただき、研究をすすめることが出来ました。不具合の原因を探すのを手伝っていただくようなこともございました。ありがとうございました。

花垣和則特任教授は、実験器具の扱い方や高エネルギー物理の基本的な概念、研究者の考え方のいろはから教えて下さいました。

南條創准教授には、発表の際の自分の不手際をご指摘いただき、指導して頂きました。

同期の今坂俊博さん、原口弘さんには色々とくだらない話を聞いてもらいました。グループは違いましたが、頑張っている姿に刺激を受けました。

M1の佐藤友太くん、澤田恭範くん、西宮隼人くん、山元大生くんには先輩らしい姿を見せられずすみませんでした。逆に雑務を片付けてもらったり、世話になることもありました、ありがとうございました。

B4の大西裕二くん、原宜広くん、真利共生くんの熱心に実験をする姿には強い刺激を受けました。

秘書の川原さん、藤阪さんには書類提出が多く、何度もお世話になりました。提出の際に話を聞いてもらったりなど、とても支えになりました。

最後に、家族には経済的、精神的に支え続けてもらいました。私の学費のために負担をかけた上に、大学院に進みたいという我儘を聞いてもらい、感謝しています。

## 参考文献

- [1] 小野 善将 高エネルギー実験のための SOI 技術を用いた PIXOR(PiXel OR) 半導体検出器の研究開発 (2012)
- [2] International Linear Collider Technical Design Report
- [3] 森 達哉 国際リニアコライダーのための高精細 CCD を用いた 崩壊点検出器のシミュレーション研究 (2013)
- [4] ILC バーテックス検出器に向けた SOI ピクセルセンサーの開発
- [5] 東野 聡 ATLAS 実験アップグレード用シリコン検出器 試験のためのテレスコープ検出器開発 (2009)
- [6] <http://rd.kek.jp/project/soi/research.html>
- [7] 小野 峻 SOFIST ver.1 設計資料
- [8] 辻 嶺二 SOI 技術を用いたピクセル型半導体検出器 SOFIST1 の開発、および SOI センサーの基礎研究 (2016)
- [9] 小野 峻 SOFIST Ver.1 Test pulse 入力 (配線容量抽出)
- [10] [http://osksn2.hep.sci.osaka-u.ac.jp/~s-ono/meeting/C01\\_meeting/20150511/SOFIST\\_SOI\\_sensor\\_for\\_ILC\\_20150511.pptx.pdf](http://osksn2.hep.sci.osaka-u.ac.jp/~s-ono/meeting/C01_meeting/20150511/SOFIST_SOI_sensor_for_ILC_20150511.pptx.pdf)