

ATLAS実験アップグレード用シリコン検出器 の試験システムの開発

大阪大学大学院 理学研究科物理学専攻
山中卓研究室 博士前期課程2年

矢島 和希

2016年2月

概要

スイス・ジュネーブに位置する陽子・陽子衝突型加速器 Large Hadron Collider (LHC) の衝突点の一つには、ATLAS 検出器が設置され、ヒッグス粒子の性質の精査や、新物理の探索を目的とした ATLAS 実験が行われている。

2026 年頃に、LHC は統計量の増加を目的として高ルミノシティ化される予定で、その高ルミノシティ環境に対応するため、ATLAS 検出器のアップグレードも計画されている。特に、内部飛跡検出器は更なる微細化を目標に総入れ替えを予定しており、現在、そのためのシリコンセンサの開発が進められている。

シリコンセンサの性能評価は、高いエネルギーのビームを用いて行う (ビーム試験)。ビーム試験では、粒子入射位置を高い精度で特定するための参照用の飛跡検出器であるテレスコープが必要である。また、テレスコープと評価対象となる検出器との読み出しシステムが統合されていることも、ビーム試験を円滑に行う上で重要な要素となる。

本研究では、ATLAS アップグレード用シリコン検出器の試験に用いるテレスコープ (SVX テレスコープ) と、SVX テレスコープと評価対象検出器との統合読み出しシステムの開発を行った。SVX テレスコープ開発では、読み出しに用いるファームウェアとソフトウェアの開発を行い、実験室において基本動作の確認を行った。また、試験用システムとして、SVX テレスコープと評価対象検出器との統合読み出しシステムを開発した。さらに、その使用実例を示すために、内部飛跡検出器用ピクセル検出器の読み出しシステムを開発した統合読み出しシステムに組み込んだ。そして、開発した試験用システムを用いてビーム試験を行い、オンラインでイベント再構成が可能であることを確かめ、試験用システムが正常に動くことを示した。SVX テレスコープについては、オフライン解析ソフトウェアを作製することにより性能評価を行い、設定していた開発目標を越える位置分解能 $9.75\ \mu\text{m}$ を達成していること、全てのセンサにおいて検出効率が 98% 以上であることを示した。以上の結果から、開発した試験用システムは、ATLAS 実験アップグレード用シリコン検出器の性能評価に用いることができると結論付けた。

目次

第1章 序論	12
1.1 LHC/ATLAS 実験	12
1.1.1 ATLAS 検出器	13
1.2 LHC/ATLAS 実験のアップグレード計画	13
1.2.1 HL-LHC	13
1.2.2 シリコン検出器アップグレード	13
1.3 ATLAS 実験アップグレード用シリコン検出器	14
1.3.1 開発状況	14
1.3.2 テレスコープを用いた性能評価	15
1.4 本研究の目的	16
第2章 SVX テレスコープの開発	17
2.1 SVX テレスコープ	17
2.1.1 開発目標	17
2.1.2 シリコンストリップセンサ	18
2.1.3 信号読み出し用 ASIC SVX4	19
2.1.4 汎用読み出し基板 SEABAS2	23
2.2 読み出しファームウェア開発	24
2.2.1 概要	24
2.2.2 読み出しにおける不安定性とその解決	24
2.2.3 電荷収集効率補正用 TDC の実装	27
2.3 読み出しソフトウェア開発	30
2.3.1 概要	30
2.3.2 自動較正機能の実装	30
2.4 筐体制作	32
第3章 SVX テレスコープの動作試験	35
3.1 基本動作	35
3.1.1 ペDESTAL	35
3.1.2 テスト電荷の入射	39
3.1.3 β 線源による試験	41
3.1.4 電荷収集効率補正用 TDC	41
3.2 自動較正機能	44

3.2.1	マスクチャンネル判定	44
3.2.2	ゲイン測定	44
3.2.3	トリガレイテンシスキャン	48
3.3	事象取得レート	49
第4章	SVX テレスコープを用いたシリコン検出器の試験用システムの開発	52
4.1	ATLAS 実験アップグレード用ピクセル検出器との統合	52
4.1.1	ATLAS 実験アップグレード用ピクセル検出器について	52
4.1.2	SEABAS2 を用いたピクセル検出器の読み出し	54
4.2	Trigger Logic Unit を用いた事象データ統合	56
4.2.1	BUSY 信号によるトリガ Veto	57
4.2.2	タイムスタンプを用いた事象再構成の確認	58
4.2.3	動作確認	58
4.3	ビーム試験用ソフトウェアフレームワーク SCTJDAQ	58
4.3.1	実験室での動作確認	62
第5章	ビームを用いた動作試験	67
5.1	2015 年 12 月 Fermilab ビーム試験	67
5.1.1	ビーム試験施設概要	67
5.1.2	セットアップ	67
5.2	試験システムの動作確認	68
5.3	SVX テレスコープの性能評価	72
5.3.1	オフライン解析ソフトウェア	72
5.3.2	解析結果	76
第6章	結論	87

図目次

1.1	LHC の概略図 ^[1] 。衝突点にはそれぞれ、ATLAS、CMS、LHC-B、ALICE の検出器が置かれている。鉛直方向のスケールや、各構造物は強調して描かれている。	12
1.2	ATLAS 検出器の全体イメージ ^[2] 。	13
1.3	現行の内部飛跡検出器 ^[2] 。ただし、この図では 2014 年に設置された IBL 検出器は描かれていない。	14
1.4	HL-LHC の 5 年間の運転における内部飛跡検出器の放射線被曝量 ^[4] 。	15
2.1	SVX テレスコープに用いるシリコンストリップセンサ。写真はすでに本体基板に実装された状態である。上部の色が違う領域には、poly-Si を用いてバイアス抵抗が実装されている。下部には、読み出し ASIC へ繋がるワイヤが見える。	18
2.2	SVX テレスコープのシリコンストリップセンサの断面図 (点線右) と等価回路 (点線左)。	18
2.3	SVX テレスコープに用いる信号読み出し用 ASIC である SVX4。写真は、本体基板に実装済みのものである。上部にはセンサへ繋がるワイヤが見える。	20
2.4	SVX4 の 1 チャンネル回路図 ^[5] 。	21
2.5	パイプラインの書き込みと読み出しにおける信号のタイミング図。パイプラインの各コンデンサへの信号の記録は、FECLK に同期して行われる。FECLK が High である間はコンデンサのリセットが行われ、Low の間のプリアンプ出力の変化分がコンデンサに記録される。PickDel を 4 に設定した場合、赤矢印で示した位置において電荷が記録されたコンデンサから信号が読みだされる。	21
2.6	SVX テレスコープ本体基板。	22
2.7	SEABAS2。基板の大きさは 195 mm×140 mm である。	23
2.8	本体基板と SEABAS2 が接続された状態の SVX テレスコープ。	24

2.9	SVX テレスコープ読み出しファームウェアのブロック図。上からトリガ処理部、SVX4 制御部、データ読み出し部に分けられる。実線は FPGA の内部信号と制御信号の流れ、破線は PC へ送られるデータの流れを表す。1 つの制御信号が 4 枚の SVX テレスコープ本体基板に分配される。すなわち、全ての SVX4 は全く同じ制御信号を受け取っているだけである。Trigger Logic Unit とそれに関する信号 (点線で表す) は、4.2 節にて後述する。	25
2.10	タイミング違反とメタステーブル現象。クロック信号の立ち上がり付近、赤く色づいた領域は、FF の出力を安定させるためには入力を変化させてはいけない時間領域を表す。メタステーブル現象は通常、数 ns で収まるが、その後の出力の値は保証されない。	26
2.11	クロック間での信号の受け渡しにおける、信号のタイミング図。FF の色は、動作クロックの違いを表している。図左側においては、B と C の間に挟まれている回路によって、C への入力が遅延し、メタステーブル現象が伝播している。また、B への入力のデータ保持期間が短いため、データの取りこぼしの可能性も残っている。図右側では、B の直後に FF (図中 X) を挿入し、更に B への入力のデータ保持期間を長く取ることにより、メタステーブル現象の伝播と、データの取りこぼしを防いでいる。	27
2.12	ロジックアナライザを用いて見た SVX テレスコープの出力信号波形。SVX テレスコープの 1 枚の本体に実装されている 4 枚の SVX4 は、データの出力ラインを共有しており、Daisy Chain によってトークンを受け渡すことにより、決まった順番にデータを出力する。しかしこの図では、3 枚目の SVX4 のデータ出力が終わってから、4 枚目の SVX4 のデータが全く出力されずに待機状態となっている。	28
2.13	BECLK の位相を 90 度ずらした時の SVX テレスコープの出力信号波形。最後の 4 枚目の SVX4 までデータが出力していることがわかる。	28
2.14	Multi Sampling の模式図。各 FF に書かれた数字は、入力されたクロック信号の位相を表す。出力される信号 (図の右) は位相をずらしていないクロック信号に同期している。位相のずらしていないクロック信号の立ち上がりと、90 度ずらしたクロック信号の立ち上がりの間に、STOP 信号が入ると、そこを境に出力ビットが変化する (図右の数字列の最左列)	29
2.15	SVX テレスコープ読み出しソフトウェアのブロック図。各白抜き長方形は C++ のオブジェクトを表している。後述の自動校正機能は、Online Analyzer オブジェクト内で実装されており、Online Analyzer オブジェクトが設定パラメータを送受信しているのはそのためである。	30

2.16	トリガレイテンシスキャンの概念図。Coarse Scan では、SVX4 の設定レジスタ PickDel の値を変化させてゆくことによって、信号の記録されているコンデンサを探索する。Fine Scan では、トリガレイテンシの長さを微調整して、全ての信号が1つのコンデンサに収まるようにする。	33
2.17	SVX テレスコープを取めた筐体の写真。固定具とレールによって、容易に固定かつビーム軸方向へスライドすることができる (図右部)。	34
3.1	ランダムな間隔でトリガを入れた時の ADC 分布。ある 1 枚の SVX4 について、全チャンネルの ADC 分布を足しあげた。ただし、センサの端にあたるチャンネルは振る舞いが異なるため除外した。 . . .	36
3.2	ペDESTAL の変化。横軸は事象番号、縦軸は ADC 値で、ある SVX4 の全チャンネルの ADC 値を重ね書きしている。	36
3.3	解析によりテールを取り除いて得られたペDESTAL ピーク。近似曲線は正規分布を用いている。	37
3.4	1つのセンサについての各チャンネルのペDESTAL の平均値。縦軸がペDESTAL の平均値で誤差棒は RMS を表す。横軸はチャンネル番号である。	38
3.5	RTPS 機能を用いた際の ADC 分布。	38
3.6	RTPS 機能をオンとオフにした場合の各チャンネルのペDESTAL の平均値。赤が RTPS 機能オンの場合、青がオフの場合である。誤差棒は RMS を表す。	39
3.7	テスト電荷を入射した時の各チャンネルの ADC 分布。横軸がチャンネル番号、縦軸が ADC 値である。4チャンネル毎にテスト電荷を入射したチャンネルとしていないチャンネルが並んでいる。	40
3.8	テスト電荷入射用外部電源の電圧と、テスト電荷が入射されたチャンネルの ADC 値の平均との関係。ADC 値には、平均値の誤差に基づき誤差棒をつけているが、小さいため見えない。直線は、ペDESTAL を除いた 6 点で近似したものである。赤点は内部電源 (仕様値 0.833 V) による点。	40
3.9	SVX テレスコープと β 線源、プラスチックシンチレータ検出器の位置関係。SVX テレスコープ本体基板の側にある灰色の線は、本体基板に接着されたセンサを表す。	41
3.10	SVX テレスコープの 1つのセンサについてみた、 β 線源による試験の際の各チャンネルの ADC 分布。横軸はチャンネル番号、縦軸は ADC 値を表す。センサのチャンネル番号 180 付近で、最もゲインが大きくなっているように見えるが、これは β 線源の中心がこの付近にあり、統計数の違いによるものである。	42

3.11	β 線源による試験の際の、2枚のSVX テレスコープ本体基板で見た、ヒット検出位置の相関。横軸は線源に近い方のSVX テレスコープ本体基板のヒット検出位置、縦軸は線源から遠い方のSVX テレスコープ本体基板のヒット検出位置である。ヒット検出位置はここでは、センサ中で最大のADC値を持つチャンネルの位置を指す。 . . .	42
3.12	TDCの値と遅延時間の関係。横軸が遅延時間、縦軸がTDCの値である。各遅延時間において100事象のデータを取得している。箱の中の数字は、そのビンにおける事象数を表す。	43
3.13	β 線源による試験で得られた、電荷収集効率補正用TDCの値とADC分布の関係。横軸はある1枚のSVX4の全てのチャンネルのADC分布、縦軸はTDCの値である。	44
3.14	マスク前の各チャンネルのペDESTALピークの平均値とRMS(誤差棒)。常にADC値255を返すチャンネルや、常にADC値0を返すチャンネルが存在していることがわかる。	45
3.15	マスクされたチャンネル。緑色に塗られた領域は、その場所に、SVX テレスコープ本体基板の裏表に貼られた2枚のセンサのうち、片面のみマスクチャンネルがあることを表し、黄色に塗られた領域は、両面ともマスクチャンネルがあることを表している。	45
3.16	マスクチャンネル判定機能でマスクを行った後の各チャンネルのペDESTALピークの平均値とRMS(誤差棒)。	46
3.17	あるチャンネルにおけるゲインカーブ。赤線は各点を最もよく近似する直線である。最も左下の点はペDESTALであり、この点は直線近似には用いていない。	46
3.18	各チャンネルについて求めたゲインの分布。赤線は正規分布による近似曲線。	47
3.19	各チャンネルについて求めたノイズ量の分布。赤線は正規分布による近似曲線。	47
3.20	センサに全空乏化電圧を印加した時の、各チャンネルについて求めたノイズ量の分布。赤線は正規分布による近似曲線。	48
3.21	Coarse Scanの結果。横軸はSVX4の設定用レジスタの1つである、PickDelの値。縦軸が閾値を超えたチャンネルの数(ヒットチャンネル数)である。	49
3.22	Fine Scanの結果。横軸はトリガにかけた遅延の量、縦軸はヒットチャンネル数である。	50
3.23	Data Sparsification機能をオフにした場合の事象取得レート。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。	50
3.24	Data Sparsification機能をオンにした場合の事象取得レート。 . . .	51

4.1	ピクセル検出器の ToT とテスト電荷入射量の関係 ^[12] 。あるテスト電荷の入射量に対して、100 事象のデータを取得している。	54
4.2	SEABAS2 を用いたピクセル検出器の読み出しシステムの、各基板の接続図。アダプタカードには、1 枚の FE-I4B を搭載したピクセル検出器本体基板を 4 枚まで接続できる。アダプタカードは SEABAS2 上の IEEE P-1386 64pin コネクタへと接続される。	54
4.3	ピクセル検出器読み出しファームウェアのブロック図。上からトリガ処理部、コマンド送信部、データ読み出し部に分けられる。実線は FPGA の内部信号とコマンドの通り道、破線は PC へ送られるデータの通り道を表す。4 枚の FE-I4B に向けて、コマンドの通り道を表す矢印は 1 つしか書かれていないが、実際には FE-I4B のそれぞれで別々に用意されており、どれか 1 つだけ、あるいは同時に全てにコマンドを送信することが可能である。また、トリガ処理部は SVX テレスコープで開発したものを、そのまま使っている。	55
4.4	ピクセル検出器の入力トリガ周波数と事象取得レートの関係。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。	56
4.5	TLU を用いて、SVX テレスコープと DUT を同時に読出す場合の接続図。	57
4.6	タイムスタンプ不一致の一例。表の列は、左から事象番号、SVX テレスコープのタイムスタンプ、ピクセル検出器のタイムスタンプを表す。左の表では、SVX テレスコープ側に余分な事象が、右の表では、ピクセル検出器側に余分な事象が入って、タイムスタンプがずれている。	59
4.7	片方の検出器に余分な事象が入ったために、タイムスタンプにずれが生じた回数の推移を 10 万事象まで見たもの。横軸は事象番号であり、縦軸がずれが生じた回数である。赤がピクセル検出器側、青は SVX テレスコープ側に余分な事象が入ったことを表す。	59
4.8	SCTJDAQ の Graphical User Interface (GUI) 画面。ウェブブラウザを用いて表示している。Start、Stop などのコマンドや、設定ファイル、ラン番号の設定などが、この GUI を通じて行える。	60
4.9	SVX テレスコープとピクセル検出器の読み出しソフトウェアを組み込んだ SCTJDAQ のブロック図。赤い四角はプロセス、オレンジの矢印はデータの流れを表す。データ送受信のためのプロセス間通信には POSIX Message Queue を用いている。	61

- 4.10 SCTJDAQ の EventMerger モジュールに実装された、事象ずれ補正機能の図解。左から順に 1 事象づつ、EventMerger モジュールの動作を描いてある。灰色の矢印の上にかかれた長方形は、各検出器の Reader モジュールが出力する事象データ、その中の数字はタイムスタンプを表す。EventMerger モジュールでは、各検出器の Reader モジュールから送られてきた事象データを統合し、さらに下流へと送信する。タイムスタンプの不一致を検知すると、次の事象でダミーデータを挿入することにより、さらにその次の事象の不一致を解消する。 62
- 4.11 オンライン解析機能により、ウェブブラウザ上に表示された各種ヒストグラム。ヒストグラムはそれぞれ、SVX テレスコープの各チャンネルの ADC 値分布 (左上)、SVX テレスコープのヒット位置の分布 (右上)、ピクセル検出器のヒット位置の分布 (左下)、ピクセル検出器の ToT 値分布 (右下) である。ランダムな間隔でトリガを入力しているため、それぞれのヒット位置の分布ではノイズによって生じた偽のヒットが見えている。 63
- 4.12 EventMerger モジュールが出力したデバッグ用ログ。Magic Data は 16 進数の識別子であり、0xfe14 がピクセル検出器、0x6210 が SVX テレスコープを表している。事象番号 6504 でタイムスタンプのずれが生じているが、次の事象番号 6505 でピクセル検出器のデータが、ダミーデータ (識別子 0xffff) に置き換えられ、さらに次の事象番号 6506 では、タイムスタンプのずれが解消している。 64
- 4.13 SCTJDAQ の事象取得レート。SVX テレスコープの Data Sparsification 機能を動作させなかった場合 (1 事象あたりのデータ量 4286 byte)。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。 64
- 4.14 SCTJDAQ の事象取得レート。SVX テレスコープの Data Sparsification 機能を動作させた場合 (1 事象あたりの平均データ量 およそ 300 byte)。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。 65
- 5.1 Fermilab ビーム試験でのセットアップ図。図では省略しているが、トリガカウンタとして用いる 2 つのプラスチックシンチレータは、それぞれ Discriminator モジュールを経由し、Coincidence モジュールを通じて TLU のトリガ入力へ繋がる。SVX テレスコープとピクセル検出器のそれぞれのセンサには、全空乏化電圧 (SVX テレスコープでは +80 V、ピクセル検出器では -200 V) を印加している。 . . . 69

5.2	SVX テレスコープとピクセル検出器、プラスチックシンチレータ検出器の横から見た配置図。6つ並んだ縦線は、緑色がSVX テレスコープの本体基板、橙色がピクセル検出器の本体基板を表し、両端にある水色の長方形はプラスチックシンチレータ (大きさ 55 mm × 10 mm × 5 mm) を表す。プラスチックシンチレータは、ビーム上流側では鉛直下向きに、ビーム下流側では画面に垂直な向きに取り付けられている。本体基板の側に描かれている、灰色の線は本体基板に取り付けられたセンサを表す。図中に描かれている数字は距離で、単位は mm である。	70
5.3	ビーム試験で得られた、オンライン解析によるヒット位置分布。横軸、縦軸ともにセンサのチャンネル番号となっている。	71
5.4	ビーム試験で得られた、オンライン解析による、SVX テレスコープとピクセル検出器のヒット位置の相関。	71
5.5	ビーム試験で取得したデータを、オフライン解析して得た、SVX テレスコープのヒット位置分布と SVX テレスコープとピクセル検出器のヒット位置の相関分布。図 5.3、図 5.4 と異なり、横軸と縦軸を、ともにセンサ中の位置 (単位 μm) で表した。	72
5.6	開発したオフライン解析ソフトウェアの概略図。赤く色付けされた四角は各工程ごとに分割した実行ファイル、灰色に色づけされた四角は中間ファイルである。オレンジの矢印は実行する順番を表している。	73
5.7	今回のビーム試験で得られた、電荷収集効率補正用 TDC の値と ADC 分布の関係。横軸はある 1 枚の SVX4 の全てのチャンネルの ADC 分布、縦軸は TDC の値である。以降の解析においては、赤矢印で示した領域の事象を選別削除した。	74
5.8	ビーム試験で得られた、SVX テレスコープの収集電荷分布。横軸が収集電荷量、単位は電子数である。近似曲線はランダウ分布を用いている。	77
5.9	クラスタ中で最大の電荷を得たストリップの位置と、重心法を用いて求めたヒット位置との相対位置の分布。3 から 6 までの各クラスタサイズについて求めた分布を積み上げている。	77
5.10	図 5.9 を積分し、それを縦軸にスケールと平行移動させ、 $(-25, -25)$ 、 $(25, 25)$ の 2 点を通るようにしたもの。横軸は重心法で得た相対ヒット位置であり、その点における縦軸の値が補正後の相対ヒット位置となる。単位は縦軸、横軸ともに μm である。	78
5.11	補正後の相対ヒット位置分布。重心法で得た相対ヒット位置からの変換には、表を用いているため、補正後の相対ヒット位置は離散的な値をとる。補正後の相対ヒット位置 $0 \mu\text{m}$ 付近において、分布が一様ではないのは、その離散性の影響である。	79

5.12	重心法と補正重心法によって得られた、望遠鏡 ² の x 方向のセンサについての残差分布。	79
5.13	アラインメントを繰り返したことによる変位量の推移。横軸が繰り返しの回数、縦軸が変位量の各成分を表す。	81
5.14	アラインメント前後の、望遠鏡 ⁰ の x 方向のセンサについての残差分布。	82
5.15	望遠鏡 ¹ の x 方向センサのクラスタサイズが3と4の場合についてみた、望遠鏡 ⁰ の x 方向センサについての残差分布。ただし、望遠鏡 ⁰ については、x 方向センサのクラスタサイズが3の事象のみを選び出し、ヒット位置の算出には補正重心法を用いず、ヒットチャンネルのストリップの位置をヒット位置とした。	82
5.16	望遠鏡 ⁰ の x 方向センサについての残差分布を、望遠鏡 ⁰ の x 方向センサのクラスタサイズが3の場合と4の場合についてみたもの。全てのセンサにおいて、ヒット位置の算出には補正重心法を用いている。	83
5.17	望遠鏡 ⁰ の x 方向センサと望遠鏡 ¹ の x 方向センサについてのクラスタサイズの相関分布。横軸が望遠鏡 ⁰ の x 方向センサのクラスタサイズ、縦軸が望遠鏡 ⁰ の x 方向センサのクラスタサイズである。	84
5.18	全てのセンサについて、飛跡とセンサとの交点の位置によるヒット検出効率の分布を求め、それらを全て掛け算して作成した分布。この時の閾値 X は 200 μm である。周辺部のヒット検出効率が0である領域は、トリガカウンタによってカバーされていない領域である。検出効率が落ちている筋状の領域は、マスクチャンネルによるものである。図5.19と表5.1においては、マスクチャンネルの効果を除いたヒット検出効率を評価するために、飛跡とセンサとの交点が図中の白い破線で囲まれた領域にある事象のみを解析に使った。	85
5.19	望遠鏡 ⁰ の y 方向のセンサについてのヒット検出効率の、ヒット検出の判定に用いた閾値による変化。横軸は、ヒット検出の判定に用いる閾値であり、縦軸がヒット検出効率である。	85

第1章 序論

1.1 LHC/ATLAS実験

Large Hadron Collider (LHC) は、欧州原子核機構 (CERN) によってスイス・ジュネーブ近郊の地下およそ 100 m に建設された、周長 26.7 km の陽子・陽子衝突型加速器である。LHC には 4 つの陽子・陽子衝突点があり、衝突に伴って放出される生成粒子を観測するための大型検出器がそれぞれに置かれている。図 1.1 に LHC と、各衝突点に設置された検出器の概略図を示す。2016 年現在、世界最高である陽子エネルギー 6.5 TeV、衝突エネルギーにして 13 TeV で運転しており、エネルギーフロンティア領域での実験を可能にする現在唯一の加速器である。

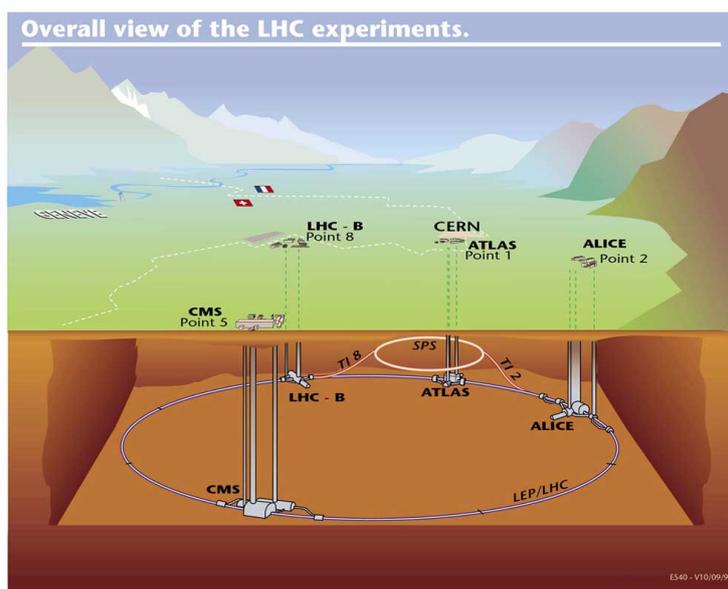


図 1.1: LHC の概略図^[1]。衝突点にはそれぞれ、ATLAS、CMS、LHC-B、ALICE の検出器が置かれている。鉛直方向のスケールや、各構造物は強調して描かれている。

LHC の衝突点の一つである Point 1 には大型汎用検出器 ATLAS 検出器が設置され、ATLAS 実験[†]が行なわれている。2012 年に ATLAS 実験自身によって発見されたヒッグス粒子の性質測定、標準模型の検証、超対称性粒子や余剰次元模型などの新物理による現象の探索を目的として、現在も運用が進められている。

[†]LHC プロジェクトと合わせて、LHC/ATLAS 実験と表記されることもある。

1.1.1 ATLAS 検出器

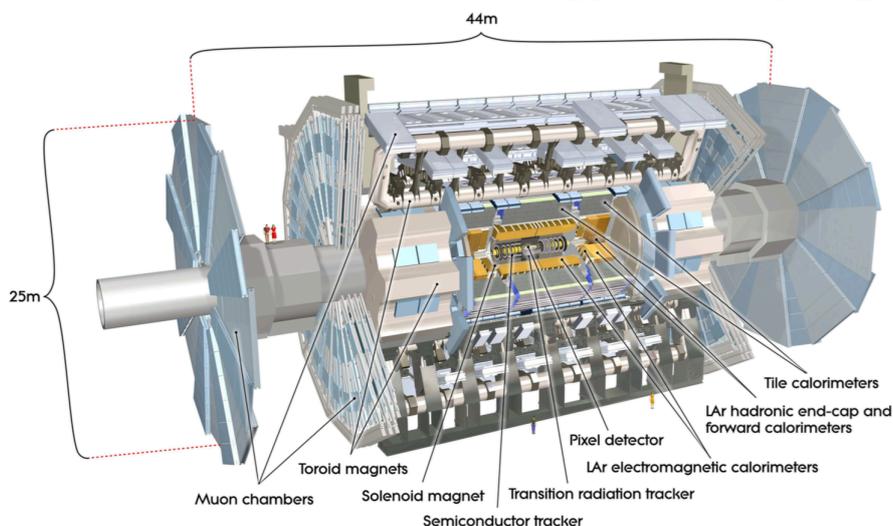


図 1.2: ATLAS 検出器の全体イメージ [2]。

図 1.2 に示すように、ATLAS 検出器はビームと軸を共にする直径 25 m、長さ 44 m の円筒形で、衝突点を取り囲むようにして置かれている。これにより衝突で生じた粒子をほぼ取りこぼすことなく観測、識別することが可能になっている。ATLAS 検出器は、複数の検出器からなる層状の構造をしており、大きく、内側から内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミュオン検出器に分けられる。

1.2 LHC/ATLAS 実験のアップグレード計画

1.2.1 HL-LHC

2026 年頃から開始予定の Run4 に向けて、LHC は High-Luminosity LHC (HL-LHC) へとアップグレードされる計画である [3]。HL-LHC では、瞬間ルミノシティが現行の $1 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ と比べ 5 倍の $5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ になる予定で、統計量の増加により 2037 年ごろまでに積分ルミノシティ 3000 fb^{-1} の達成を目指している。この高ルミノシティ化に伴い、1 バンチあたりの陽子・陽子衝突数は平均で 140 になると想定されている。

1.2.2 シリコン検出器アップグレード

HL-LHC 化に伴って、ATLAS 検出器最内層に位置する内部飛跡検出器は全ての検出器を入れ替える予定である [4]。

内部飛跡検出器は図 1.3 に示すように、複数の検出器からなる層状の構造をしており、Insertable B-Layer (IBL)、ピクセル検出器 (Pixel: Pixel Detector)、シリコンストリップ飛跡検出器 (SCT: SemiConductor Tracker)、遷移輻射検出器 (TRT: Transition Radiation Tracker) からなる。TRT 以外の検出器はシリコン検出器であり、IBL、Pixel は信号読み出し端子を 2 次元格子状に並べたピクセル型、SCT は細長い信号読み出し端子を 1 次元に並べたストリップ型となっている。

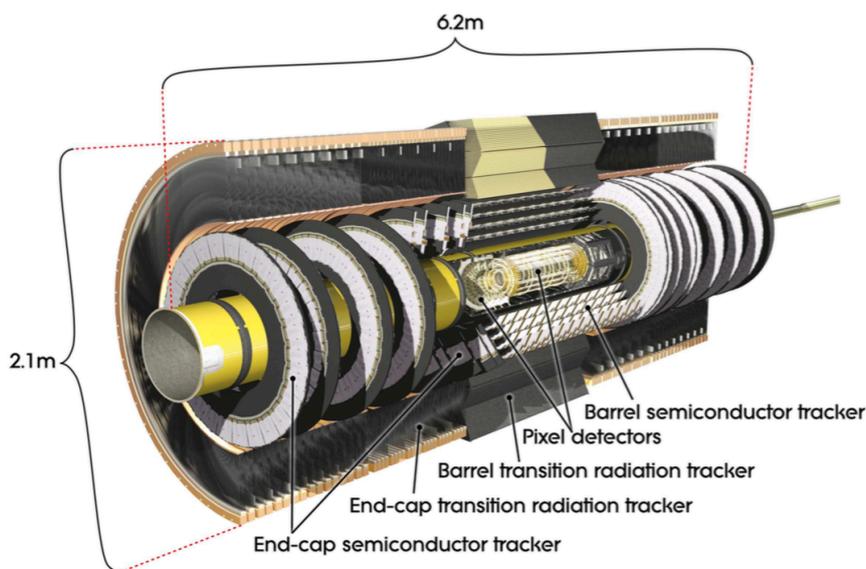


図 1.3: 現行の内部飛跡検出器^[2]。ただし、この図では 2014 年に設置された IBL 検出器は描かれていない。

HL-LHC の高ルミノシティ環境下においては、1 バンチ衝突あたりのヒット数の割合であるヒット占有率の増加が見込まれているので、アップグレード後の内部飛跡検出器は全てをシリコン検出器で構成し、微細化することによってヒット占有率を下げる。また、図 1.4 に示すように、検出器の放射線損傷の激化 (最大 1.4×10^{16} (1 MeV n_{eq}/cm^2)[†]) も予想されているため、高放射線耐性を持ったシリコン検出器の開発が進行している。

1.3 ATLAS 実験アップグレード用シリコン検出器

1.3.1 開発状況

現在、ATLAS 実験アップグレード用シリコンセンサの開発が進められている。開発には日本からも、ATLAS 日本シリコングループとして参加しており、浜松ホトニクスと共同でプロトタイプとなるシリコンピクセルセンサとシリコンストリップ

[†]1 MeV n_{eq}/cm^2 という単位は、1 cm^2 あたりの被曝量を、1 cm^2 あたりに通過した 1 MeV の中性子の粒子数へと換算したものである。

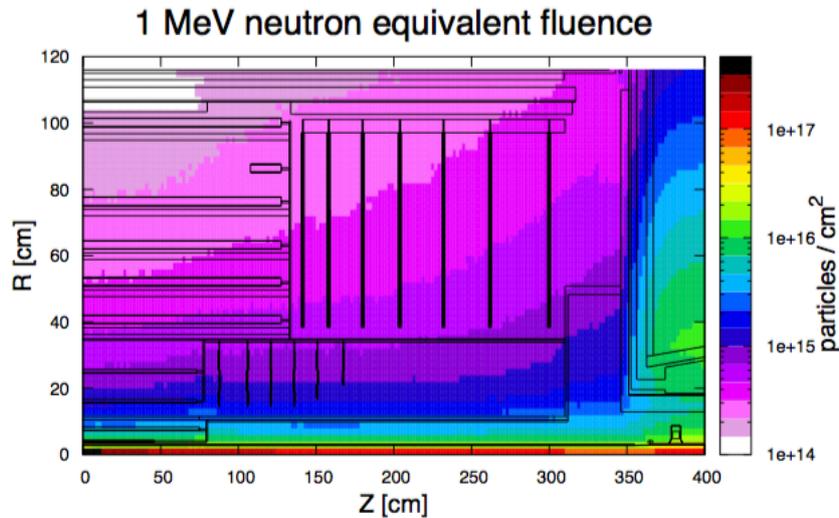


図 1.4: HL-LHC の 5 年間の運転における内部飛跡検出器の放射線被曝量 [4]。

プセンサの製造を既に行っている。製造したプロトタイプの性能評価を行い、期待される電荷量に対する、実際に得られた電荷の割合である電荷収集効率を測定し、次のプロトタイプの製造にその情報を用いる。プロトタイプの性能評価においては、プロトタイプとは別に、テレスコープと呼ばれる参照用飛跡検出器を使用する。

1.3.2 テレスコープを用いた性能評価

シリコン検出器の性能評価では、その位置分解能やヒット検出効率、電荷収集効率などを測定する。それらの測定は、主に評価対象検出器 (Device Under Test; DUT) に高エネルギーのビームを当てることにより行う (ビーム試験)。ビーム試験では、DUT と同程度かそれ以上の位置分解能をもった、テレスコープと呼ばれる参照用の飛跡検出器を DUT とは別に用意し、粒子の飛跡を再構成することによって DUT への粒子入射位置を精度よく求める。

また、ATLAS 実験アップグレード用シリコン検出器の開発では、検出器の放射線耐性も重要な項目であるので、大強度のビームや線源によって想定される放射線量を短時間で検出器に照射し (照射試験) 放射線損傷を与えた後、ビーム試験を行ってヒット検出効率や電荷収集効率の変化を見る。この時、検出器構造中のどの部分に放射線損傷による変化があるかを調べ、次の検出器の開発にフィードバックする。そのためテレスコープには、評価対象検出器と同じか、それ以上の高い位置分解能を求められる。

テレスコープと DUT のデータは互いに独立な検出器であるため、2つのデータを正しく統合する仕組みも重要である。オフラインでデータを統合しても良いが、オンラインでデータを統合し、その正しさを確かめることができることが望ましい。

1.4 本研究の目的

本研究の目的は、ATLAS 実験アップグレード用シリコン検出器のビーム試験に用いるテレスコープの開発と、テレスコープと DUT のデータをオンラインで統合するための統合データ読み出しシステムの開発である。本論文では、これらテレスコープや統合データ読み出しシステムをまとめて、試験用システムと呼ぶ。

そして、この試験用システムを用いてビーム試験を行い、試験用システムが ATLAS 実験アップグレード用シリコン検出器の性能評価に使用可能であることも示す。

第2章 SVX テレスコープの開発

この章では、研究目的の一つである、ATLAS 検出器アップグレード用シリコン検出器の性能評価に用いるテレスコープ (SVX テレスコープ) の開発について述べる。

SVX テレスコープの開発は本研究の開始前より行われており^{[9][10]}、すでにハードウェアは完成し、プロトタイプとなる読み出しファームウェア、ソフトウェアが存在した。

本章ではまず、SVX テレスコープについて解説し、プロトタイプに存在した課題を踏まえながら、ファームウェア開発とソフトウェア開発についてそれぞれ説明する。このファームウェアとソフトウェアの動作試験については、第3章にて述べる。また、最後にセンサの保護を主目的とする筐体制作について述べる。

2.1 SVX テレスコープ

2.1.1 開発目標

SVX テレスコープの開発は、SVX テレスコープを ATLAS 実験アップグレード用シリコン検出器のビーム試験に使用することを想定し行っている。それらを考慮し、以下の開発目標を定めている。

- 位置分解能は DUT であるシリコン検出器の標準的な 1 チャンネルの大きさ (数 $10\ \mu\text{m}$) に対応して、 $10\ \mu\text{m}$ 以下であること。
- ビーム試験の典型的な長さである数日間において、 10^8 事象の取得が可能なよう、瞬間的な事象取得レートは $10\ \text{kHz}$ 以上であること。
- 様々なビーム試験場に設置が可能で、持ち運びが容易なよう、小型かつ軽量なこと。

SVX テレスコープは荷電粒子を検出するためのセンサであるシリコンストリップセンサ、シリコンストリップセンサの信号をデジタル信号に変換する信号読み出し用 ASIC である SVX4^[7]、SVX4 からのデータ読み出しや SVX4 の制御、PC との通信を担う SEABAS2 からなる。次節より、これら各構成要素について述べる。

2.1.2 シリコンストリップセンサ

SVX テレスコープのセンサ部にはシリコンストリップセンサを用いた。図 2.1 にその写真を示す。



図 2.1: SVX テレスコープに用いるシリコンストリップセンサ。写真はすでに本体基板に実装された状態である。上部の色が違う領域には、poly-Si を用いてバイアス抵抗が実装されている。下部には、読み出し ASIC へ繋がるワイヤが見える。

このセンサには、図 2.2 に示すように、微量の 5 価元素が添加されたシリコン (n 型半導体) の薄い平板 (n バルク) に、微量の 3 価元素が添加されたシリコン (p 型半導体) からなる細線状の p⁺ ストリップが埋め込まれており、ダイオードが形成されている。裏面には一様に、n バルクより 5 価元素を多く添加した n⁺ 領域をつくっている。

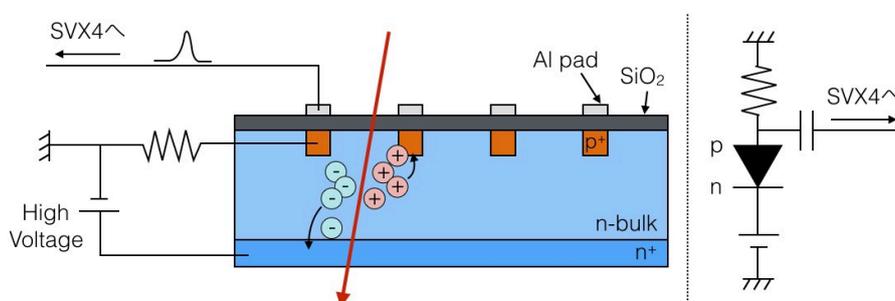


図 2.2: SVX テレスコープのシリコンストリップセンサの断面図 (点線右) と等価回路 (点線左)。

p⁺ ストリップと n バルクの接合面において、p⁺ ストリップ側では電子軌道に電子が不在となった正孔が生じやすく、n バルク側では自由電子が生じやすいので、その 2 つが結合し電場が発生する。この領域のことを、キャリア (電子と正孔の総称) が欠乏していることから空乏層と呼ぶ。空乏層は、n バルク中に n⁺ から p⁺ へ向かう電場が形成されるような電圧 (逆バイアス電圧) を印加することによって広がる。

センサ中を荷電粒子が通過すると、シリコン原子をイオン化し、電子正孔対が生じる。空乏層以外の場所では、再結合により電子正孔対はすぐに消滅してしま

うが、空乏層ではキャリアが不在のために再結合せず、電場に従って互いに離れるように運動する。空乏層が接合面付近のみにある場合、やがて電子正孔対は空乏層から外れて再結合してしまうので、この電荷を取り出すためには、逆バイアス電圧をかけることによってセンサの全領域を空乏層化する必要がある。この時に必要な逆バイアス電圧を全空乏化電圧と呼ぶ。

電荷の読み出し方法には AC 型と DC 型の 2 つがあるが、このシリコンストリップセンサでは電極とセンサを絶縁層を介して結合させる AC 型の読み出しを採用している。

このセンサのように、n バルクに p⁺ を埋め込んだタイプを p-in-n センサと呼ぶ。図 2.2 に示した電荷の動きから、p-in-n センサでは正の極性を持った信号が取り出されることがわかる。

SVX テレスコープに用いたセンサの主な仕様を表 2.1 にまとめた。

表 2.1: SVX テレスコープに用いるシリコンストリップセンサの仕様。

ストリップ間隔	50 μm
ストリップの長さ	15.4 mm
ストリップ幅	10 μm
ストリップ数	256 本
ストリップの負荷静電容量	約 1.5 pF
バイアス抵抗	200 M Ω
有感領域の面積	13 mm \times 15.4 mm
センサ厚	300 μm
センサのタイプ	p-in-n センサ
全空乏化電圧	約 80 V
読み出し方向	片側
読み出しタイプ	AC 読み出し

SVX テレスコープの本体基板には、シリコンストリップセンサが 2 枚、本体基板となる PCB の表と裏のそれぞれに 1 枚ずつ、互いに直交し貼り付けられている。1 枚のシリコンストリップセンサからは、1 次元の位置情報しか得られないが、直交した 2 枚のシリコンストリップセンサを用いて、それぞれの位置情報を組み合わせることにより、2 次元の位置情報を得る。本体基板のセンサ貼り付け部には穴が開いており、物質量の削減を図っている。

2.1.3 信号読み出し用 ASIC SVX4

SVX4 は Fermilab とバークレー研究所が共同で開発した、シリコンストリップセンサからの信号を読み出すための特定用途向け集積回路 (Application Specific Integrated Circuit; ASIC) である。SVX4 の写真を図 2.3 に示す。

SVX テレスコープにおいて、シリコンストリップセンサからの信号はワイヤボンディングを介し SVX4 へ送られ、デジタル信号へと変換されたのち、更に後段へと送られる。

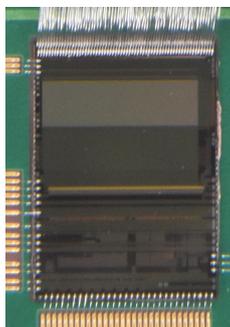


図 2.3: SVX テレスコープに用いる信号読み出し用 ASIC である SVX4。写真は、本体基板に実装済みのものである。上部にはセンサへ繋がるワイヤが見える。

SVX4 の主な仕様と特徴を以下にまとめる。

- 128 の読み出しチャンネル
- チップの大きさ 9.11 mm × 6.40 mm
- 192 bit の設定変更用レジスタ搭載
- 設定により、正負どちらの入力信号極性にも対応
- 任意のチャンネルへ、較正用のテスト電荷入射が可能
- 任意のチャンネルのプリアンプを無効化可能 (マスク機能)
- 閾値を超えた ADC 値を持つチャンネルだけを読み出すことによりデータ圧縮が可能 (Data Sparsification)
- ペDESTALを差し引いた ADC 値を出力可能 (RealTime Pedestal Substruction; RTPS)
- Daisy chain による複数チップの同時制御、同時読み出しの実現
- 動作電力
 - アナログ回路用電源：+2.5 V、約 60 mA
 - デジタル回路用電源：+2.5 V、約 200 mA

SVX4 はもともと、Fermilab にて行われた CDF、DØ 実験に向けて開発されたもので、CDF と DØ という 2 つの動作モードが存在する。SVX テレスコープでは DØ モードを使用した。

SVX4はその構造から、主にアナログ回路で構成される Front End と、主にデジタル回路で構成される Back End の2つに分けることができる。また各チャンネルごとに、プリアンプ、アナログパイプライン、ADC を搭載している。図 2.4 に SVX4 の 1 チャンネルの回路図を示す。

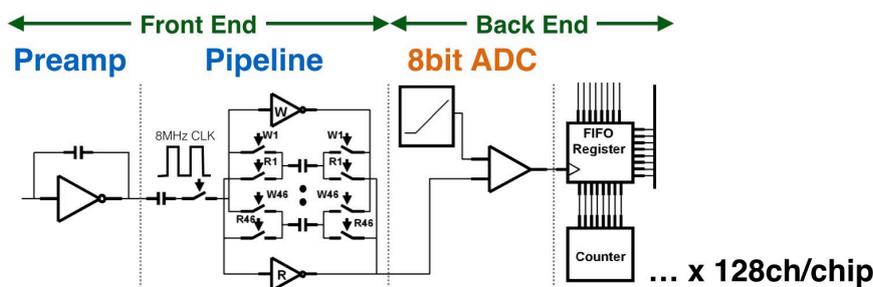


図 2.4: SVX4 の 1 チャンネル回路図 [5]。

プリアンプはセンサからの信号を増幅し、かつ積分したものを出力する。そのダイナミックレンジは 200 fC である。このプリアンプは積分型であるので、定期的のリセットを行わないと出力が飽和してしまう。SVX テレスコープでは 46 μ s に 1 度、プリアンプのリセットを行い、飽和を防いでいる。

パイプラインには、1チャンネルあたり 47 個のコンデンサが取められており、46 個が信号記録用、残りの 1 個がペDESTAL 記録用となっている。各コンデンサのダイナミックレンジは 40 fC である。図 2.5 に示すように、各信号記録用コンデンサには順番に、Front End Clock (FECLK) と呼ばれるクロック信号に同期してプリアンプの出力電圧の変化分が記録される仕組みになっている。

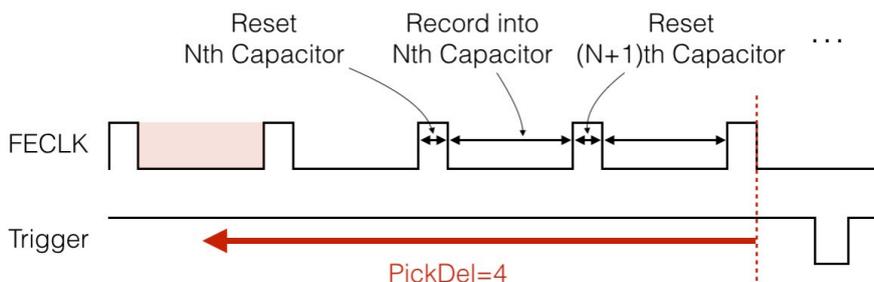


図 2.5: パイプラインの書き込みと読み出しにおける信号のタイミング図。パイプラインの各コンデンサへの信号の記録は、FECLK に同期して行われる。FECLK が High である間はコンデンサのリセットが行われ、Low の間のプリアンプ出力の変化分がコンデンサに記録される。PickDel を 4 に設定した場合、赤矢印で示した位置において電荷が記録されたコンデンサから信号が読みだされる。

また、パイプラインからの信号を読み出す直前にペDESTAL をペDESTAL 記録用コンデンサに記録し、読み出し時に信号とペDESTAL の差をとることにより、周期の大きなノイズを打ち消すことができる。これを Double Correlated Sampling と

呼ぶ。SVX テレスコープにおいて FECLK の周期は 125 ns としているので、46 個の記録用コンデンサに対応して、最大のトリガレイテンシは $125 \text{ ns} \times 46 = 5.75 \mu\text{s}$ となる。図 2.5 に示したように、どのコンデンサから信号を読み出すかは、SVX4 の設定用レジスタの 1 つである PickDel の値で決まり、トリガが入った時点より、PickDel のクロック数だけ時間を遡った時に電荷を記録したコンデンサから、信号を読み出す。SVX4 に信号が入ってから、トリガが入力されるまでの時間は、セットアップにより変化するので、その都度、どのコンデンサに信号が記録されたかを調べ、PickDel の値を設定する必要がある (トリガレイテンシスキャン)。

コンデンサから読み出した信号をデジタル化する ADC は、Wilkinson 型と呼ばれるタイプで、ランプ電圧と呼ばれる、一定の速度で出力が変化する電圧源と、比較器、カウンタ、カウンタの値を記録するラッチで構成される。ランプ電圧源とカウンタは全チャンネルで共通にできるので、多チャンネル ADC を実装する場合、回路規模が小さく済むという特徴がある。SVX4 において、カウンタの値が遷移する過程で値を記録した時に、大きく違った値にならないよう、2 進数において値が 1 ビットずつ変化するように設計されたグレイコードカウンタを使用している。そのため、正しい ADC 値を得るためには、後段においてグレイコードのデコードが必要である。ランプ電圧の変化速度は、SVX4 の設定により変更することができ、全体のゲインを調節することが可能である。

SVX テレスコープの本体基板 1 枚あたりに、256 チャンネルのシリコンストリップセンサを 2 枚使用しているので、本体基板 1 枚あたり 4 枚の SVX4 を実装している。4 枚の SVX4 は、隣同士を Daisy chain で繋ぐことによって同時読み出しを実現している。センサと SVX4 が実装された本体基板を、図 2.6 に示す。

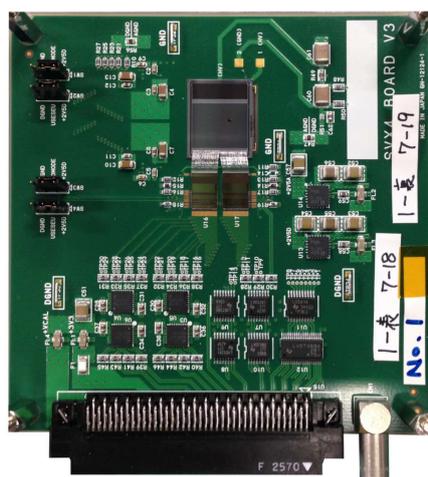


図 2.6: SVX テレスコープ本体基板。

2.1.4 汎用読み出し基板 SEABAS2

SEABAS2とは、KEK SOIグループによって開発された汎用読み出し基板である。SEABAS2の写真と基板上に実装された素子の解説を、図2.7に示す。多種多様な実験において読み出し基板として用いることができるよう、プログラマブルロジックデバイスであるField-Programmable Gate Array (FPGA)を搭載しており、入出力インターフェイスとして、IEEE P-1386 64pin規格、NIM規格(4つの入力端子、2つの出力端子)やGigabit Ethernet規格に対応している。

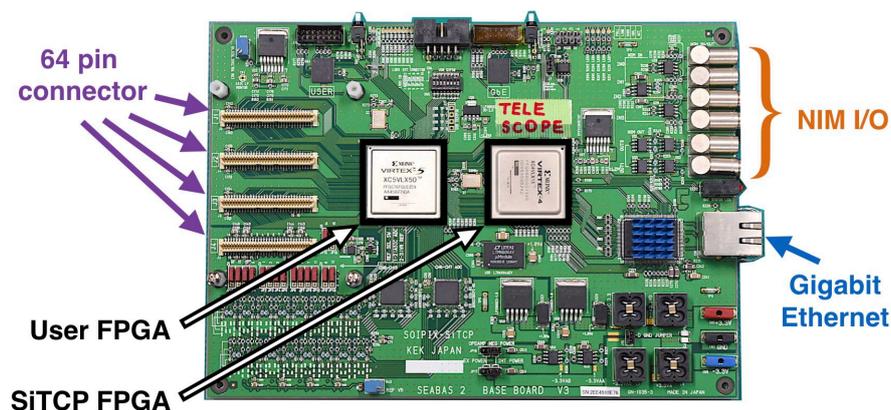


図 2.7: SEABAS2。基板の大きさは 195 mm×140 mm である。

基板上には2つのFPGAが搭載されている。1つはUser FPGAと呼ばれ、IEEE P-1386 64pinコネクタ(通常、これが検出器側へ接続される)とNIM入出力へ繋がれており、ユーザが自身の目的に沿ったファームウェアを開発、実装するためのものである。もう1つはSiTCP FPGAと呼ばれ、User FPGAとPCの間のEthernetを通じたデータ転送を可能にするためのネットワークプロセッサであるSiTCPがあらかじめ実装されている。SiTCPはTCP/IPとUDPという2つの通信プロトコルに対応しており、TCP/IPはPCへのデータ送信に、UDPは主にUser FPGAのコントロール、モニタリングなどに使われる。User FPGAから見て、SiTCPによるTCP/IPのデータ入出力インターフェイスは同期式FIFOとして振る舞い、ユーザはSiTCPの実装を意識することなく、FIFOにデータを書き込む際と同様の処理で、高速データ転送を実現できる。

図2.8に示すように、SVXテレスコープにおいてSEABAS2は、ハーフピッチ80極フラットケーブルとDaughter Board(D/B)を介して4枚の本体基板と接続され、ソフトウェアを通じてのSVX4の制御や、SVX4から送られてくるデータの処理とPCへの送出する機能を担っている。



図 2.8: 本体基板と SEABAS2 が接続された状態の SVX テレスコープ。

2.2 読み出しファームウェア開発

2.2.1 概要

SEABAS2 の User FPGA 上に実装した読み出しファームウェアでは、以下の処理を行う。

- トリガ信号の処理と事象番号、時間情報の生成 (4.2 節にて詳述)
- SVX4 の設定レジスタへの書き込みや、制御信号の生成
- SVX から読み出したデータの整形と、SiTCP FPGA への送出

読み出しファームウェアのブロック図を図 2.9 に示す。

2.2.2 読み出しにおける不安定性とその解決

過去に存在したファームウェアには、読み出しの不安定性が存在した。例として、SVX4 から正常にデータが出力されているにも関わらず SEABAS2 からのデータに欠けが生じたり、SVX4 への制御信号が設計通りに出力されない、SVX4 からのデータ出力が途中で止まるなどの現象が現れることがあった。またこれらの現象に共通な特徴として、再現性がないことや、ファームウェアの論理シミュレーションでは正常に動作していること、ファームウェアの些細な変更で症状に大きな変化が現れること、などがあった。これらの不安定性は、FPGA 内の信号のタイミング違反をなくすことや、SVX4 へ与える信号の位相を調節することによって解消できたので、FPGA 内や SVX4 での信号のタイミング違反が原因であったと考えている。以下では、タイミング違反について詳しく解説する。

FPGA や ASIC 中のデジタル回路における主な構成要素は Flip Flop (FF) であり、通常、FF はクロック信号の立ち上がりにおける入力信号の値を記憶して出力する。FF は、内部にループ回路を持ち、入力を帰還させることにより値を保持し

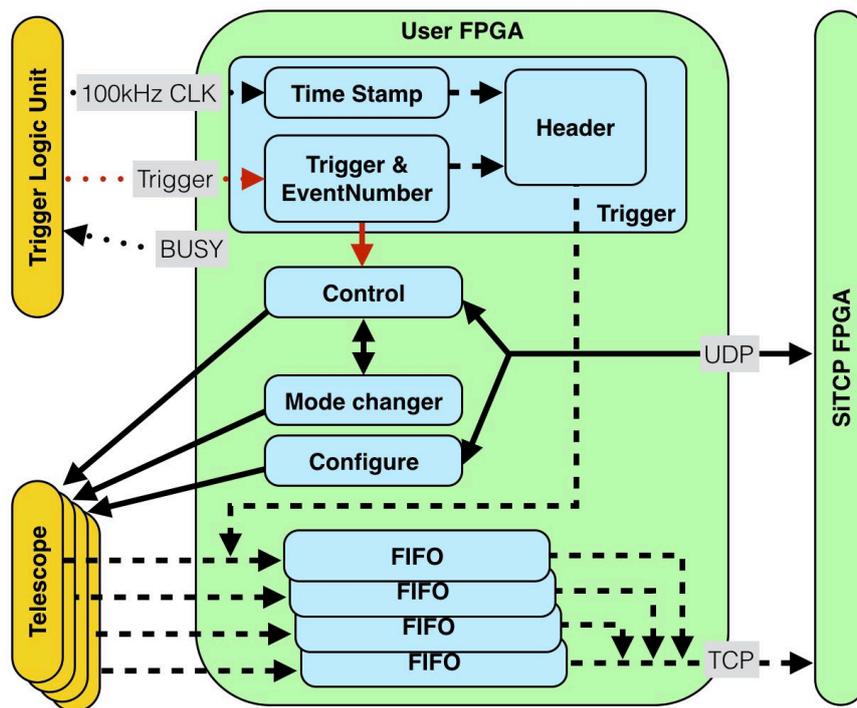


図 2.9: SVX テレスコープ読み出しファームウェアのブロック図。上からトリガ処理部、SVX4 制御部、データ読み出し部に分けられる。実線は FPGA の内部信号と制御信号の流れ、破線は PC へ送られるデータの流れを表す。1つの制御信号が4枚のSVX テレスコープ本体基板に分配される。すなわち、全てのSVX4は全く同じ制御信号を受け取っているだけである。Trigger Logic Unit とそれに関する信号(点線で表す)は、4.2 節にて後述する。

ている。そのため、クロックの立ち上がりとはほぼ同時に入力信号が変化すると、入力信号がそのループ回路を1周しきれず、遷移状態から抜け出せなくなり、出力が数nsにわたって不安定になる場合がある。このようにFFの出力が不安定になる現象をメタステーブル現象、そしてメタステーブル現象を引き起こす入力信号の変化をタイミング違反と呼ぶ。図2.10は、タイミング違反によってメタステーブル現象が起きた時の各信号のタイミング図である。

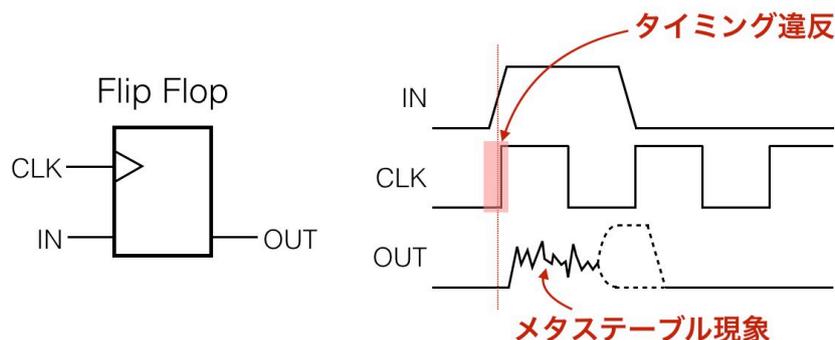


図 2.10: タイミング違反とメタステーブル現象。クロック信号の立ち上がり付近、赤く色づいた領域は、FFの出力を安定させるためには入力を変化させてはいけない時間領域を表す。メタステーブル現象は通常、数nsで収まるが、その後の出力の値は保証されない。

タイミング違反は大きな配線遅延がある場合や、複数の周期のクロック信号が回路内に共存していて、異なるクロック間での信号の受け渡しが行われる場合などに起きる。ファームウェアのFPGAへの実装は、開発ソフトウェアが、回路構造を表すコードを解釈してFPGA内の素子の配置として変換することにより行う。この時、コードの僅かな変化が大きな配置の変化を引き起こすことがあり、タイミング違反が新たに発生したり、解消したりする。また、メタステーブル現象が収束する際、値がどちらに落ち着くかはランダムであり、これは論理シミュレーションでは再現できない。更に、メタステーブル現象は、配線遅延の大きさによっては後段へと伝播していく。そのため、SVX テレスコープに存在した不安定性と同様な、再現性がなく、シミュレーションもできず、コードの微小な変更で大きく変わるような症状を、メタステーブル現象は生み出す。

タイミング違反の解消のために以下の対策を行った。配線遅延によるタイミング違反をなくすためには、開発ソフトウェアの機能を用い、FPGAの素子の配置に制約を加えて遅延を抑えた。異なるクロック間での信号の受け渡しでは、受信側では非同期の信号を受け取る事と同じであるので、タイミング違反を回避することは不可能である。そこで、メタステーブル現象が発生しても、影響を最小限にとどめるため、図2.11に示すように、受信側のFFのなるべく近くに新たにFFを挿入することによって、配線遅延を小さくし、後段へのメタステーブル現象の

伝播が起きないようにした。さらに、クロック間の信号は、取りこぼしを防ぐために、2から3クロック間隔分の長さを保持させるようにした。

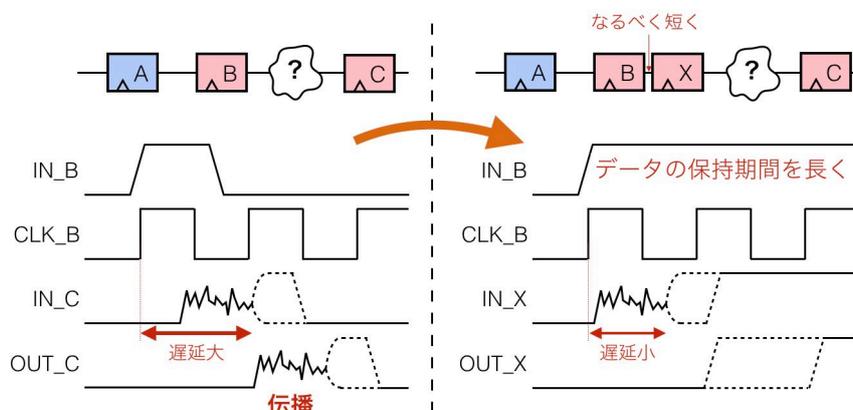


図 2.11: クロック間での信号の受け渡しにおける、信号のタイミング図。FFの色は、動作クロックの違いを表している。図左側においては、BとCの間に挟まれている回路によって、Cへの入力が遅延し、メタステーブル現象が伝播している。また、Bへの入力のデータ保持期間が短いため、データの取りこぼしの可能性も残っている。図右側では、Bの直後にFF (図中X)を挿入し、更にBへの入力のデータ保持期間を長く取ることにより、メタステーブル現象の伝播と、データの取りこぼしを防いでいる。

これらの変更を全ての回路に施した結果、タイミング違反を全て解消できた(市販のタイミング解析ツールにて確認)。加えて、SVX テレスコープの不安定性も、1つを残して全て解消した。

残った1つの不安定性は、SVX4からのデータの出力が中途半端な位置で止まるというものである。図 2.12 に、ロジックアナライザを用いて見た、この不安定性が生じた時のSVX テレスコープの出力信号を示す。

この現象は、SVX4のBack Endで使用されるクロック信号である、BECLKの位相を90度進めることにより解消できた。図 2.13 は、BECLKの位相を90度進めた時のSVX テレスコープの出力信号波形であり、全てのデータが出力されていることがわかる。このことから、SVX4内部でBECLKとその他の制御信号のタイミングの不整合によって、タイミング違反が生じていたものと推測する。

これらの改善策により、SVX テレスコープの読み出しにおける不安定性は全て解消した。

2.2.3 電荷収集効率補正用TDCの実装

2.1.3節で触れたように、センサからの出力電荷はSVX4内でパイプラインに記録されることになるが、パイプライン中のコンデンサを切り替えるタイミングで

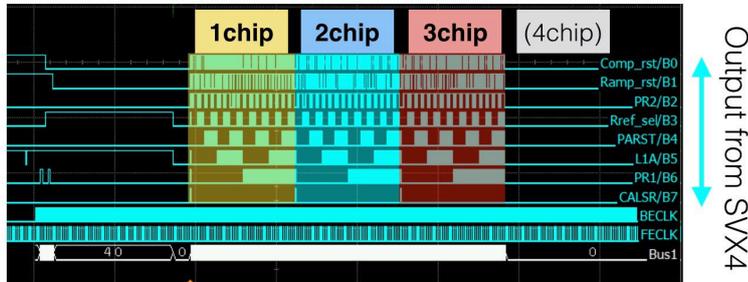


図 2.12: ロジックアナライザを用いて見た SVX テレスコープの出力信号波形。SVX テレスコープの 1 枚の本体に実装されている 4 枚の SVX4 は、データの出力ラインを共有しており、Daisy Chain によってトークンを受け渡すことにより、決まった順番にデータを出力する。しかしこの図では、3 枚目の SVX4 のデータ出力が終わってから、4 枚目の SVX4 のデータが全く出力されずに待機状態となっている。

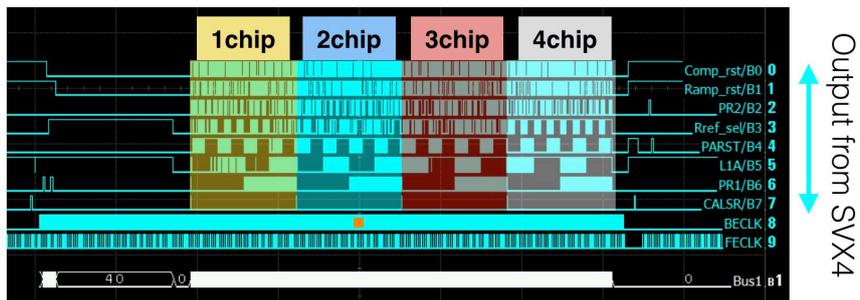


図 2.13: BECLK の位相を 90 度ずらした時の SVX テレスコープの出力信号波形。最後の 4 枚目の SVX4 までデータが出力していることがわかる。

は、センサからの出力電荷の全てを記録しきれない。SVX テレスコープは様々なビーム構造を持ったビーム試験場で使われることを想定しており、その効果を補正するための Time to Digital Converter (TDC) をファームウェア上に実装することにした。

実装した TDC の量子化幅は 6.25 ns (=160 MHz)、START 信号は FECLK の立ち上がり、STOP 信号は NIM 入力からのトリガ信号の立ち上がりを用いた。STOP 信号がないまま、次の FECLK を受け取った場合、TDC のカウントはリセットされる。FECLK は 8MHz であるので、160MHz でカウントされるこの TDC は 0 から 19 の間の値をとることになる。TDC の値は、4.2 節で説明するデータのヘッダ部に書き込まれて SEABAS2 から出力される。

一般に、クロック信号は FPGA 内の素子を用いて生成するの通常であるが、今回、User FPGA のクロックリソースが不足したため、160 MHz のクロック信号を生成できなかった。そのため、すでに他の用途で使用するために用意していた、位相を 90 度ずつずらした 4 つの 40 MHz のクロック信号を用いて、Multi Sampling という手法を使い、実効的に 160 MHz の速さで動作する TDC を設計した。Multi Sampling の概念的な回路図を図 2.14 に示す。Multi Sampling では、FF を複数用意し、それぞれを位相を少しづつずらしたクロック信号によって動作させる。それらの FF に 1 つの信号を分配してサンプリングさせると、1 つ 1 つの FF は、クロック信号の周波数でサンプリングをしているが、全体では、互いに位相がずれたクロック信号数倍だけ大きいサンプリング周波数が得られる。

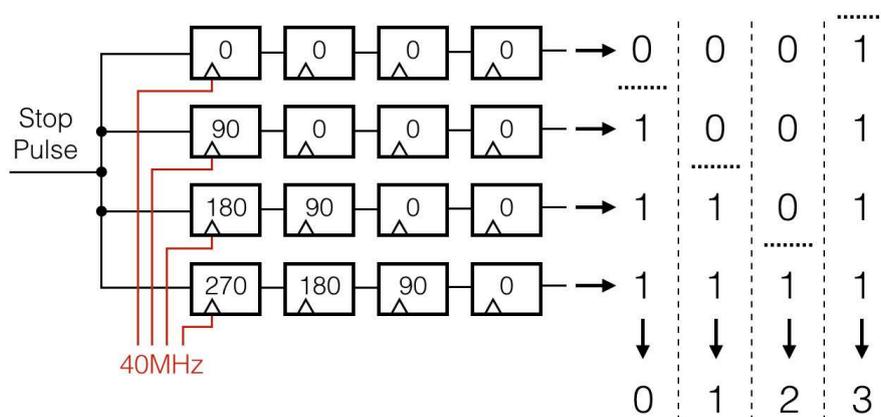


図 2.14: Multi Sampling の模式図。各 FF に書かれた数字は、入力されたクロック信号の位相を表す。出力される信号 (図の右) は位相をずらしていないクロック信号に同期している。位相のずらしていないクロック信号の立ち上がり、と、90 度ずらしたクロック信号の立ち上がりの間に、STOP 信号が入ると、そこを境に出力ビットが変化する (図右の数字列の最左列)

TDC の動作試験の結果は第 3 章で述べる。

2.3 読み出しソフトウェア開発

2.3.1 概要

SVX テレスコープの読み出しソフトウェアはプログラミング言語 C++ で書かれ、Ethernet・TCP/IP を通じて送られてきたデータの受信やデコード、後の解析で使用できるようなフォーマットでの記録、さらにはオンライン解析による ADC 値分布などのヒストグラムの生成などを行う。また、SiTCP と通信するためや、SVX4、SEABAS2 の設定パラメータを扱うためのライブラリも含んでいる。ソフトウェアのブロック図を図 2.15 に示す。4.3 節で解説する、ソフトウェアフレームワークの SCTJDAQ への組み込みを考慮に、SCTJDAQ のクラス構造に沿ったクラス設計を行った。

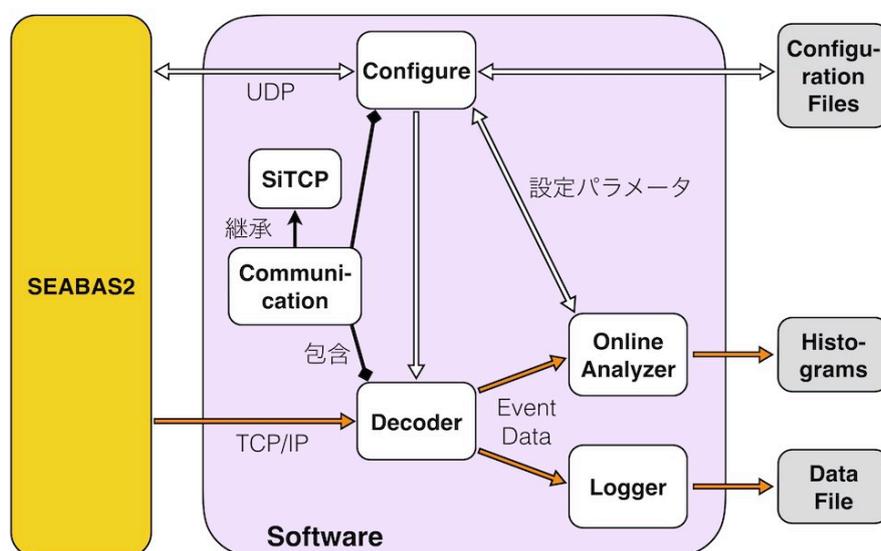


図 2.15: SVX テレスコープ読み出しソフトウェアのブロック図。各白抜き長方形は C++ のオブジェクトを表している。後述の自動校正機能は、Online Analyzer オブジェクト内で実装されており、Online Analyzer オブジェクトが設定パラメータを送受信しているのはそのためである。

2.3.2 自動校正機能の実装

概要において述べた基本機能に加え、SVX テレスコープの様々な校正を自動で行うための機能をソフトウェアに実装した。自動校正機能を実装した校正項目は以下ようになる。

- ペDESTAL測定
- マスクチャンネル判定

- ゲイン測定
- トリガレイテンシスキャン
 - Coarse Scan
 - Fine Scan

以下に、それぞれの項目についての解説を加える。なお、これら自動較正機能の動作試験については第3章で述べる。

ペDESTAL測定

ペDESTAL測定では、SEABAS2で生成した1msの間隔のトリガ信号をSVX4に与えてデータを取得する。ノイズ量は、ペDESTALを正規分布で近似した際の標準偏差 σ として定義される。ノイズ量から計算される信号ノイズ比(S/N比)は、検出器の重要な性能指標の1つである。他にも、ペDESTAL測定で求めた各チャンネルのペDESTAL値は、後のゲイン測定において、電荷量0の基準として用いられ、Data Sparsification機能で用いる閾値を定めるためにも用いられる。

マスクチャンネル判定

SVX4には、チャンネル単位でプリアンプの動作を停止させる機能があり、マスク機能と呼ぶ。マスクチャンネル判定機能では、センサやSVX4の故障などの原因によって機能していないチャンネルを探索し、マスクする。さらに、ペDESTALのADC値が他のチャンネルより高いチャンネルにもマスクを行う。これは、Data Sparsification機能を用いる際、閾値はSVX4ごとにしか設定できないため、ペDESTALの値は全チャンネルで揃っていることが望ましいためである。

データはペDESTALと同様の方法で取得し、以下の基準を用いてマスクするチャンネルの判定する。

- ノイズ量が、そのSVX4の全チャンネルのノイズ量の平均から5シグマ以上ずれている
- ペDESTALの値が、そのSVX4の全チャンネルのペDESTAL値の平均と比べ、ノイズ量平均の3倍以上大きい

これらの条件のいずれかを満たしたチャンネルはマスクする。

ゲイン測定

ゲイン測定では、信号の電荷量 (単位は電子数 (e^-)) と ADC 値の関係をチャンネル毎に求める。そして、その結果を用いて、各チャンネルのノイズ量も電荷量として算出する。

ゲイン測定は、SVX4 のテスト電荷入射機能を用いて行う。電荷入射に用いられる電源は、SVX4 の内部の電源と外部の電源の間で切り替えが可能である。外部電源を用いると、入射電荷量は可変にでき、電源電圧 $V(V)$ と入射電荷量 $Q(e^-)$ は、 $V = 1.560 \times 10^5 \times Q$ という関係にある。

ゲインは、ADC 値と入射電荷量の関係が線形であると仮定して、電荷量と ADC 値の関係を直線で近似した時のその直線の傾きで定義する。すなわち、ゲインの単位は、 e^-/ADC^\dagger となる。

トリガレイテンシスキャン

トリガレイテンシスキャンは、 β 線源を用いた試験や、ビーム試験の際、信号を最も効率よく得られるように、トリガレイテンシを調整する機能である。概念図を図 2.16 に示す。

トリガレイテンシスキャンでは、Data Sparsification 機能をオンにし、ペDESTアル測定によって設定した閾値を超えたチャンネル (ヒットチャンネル) の数を見る。Coarse Scan では、PickDel の値を変えながら、データを取得し、ヒットチャンネル数が最大となる PickDel の値を探索する。

Coarse Scan のみでは、信号が2つのコンデンサに分割され記録されている可能性があるため、さらに Fine Scan を行い、信号が1つのコンデンサに収まるようにする。Fine Scan では SVX4 に信号が入射してから、トリガが発行されるまでの時間を、間に遅延モジュールなどを挿入することにより 10 ns ずつ変えていき、ヒットチャンネル数が最大になる点を探す。4.2 節で後述する Trigger Logic Unit を用いると、この遅延量の変更も自動で行うことができる。

2.4 筐体制作

SVX テレスコープ本体基板上にはセンサと SVX4 が露出した状態で実装され、ワイヤボンディングで繋がれている。これらは物理的な接触に極めて弱いため、保護が必要である。また、SVX4 や電源レギュレータの排熱は、センサの暗電流増加やワイヤボンディングへの負荷をもたらす。他にも遮光や設置を簡易に行う方法も課題であった。これらの課題を解決するため、本体基板を収めるための筐体と、筐体を設置することができるレールを設計、製作した。

製作した筐体を図 2.17 に示す。筐体はアルミ製とし、ビームが通過する部分には穴を開け、ブラックシートで覆っている。また、冷却用の乾燥空気を循環させ

[†]単位に用いられる ADC は、1 ADC 値を表す。

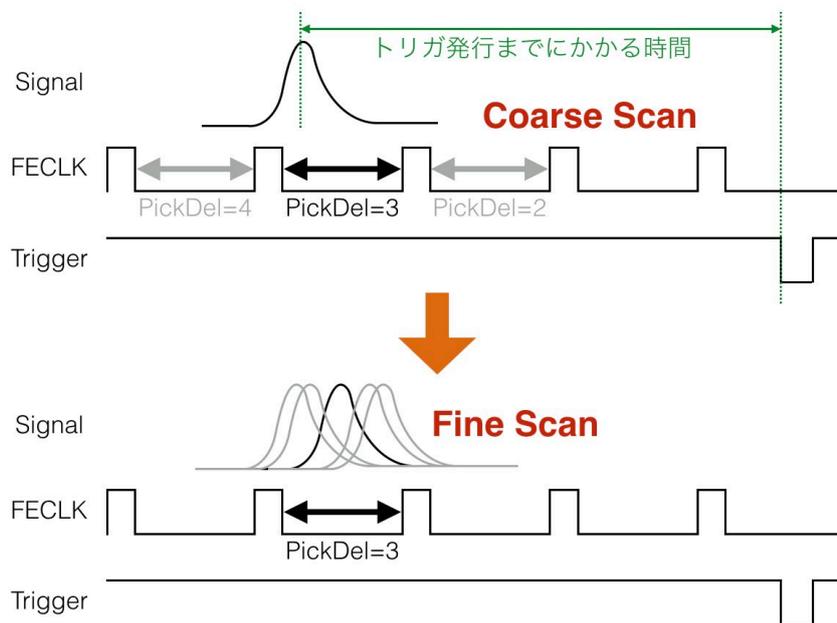


図 2.16: トリガレイテンシスキャンの概念図。Coarse Scan では、SVX4 の設定レジスタ PickDel の値を変化させてゆくことによって、信号の記録されているコンデンサを探索する。Fine Scan では、トリガレイテンシの長さを微調整して、全ての信号が 1 つのコンデンサに収まるようにする。

るために、2箇所にごスチューブを取り付けるためのソケットを備えている。そして、別途製作したレールを用い、設置や本体基板の間隔の調整を容易に行えるようにしている。

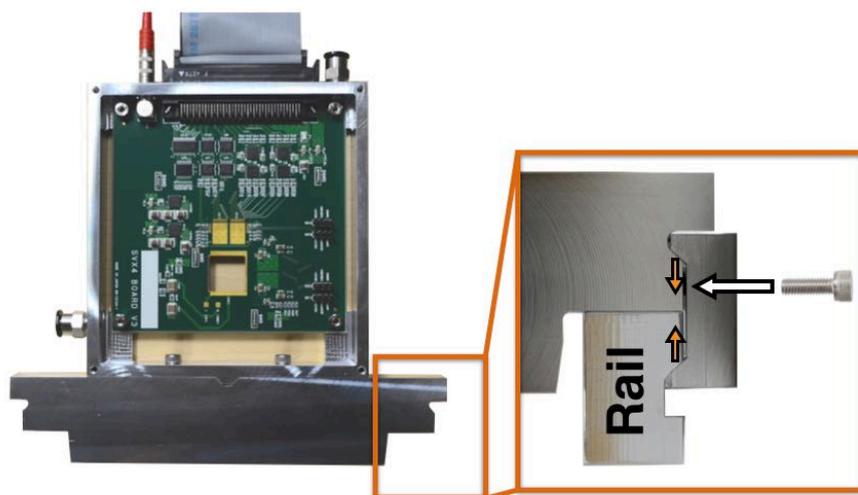


図 2.17: SVX テレスコープを取めた筐体の写真。固定具とレールによって、容易に固定かつビーム軸方向へスライドすることができる (図右部)。

第3章 SVX テレスコープの動作試験

実験室において試験可能な項目について、SVX テレスコープの動作試験を行った。本章ではその結果を記す。

3.1 基本動作

3.1.1 ペDESTAL

SEABAS2 上で作った 1 ms の間隔のトリガを SVX4 に入力することによって、ADC 分布上にペDESTALピークが得られるかどうかを確かめた。図 3.1 に、この時得られた ADC 分布を示す。図 3.1 に示したように、この時の ADC 分布は低 ADC 値側にテールを持っている。この低 ADC 値側に現れたテールを調べるため、ADC 値の時間変化を見たものが図 3.2 である。図 3.2 から、初めの数事象においてペDESTALが下がることにより、テールを作っていることがわかった。さらにペDESTALが下がる条件を調べると、ペDESTALが下がる事象の直前では、トリガの間隔が 1 秒以上空いていることが判明した。すなわち、トリガ間隔が 1 秒以上空くと、全てのチャンネルのペDESTALが、ノイズ以上に有意に下がる。そこで、各事象で全チャンネルの ADC 値の平均を取り、その平均が、ペDESTALが変化しない時間領域での平均 ADC 値から 5 シグマ以上下回った事象と、その直後の 10 事象を取り除くことにより、図 3.3 に示すように正規分布で近似できるペDESTALピークが得られた。ノイズ量の測定については後に 3.2 節中のゲイン測定の項で述べるが、先に結果のみを述べると、ノイズ量は ADC 値にして 1.51、電荷量では $1359 e^-$ であった。これはビーム試験で期待される、Minimum Ionizing Particle (MIP) で得られる電荷量の $23,000 e^-$ と比較して、およそ 17 分の 1、すなわち S/N 比は 17 である。

次に、各チャンネルのペDESTALの一様性について調べた。1 つのセンサについて、各チャンネルのペDESTALの平均値を見たものを、図 3.4 に示す。これから、各 SVX4 において、チャンネル番号が若いものほどペDESTALが高くなる傾向があることがわかった。SVX4 のペDESTALの非一様性は、文献^[6]にて報告されているが、この文献で報告されている非一様性は、SVX4 の中心付近のチャンネルにおいてペDESTALが高くなるものであり、今回の動作試験で得た、若いチャンネル番号ほどペDESTALが高くなる非一様性との関連は不明である。

今回の動作試験で得たチャンネル間のペDESTALの差は、最大でおよそ 5 ADC カウントであった。これは、後に 3.2 節で行うゲイン測定の結果を用いると、約

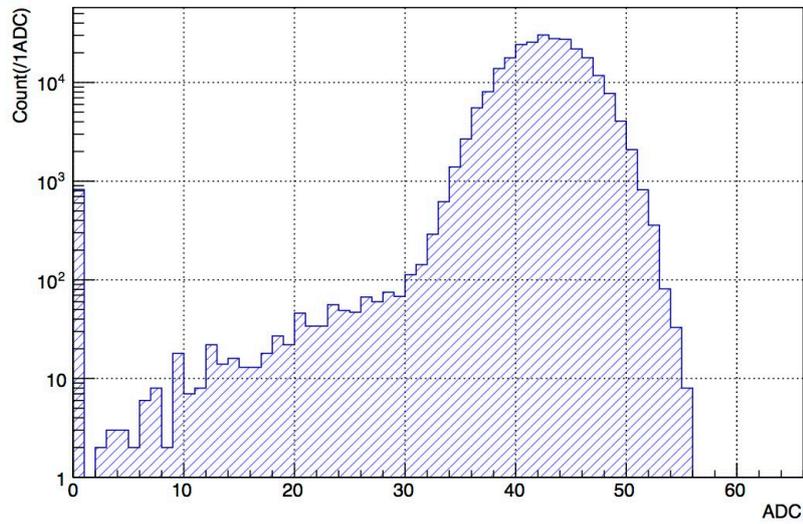


図 3.1: ランダムな間隔でトリガを入れた時の ADC 分布。ある 1 枚の SVX4 について、全チャンネルの ADC 分布を足しあげた。ただし、センサの端にあたるチャンネルは振る舞いが異なるため除外した。

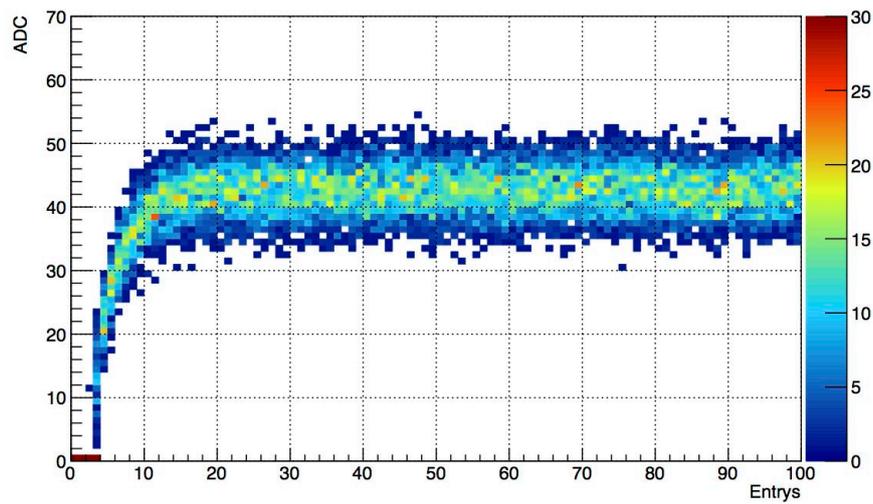


図 3.2: ペDESTAL の変化。横軸は事象番号、縦軸は ADC 値で、ある SVX4 の全チャンネルの ADC 値を重ね書きしている。

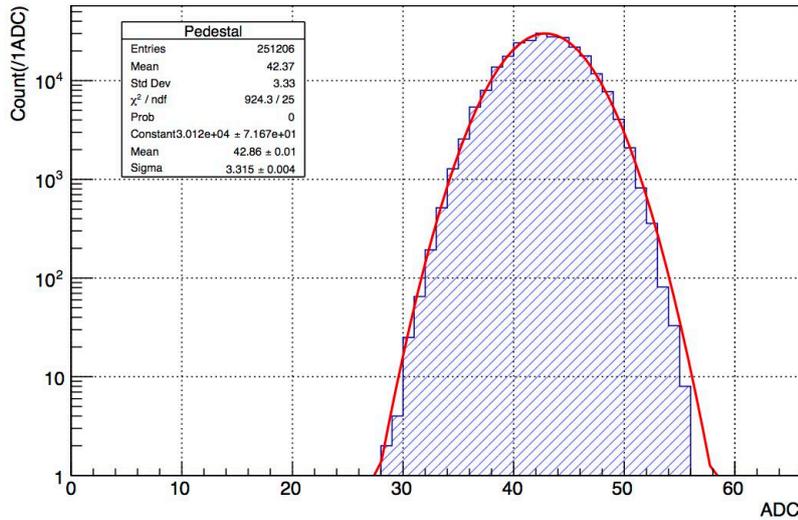


図 3.3: 解析によりテールを取り除いて得られたペDESTALピーク。近似曲線は正規分布を用いている。

4500 e⁻(= 0.2 MIP) に相当する。Data Sparsification 機能において、データ圧縮の基準とする閾値は、SVX4 ごとにしか設定できないため、データ圧縮の効果を最大にするため、最大のペDESTALを持つチャンネルに閾値を合わせると、ペDESTALが低いチャンネルでは、閾値を超えづらくなり、信号を取りこぼす恐れがある。しかし、電荷分割によって、MIP の電荷がちょうど半分に分割されたとしても、ペDESTALのばらつきである 0.2 MIP にノイズ (= 0.06 MIP) を加えた分より大きい電荷が得られることが期待出来る。また、Data Sparsification 機能において、閾値を超えたチャンネルに隣接するチャンネルは、電荷分割により閾値を超えない程度の信号を記録している可能性があるために、強制的に読み出すことができる (Read Neighbor 機能)。よって、閾値を最大のペDESTALを持つチャンネルに合わせて設定しても、Read Neighbor 機能を用いれば、ペDESTALのばらつきによる小さな信号の取りこぼしは起こらないと考える。したがって、得られたペDESTALのばらつきは問題ないと結論付けた。

図 3.5 は、ペDESTALを差し引いた値を ADC 値として出力させ、ADC 値の範囲を有効に使えるように、RTPS 機能を動作させた場合のペDESTAL分布である。ここでは RTPS 機能を使っていない時に現れていた、低 ADC 値側のテールが現れていない。これは RTPS 機能において、差し引かれるペDESTALというのは、全チャンネルの平均を取ったものであり、全チャンネルで同時に起こるペDESTALの変化を打ち消すことができるためである。

ペDESTALの一様性について、RTPS 機能を動作させた場合に調べた結果を図 3.6 に示す。ペDESTALの一様性について、図 3.6 からは、RTPS 機能の動作による変化は見られなかった。RTPS は全チャンネル一定の ADC 値を差し引く機能であることから、この結果も期待通りである。

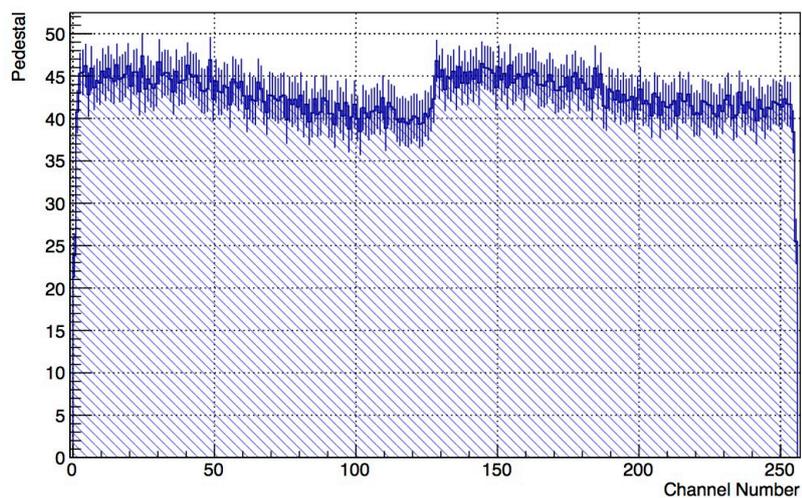


図 3.4: 1つのセンサについての各チャンネルのペDESTALの平均値。縦軸がペDESTALの平均値で誤差棒はRMSを表す。横軸はチャンネル番号である。

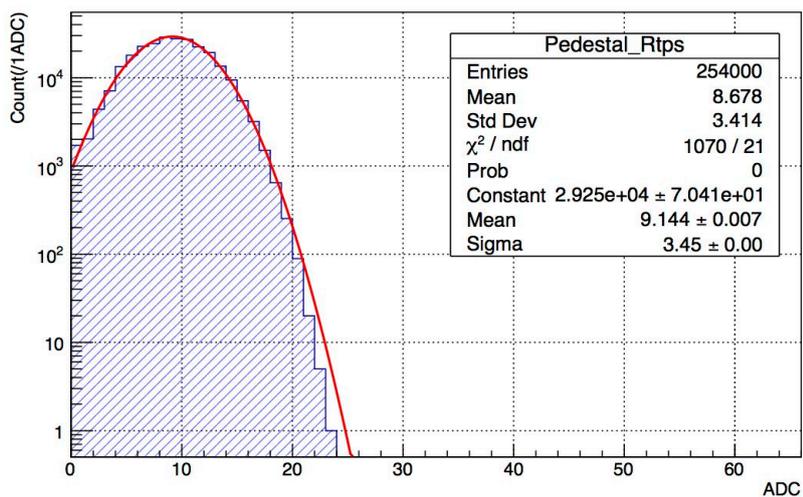


図 3.5: RTPS 機能を用いた際の ADC 分布。

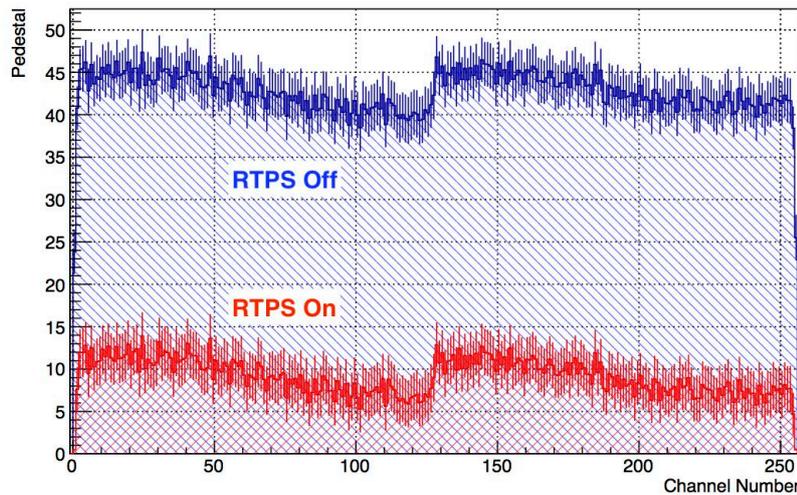


図 3.6: RTPS 機能をオンとオフにした場合の各チャンネルのペDESTALの平均値。赤が RTPS 機能オンの場合、青がオフの場合である。誤差棒は RMS を表す。

3.1.2 テスト電荷の入射

次に、テスト電荷の入射機能が正しく動作するかを確かめた。

SVX4の入力パッド CalSR にパルスを与えると、SVX4自身がテスト電荷を生成し、設定用レジスタに書き込んだ値に応じたチャンネルにテスト電荷を入射する。CalSR のパルスを入力したタイミングに対応する PickDel の値を設定し、テスト電荷を入射したコンデンサから信号を読み出す。以上の手順でテスト電荷を入射した時の各チャンネルの ADC 分布を見たものが図 3.7 である。この時、設定により、4チャンネル毎にテスト電荷を入射するチャンネルと入射しないチャンネルを並べたのであるが、図 3.7 において、4チャンネル毎にペDESTAL値を返すチャンネルと、ペDESTALより大きい値を返すチャンネルが並んでいることから、テスト電荷の入射が正しく行えることが示せた。

先ほどは、テスト電荷の生成に SVX4 の内部電源を使用した。次に外部電源を用いて入射電荷量を変化させ、外部電源の電圧と電荷が入射されたチャンネルの ADC 値の関係を調べた。図 3.8 に示した結果のように、入力電圧と ADC 値の間には良い線形関係がある。しかし、外部電源を用いた時と、内部電源 (仕様値 0.833 V) を用いた場合の結果は一致しない。ペDESTALの ADC 値も外部電源を用いた結果からの予想値と一致しない。外部電源の電圧値は、SVX テレスコプの本体基板上で測定しているが、測定点と SVX4 の間には抵抗などの素子が存在するために、実際に電荷入射に使われる電圧値が低くなっている可能性がある。しかし、詳細は不明である。ペDESTALと内部電源による結果から求めた直線の傾きと、外部電源による点から求めた直線の傾きはほぼ同じであるため、後に行うゲイン測定では、傾きは外部電源によるものを用い、切片はペDESTALの値を用いることとする。

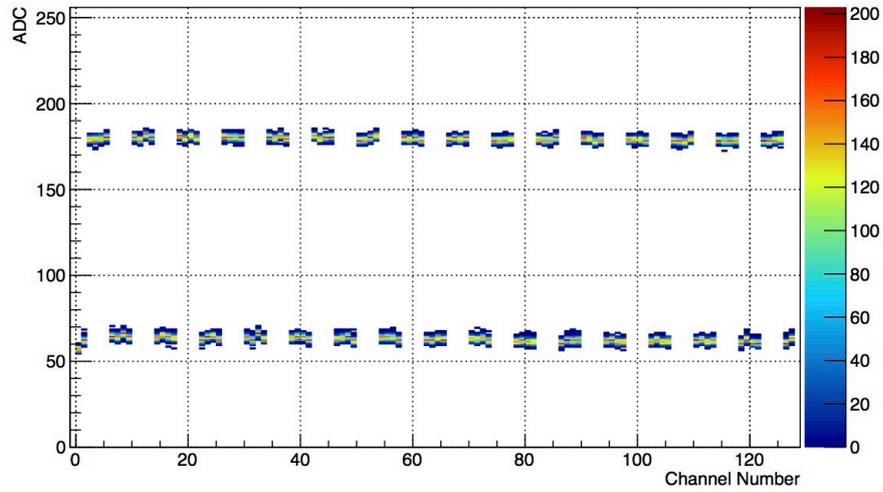


図 3.7: テスト電荷を入射した時の各チャンネルの ADC 分布。横軸がチャンネル番号、縦軸が ADC 値である。4チャンネル毎にテスト電荷を入射したチャンネルとしていないチャンネルが並んでいる。

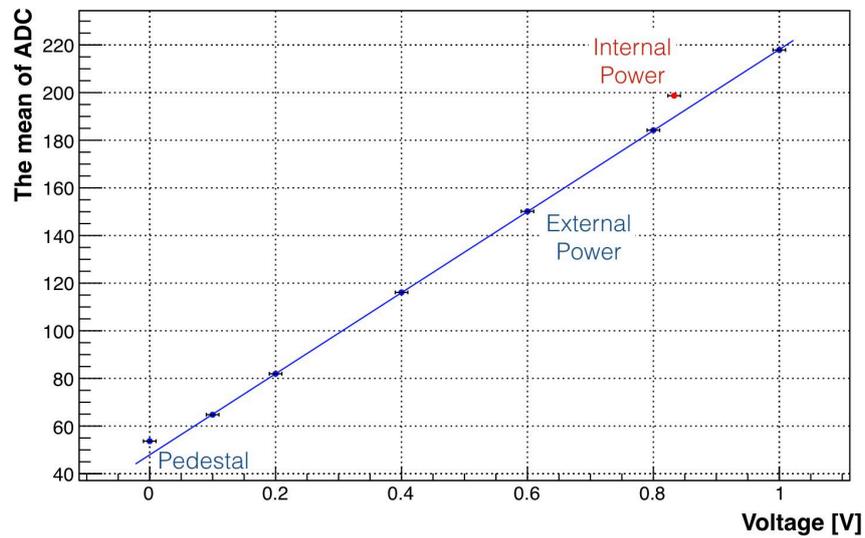


図 3.8: テスト電荷入射用外部電源の電圧と、テスト電荷が入射されたチャンネルの ADC 値の平均との関係。ADC 値には、平均値の誤差に基づき誤差棒をつけているが、小さいため見えない。直線は、ペDESTALを除いた6点で近似したものである。赤点は内部電源(仕様値0.833V)による点。

3.1.3 β 線源による試験

次に β 線源である ^{90}Sr を用いて、 β 線が検出できるかどうかを確かめた。SVX テレスコープ本体基板を2枚重ね、 β 線源をそのセンサの手前に置き、 β 線源とセンサの先に、トリガカウンタとしてプラスチックシンチレータ検出器を1つ置いた。SVX テレスコープと β 線源、プラスチックシンチレータ検出器の位置関係を図3.9に示す。

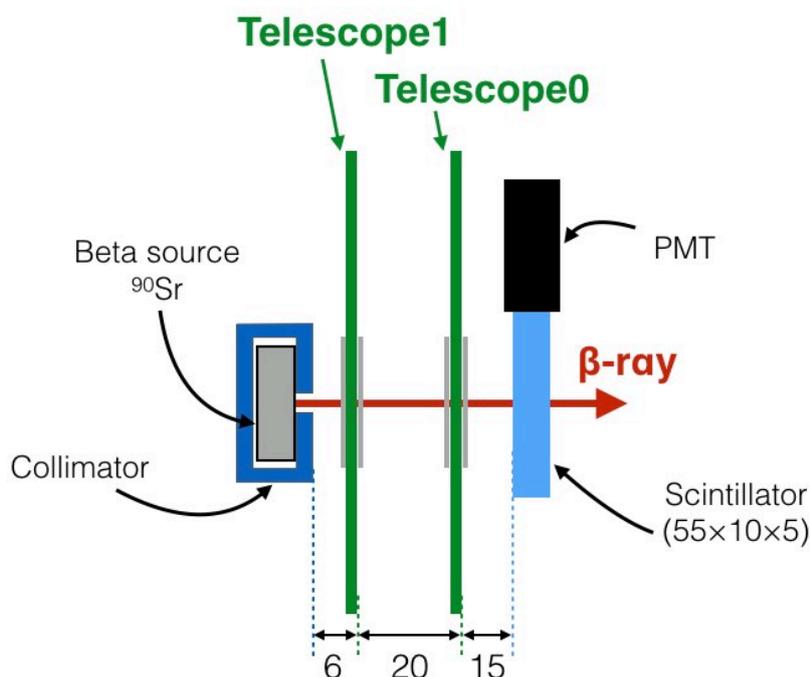


図 3.9: SVX テレスコープと β 線源、プラスチックシンチレータ検出器の位置関係。SVX テレスコープ本体基板の側にある灰色の線は、本体基板に接着されたセンサを表す。

β 線源による試験を行った時の各チャンネルのADC値分布を見たものが図3.10である。図から、ペDESTALの上部に β 線による信号が見えている。

次に、2枚のSVX テレスコープ本体基板間でのヒット検出位置の相関を見た。ヒット検出位置の相関図を図3.11に示す。 ^{90}Sr の β 線エネルギーは、546 keV (これに加え、 ^{90}Sr の崩壊先である ^{90}Y からの、2280 keV β 線も存在)と低いため、多重散乱によりぼやけてはいるが、相関が確認できる。

3.1.4 電荷収集効率補正用 TDC

TDCの動作確認は、START信号であるFECLKをループバックし、遅延モジュールを介してトリガ入力とする方法で行った。その結果得られた、遅延時間とTDC値

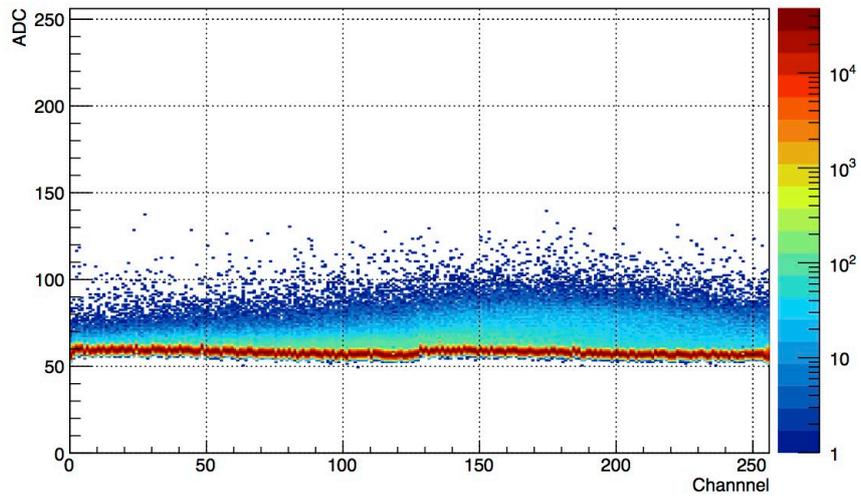


図 3.10: SVX テレスコープの 1 つのセンサについてみた、 β 線源による試験の際の各チャンネルの ADC 分布。横軸はチャンネル番号、縦軸は ADC 値を表す。センサのチャンネル番号 180 付近で、最もゲインが大きくなっているように見えるが、これは β 線源の中心がこの付近にあり、統計数の違いによるものである。

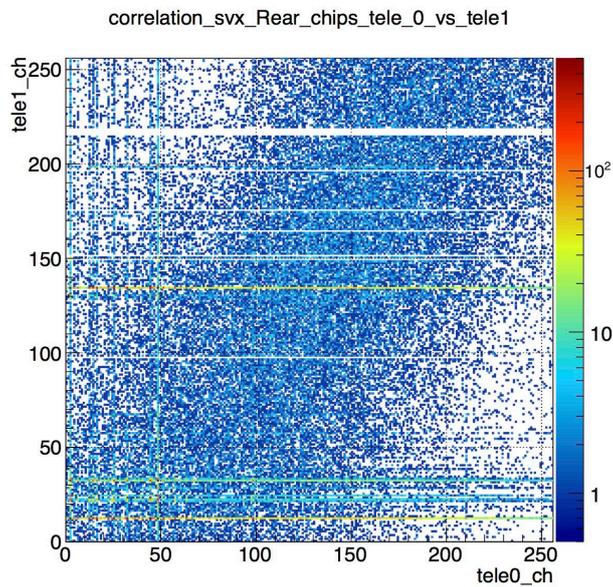
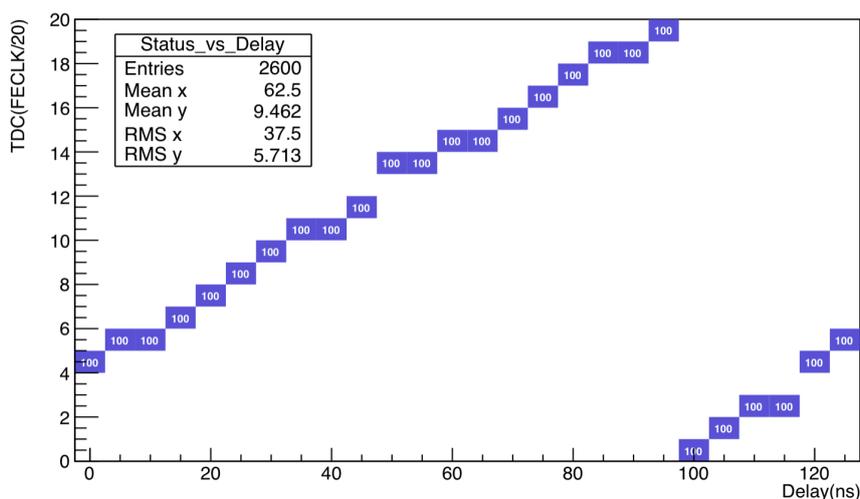


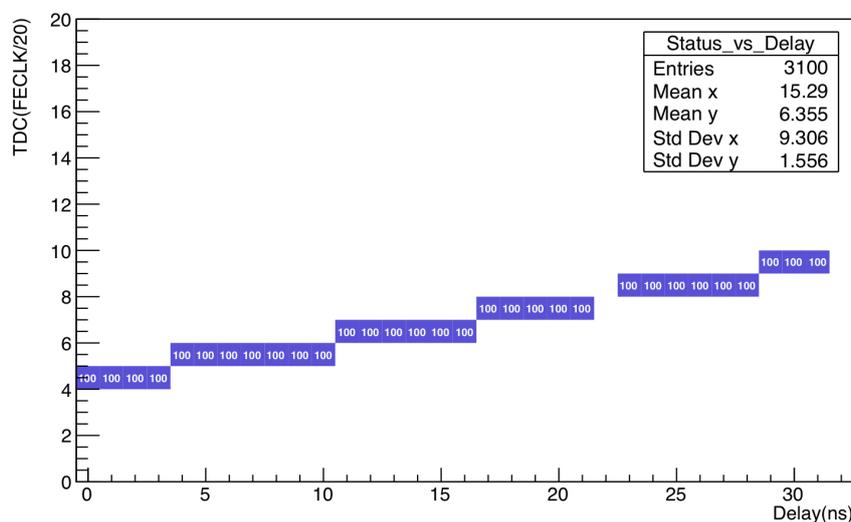
図 3.11: β 線源による試験の際の、2 枚の SVX テレスコープ本体基板で見た、ヒット検出位置の相関。横軸は線源に近い方の SVX テレスコープ本体基板のヒット検出位置、縦軸は線源から遠い方の SVX テレスコープ本体基板のヒット検出位置である。ヒット検出位置はここでは、センサ中で最大の ADC 値を持つチャンネルの位置を指す。

の関係を図 3.12 に示す。図 3.12 において、遅延時間を増やしていくにつれて TDC の値が線形に増加していく様子が見えており、TDC が正しく動作していることが示せた。

次に、 β 線源による試験を再び行い、図 3.13 に示すように、FECLK の立ち上がり立ち下がり時に、予想通り収集電荷量が少なくなっていることを確認した。従って、実装した TDC により電荷収集効率の補正や、電荷収集効率の値によるカットが行えることを示せた。



(a) 遅延時間を 0 ns から 125 ns の範囲で 5 ns 刻みで変化させたもの。



(b) 遅延時間を 0 ns から 30 ns の範囲で 1 ns 刻みで変化させたもの。

図 3.12: TDC の値と遅延時間の関係。横軸が遅延時間、縦軸が TDC の値である。各遅延時間において 100 事象のデータを取得している。箱の中の数字は、そのビンにおける事象数を表す。

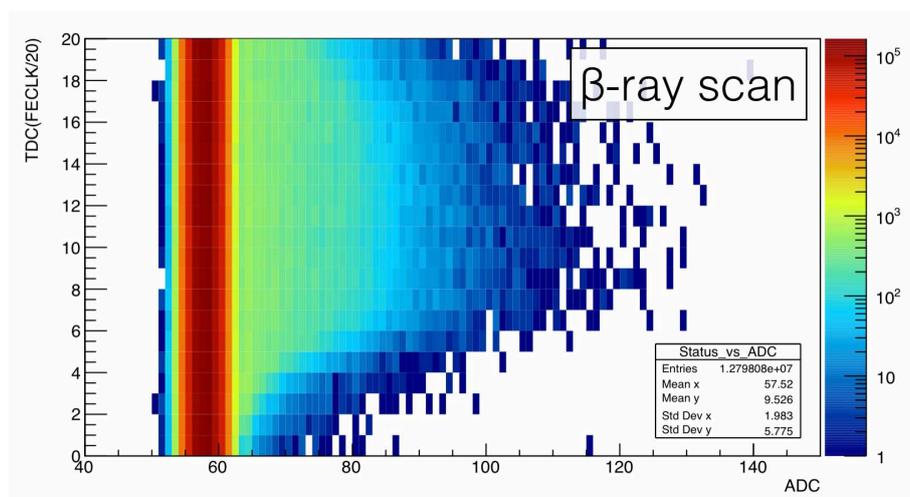


図 3.13: β 線源による試験で得られた、電荷収集効率補正用 TDC の値と ADC 分布の関係。横軸はある 1 枚の SVX4 の全てのチャンネルの ADC 分布、縦軸は TDC の値である。

3.2 自動較正機能

3.2.1 マスクチャンネル判定

図 3.14 は、ある 1 枚のセンサについて、ペDESTALピークの平均値と RMS を見たものである。チャンネル番号 150 と 215 付近に、常に ADC 値 255 を返すチャンネルや、チャンネル番号 150 から 200 の間に、常に ADC 値 0 を返すチャンネル、または他のチャンネルより ADC 値が高く出ているチャンネルが存在している。

図 3.14 のデータを基に、マスクチャンネル判定機能を用いてマスクされたチャンネルの領域を図 3.15 に示す。また、マスクを行った後のペDESTALピークの平均値と RMS を図 3.16 に示す。図 3.15 に示したマスクされたチャンネルによって、図 3.14 に存在した異常な値を返すチャンネルがマスクによって取り除かれ、ペDESTALが一様になることを、図 3.16 で確認した。

3.2.2 ゲイン測定

ゲイン測定機能によって出力されたヒストグラムを図 3.17、3.18、3.19 に示す。図 3.17 はあるチャンネルについてみた、入射電荷量と ADC 値の関係 (ゲインカーブ) で、図 3.18 はゲインカーブを直線近似した時の、その傾きから求めたゲイン値の分布、図 3.19 は各チャンネルで求めたゲインの値から計算された、ペDESTAL を正規分布で近似した時の標準偏差、すなわちノイズ量の分布である。

図 3.18 の正規分布による近似の結果、各チャンネルごとのゲインのばらつきは約 1% であった。よって、以降の解析においてゲインは全チャンネルについて一様

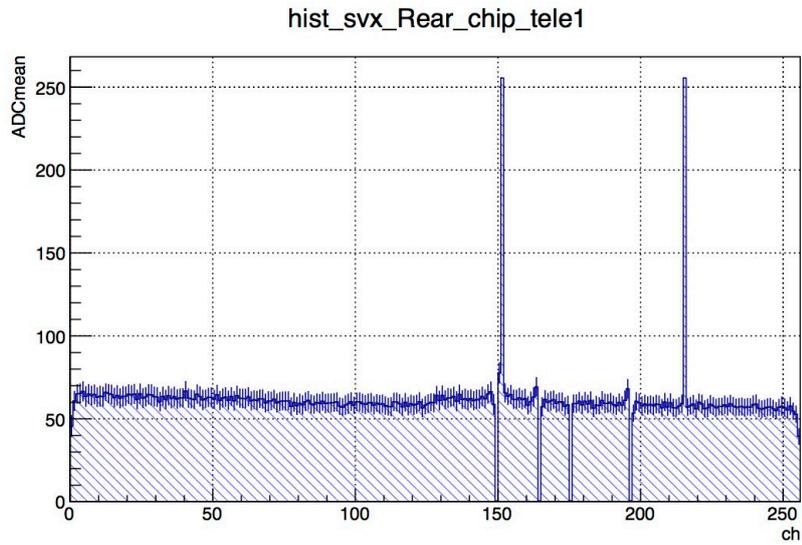


図 3.14: マスク前の各チャンネルのペDESTALピークの平均値と RMS(誤差棒)。常に ADC 値 255 を返すチャンネルや、常に ADC 値 0 を返すチャンネルが存在していることがわかる。

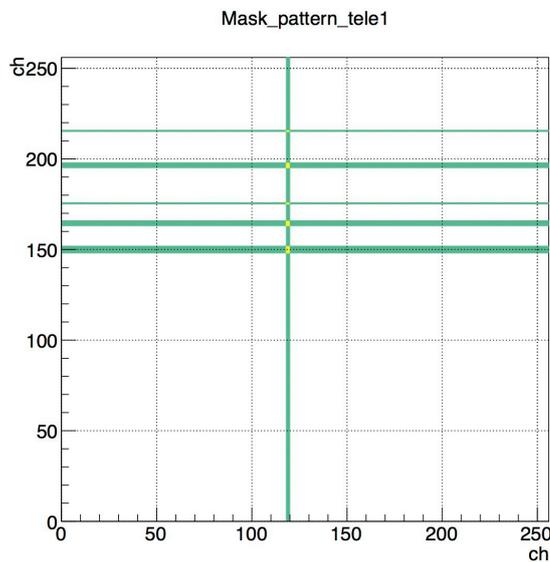


図 3.15: マスクされたチャンネル。緑色に塗られた領域は、その場所に、SVX テレスコプ本体基板の裏表に貼られた 2 枚のセンサのうち、片面のみマスクチャンネルがあることを表し、黄色に塗られた領域は、両面ともマスクチャンネルがあることを表している。

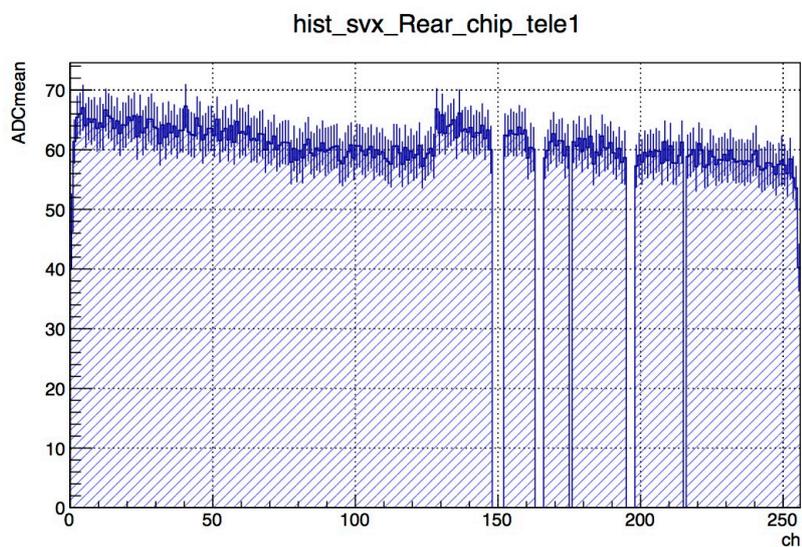


図 3.16: マスクチャンネル判定機能でマスクを行った後の各チャンネルのペDESTALピークの平均値と RMS (誤差棒)。

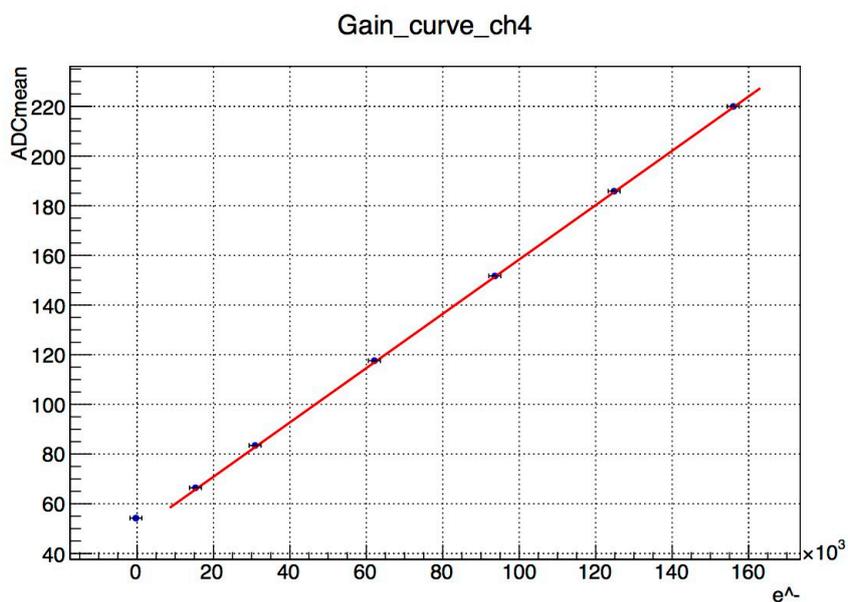


図 3.17: あるチャンネルにおけるゲインカーブ。赤線は各点を最もよく近似する直線である。最も左下の点はペDESTALであり、この点は直線近似には用いていない。

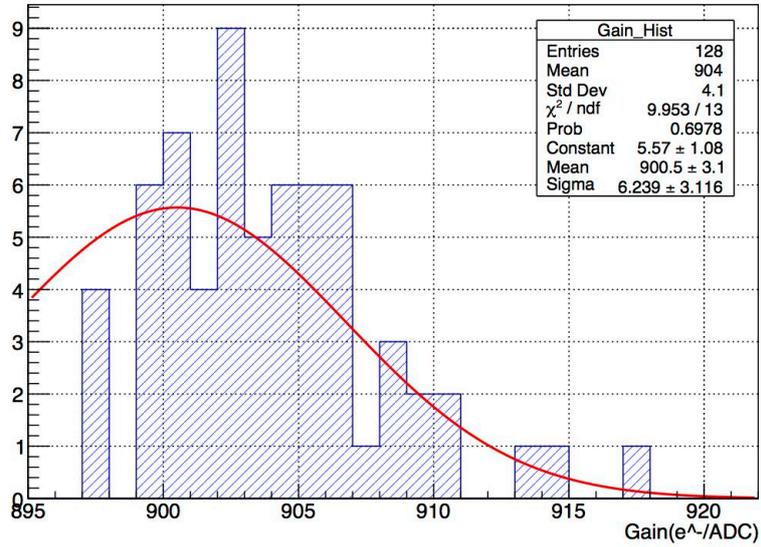


図 3.18: 各チャンネルについて求めたゲインの分布。赤線は正規分布による近似曲線。

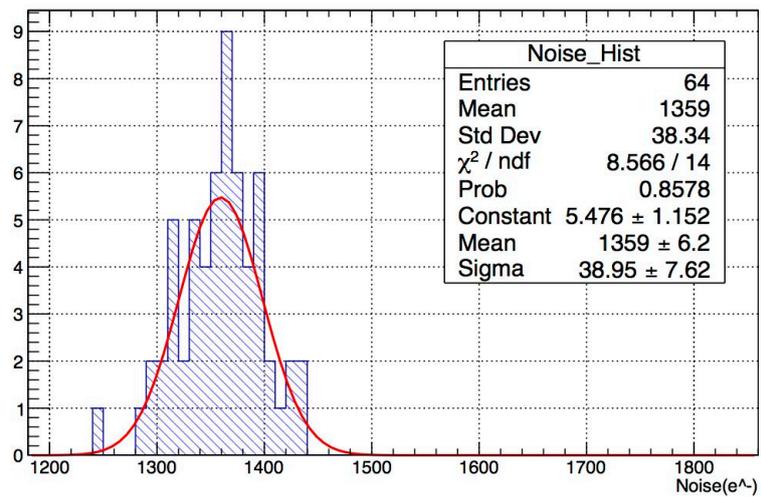


図 3.19: 各チャンネルについて求めたノイズ量の分布。赤線は正規分布による近似曲線。

とすることにする。また、ノイズ量を平均 $(1359 \pm 39) e^-$ と求めた。誤差はノイズ量分布の標準偏差を用いた。

上記ノイズ量は、センサに逆バイアス電圧を印加していない場合で、印加した場合は、センサの静電容量が小さくなるため、ノイズ量は小さくなる。このため、センサに逆バイアス電圧を印加した状態で、改めて各チャンネルのペDESTAL値を測定しノイズを求めた。図 3.13 はセンサに逆バイアス電圧を印加した場合のノイズ量分布であり、この分布を正規分布で近似した結果、センサに逆バイアス電圧を印加した場合の平均ノイズ量は $(904 \pm 5) e^-$ と測定した。文献^[6]によると、SVX4 のノイズ量は $(728.5 + 56.41 \times C [\text{pF}]) [e^-]$ という近似式が、測定により求められている。ここで、C は SVX4 の入力に接続された負荷静電容量を表す。SVX テレスコプのシリコンストリップセンサの負荷静電容量は約 1.5 pF であるので、この近似式より求められるノイズ量は $810 e^-$ であり、今回の測定と 1 割の違いで一致する。

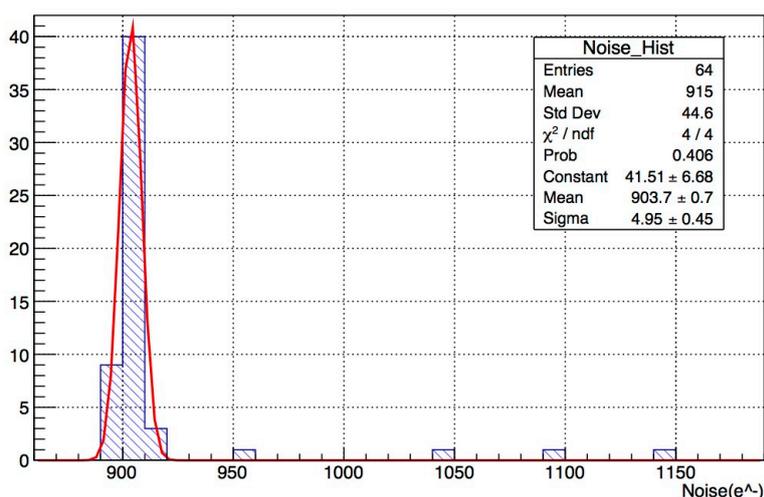


図 3.20: センサに全空乏化電圧を印加した時の、各チャンネルについて求めたノイズ量の分布。赤線は正規分布による近似曲線。

3.2.3 トリガレイテンシスキャン

トリガレイテンシスキャンを Coarse Scan と Fine Scan の順に行った。実験セットアップは β 線源による試験と同じである。まず、Coarse Scan の結果を図 3.21 に示す。これより、PickDel = 7 で、ヒットチャンネルの数が最大になることがわかる。

Coarse Scan において、最もヒットチャンネルの数が多い PickDel の値の 1 つ前 (PickDel = 6) においてもヒットチャンネルが見られる。これは信号が、PickDel = 7 と PickDel = 6 に対応する、2 つのコンデンサに分割されて記録されていることを

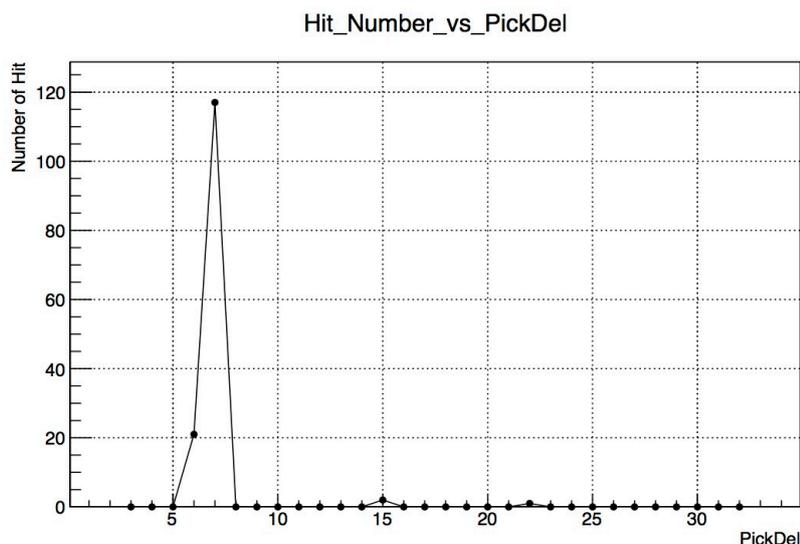


図 3.21: Coarse Scan の結果。横軸はSVX4の設定用レジスタの1つである、PickDel の値。縦軸が閾値を超えたチャンネルの数 (ヒットチャンネル数) である。

示唆する。そのため、Fine Scan においては、トリガにかける遅延を増やしていき、ヒットチャンネル数の変化を見た。図 3.22 に示すように、ヒットチャンネル数は遅延時間の変化によって緩やかなカーブを描き、遅延時間 20 ns から、60 ns の間で極大を取る。したがって、PickDel = 7 で、トリガにおよそ 40 ns の遅延をかければ、得られる電荷量が最大になる。

3.3 事象取得レート

SVX テレスコープの読み出しシステムにおいて、事象取得レートの上限を調べるため、ランダムな間隔のトリガを入力した時の、入力したトリガの平均周波数と、実際に取得できた事象取得レートとの関係を見た。ランダムな間隔のトリガは、プラスチックシンチレータ検出器に β 線源からの β 線を当てて作成した。入力したトリガの平均周波数は、スケーラを用いて 10 秒間計数して求め、実際に取得できた事象取得レートは 100 万事象の取得にかかった時間を測定して求めた。ビーム試験で想定している使用法に則り、SVX テレスコープの本体基板は 4 枚用いた。

まず、Data Sparsification 機能をオフにして、全チャンネルの ADC 値を読み出した場合について調べた。その結果を図 3.23 に示す。図 3.23 から、入力するトリガの周波数をあげても、4kHz ほどで事象取得レートは飽和することがわかる。この飽和した値が事象取得レートの上限となる。事象取得レートの 4kHz は、SEABAS2 からのデータ転送レート 130 Mbps に相当し、これは Gigabit Ethernet の転送速度 1 Gbps の 1 割程度である。PC へのデータの送出手間が滞りなく行われた場合、ファームウェアでのデータの処理、送出手間にかかる時間は一定であり、この間のトリガを受け付けられない不感時間はおよそ 60 μ s であるため、単純計算では事象取得レートの上

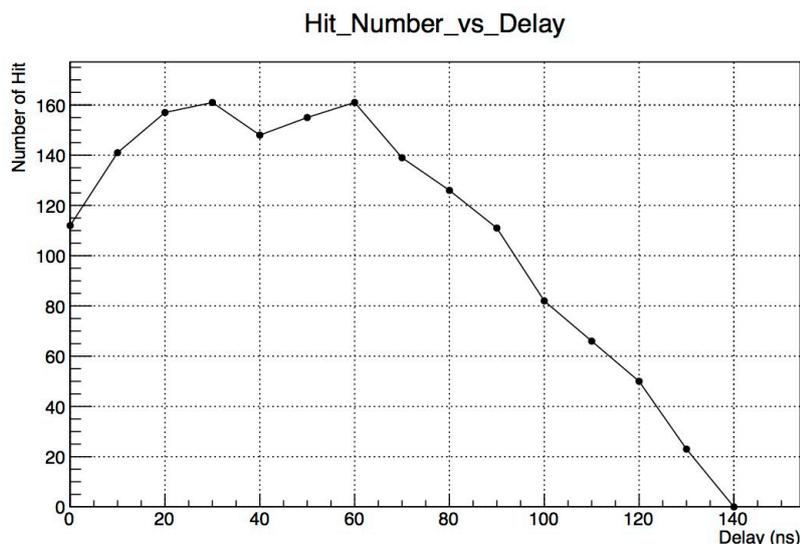


図 3.22: Fine Scan の結果。横軸はトリガにかけた遅延の量、縦軸はヒットチャンネル数である。

限はおよそ 16 kHz となるはずである。実測値の 4 kHz が計算値に達していないことから、データのデコードや、ディスクへの書き込みなど、ソフトウェアでボトルネックが生じていると推測する。特に、SVX テレスコープの読出しソフトウェアでは、データを解析フレームワークである ROOT で扱える形式で保存しており、圧縮処理が存在するため、これがボトルネックになっている可能性がある。

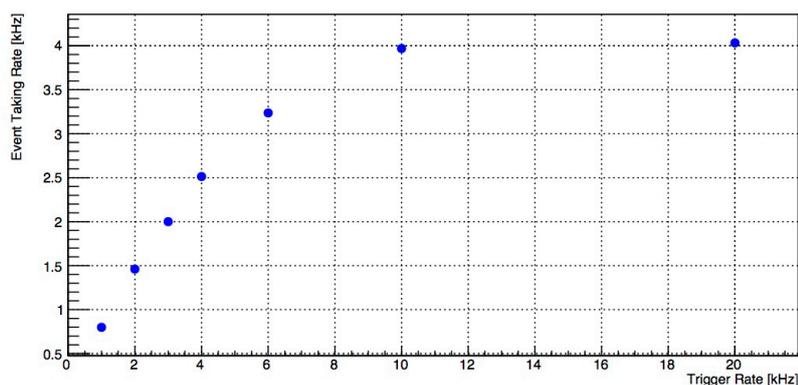


図 3.23: Data Sparsification 機能をオフにした場合の事象取得レート。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。

次に、Data Sparsification 機能をオンにして、事象取得レートを見た。結果を図 3.24 に示す。この時、1 事象あたりのデータ量は 238 byte であり、これは、Read Neighbor 機能を動作させた場合、1 枚のセンサあたり 4 つの荷電粒子がヒットした場合のデータ量に相当する。よってこのデータ量は、実際の使用状況において現実的なものである。図 3.24 では、20kHz ほどで事象取得レートの飽和が見られ

る。Data Sparsification 機能をオンにし、データを圧縮すれば、事象取得レートの上限は、開発目標のおよそ 2 倍である 20kHz となることがわかった。

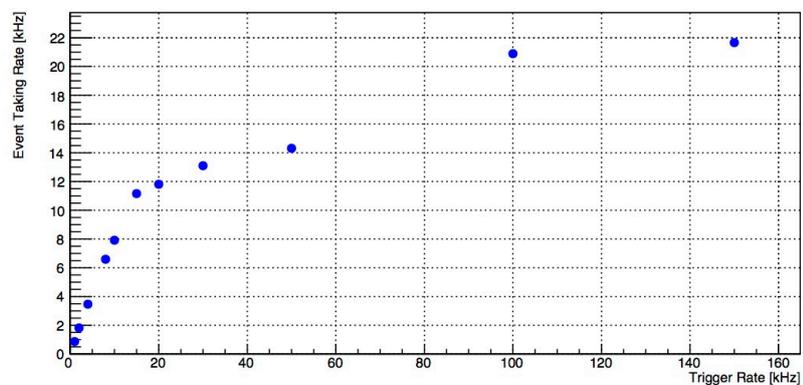


図 3.24: Data Sparsification 機能をオンにした場合の事象取得レート。

第4章 SVX テレスコープを用いたシリコン検出器の試験用システムの開発

SVX テレスコープを用いた ATLAS 実験アップグレード用シリコン検出器の試験をするための、SVX テレスコープと DUT との統合読み出しシステムを開発した。この統合読み出しシステムは、特定の DUT に限定しない汎用的なものを目指して設計を行なっているが、本研究においては、システムの有効性を確認するために、統合読み出しシステムに ATLAS 実験アップグレード用ピクセル検出器を DUT として組み込んだ。

この統合読み出しシステムでは、ヒット位置分布、ヒット位置の相関といった基本的なデータの表示や、SVX テレスコープと DUT のデータの正しい統合がオンラインでできることを目標とする。

4.1 ATLAS 実験アップグレード用ピクセル検出器との統合

4.1.1 ATLAS 実験アップグレード用ピクセル検出器について

ATLAS 実験アップグレード用ピクセル検出器 (以下、単にピクセル検出器と呼ぶ) は、2026 年のインストールを目指して現在開発が進められている。今回扱うピクセル検出器は、センサと読み出し ASIC が、後に説明するバンプボンディングという手法で接合された、ハイブリッド型と呼ばれるものである。センサは浜松ホトニクスが製造したものを、読み出し ASIC は FE-I4B^[8] を使用している。

読み出し ASIC FE-I4B

ピクセル検出器の信号読み出し用 ASIC である、FE-I4B について解説する。FE-I4B の仕様を表 4.1 にまとめた。

高ルミノシティ環境下での使用を想定しているため、FE-I4B は 300 Mrad の高放射線被曝に耐え得るよう設計されている。FE-I4B は、チップの大きさが 18.8 mm × 20.2 mm と、高エネルギー物理学実験で使われるものとしては最大である。シリ

表 4.1: ピクセル検出器信号読み出し用 ASIC FEI4 の仕様。

ピクセルの大きさ	50 μm \times 250 μm
ピクセル数	80 Column \times 336 Row
信号の読み出し方式	DC 型読み出し、負極性
暗電流耐性	100 nA
最大読み出し電荷量	100,000 e^-
ADC	4bit 深さ、ToT 方式
動作クロック周波数	40 MHz
データ出力レート	160 Mbps
最大トリガレイテンシ	6.4 μs
放射線耐性	300 Mrad

コンピクセルセンサは FE-I4B に覆いかぶさるように配置され、両者の端子同士は、バンプと呼ばれる突起によって接続されている (バンプボンディング)。センサからの信号は、バンプを介して FE-I4B に送られた後、デジタル信号に変換される。FE-I4B は、信号の大きさをデジタル値に変換する ADC は搭載しておらず、代わりに信号が閾値を超えた時間 (Time over Threshold、ToT) を、クロック周期の単位で出力する。ToT と電荷の関係は、FE-I4B の内部で生成したテスト電荷を、センサの信号の代わりに入射することにより測定でき、図 4.1 のような関係になる。FE-I4B は、信号が閾値を超えたチャンネルのデータのみ出力する。さらに FE-I4B は、チップ 1 枚当たり 512bit の Global Register と、各チャンネル毎の 14bit の Local Register という設定用レジスタを搭載しており、アンプの帯域や、トリガレイテンシ、テスト電荷の入射量など、設定用レジスタを通じて非常に多岐にわたる動作を変更できる。

FE-I4B の基本的な入力インターフェースは、1 つの信号ラインを介して送る 10 種のシリアルデータ (コマンド) という形でまとめられている。10 種のコマンドで、設定用レジスタの書き込みや読み出し、テスト電荷の入射、トリガの入力などを行う。

FE-I4B は微細化によるデータ量の増加に対応するために 160 Mbps という高いデータ出力レートを持つ。また、FE-I4B はデータを 8b/10b という形式で符号化して出力できる。8b/10b では元のデータを 8bit ずつに区切り、それぞれを 10bit の符号化したデータに変換する。8b/10b の利点として、Low や High が 4 クロック以上続かないようになっており、信号からサンプリングのためのクロックの復元が可能であることや、Low と High の割合が常に 1:1 になることにより DC バランスを保つことができること、8bit から 10bit へ変換する際の冗長性を生かして、データとは別に、制御用コマンドが定義されていることがあげられる。これらの利点のため、通常は出力データは 8b/10b で符号化する。

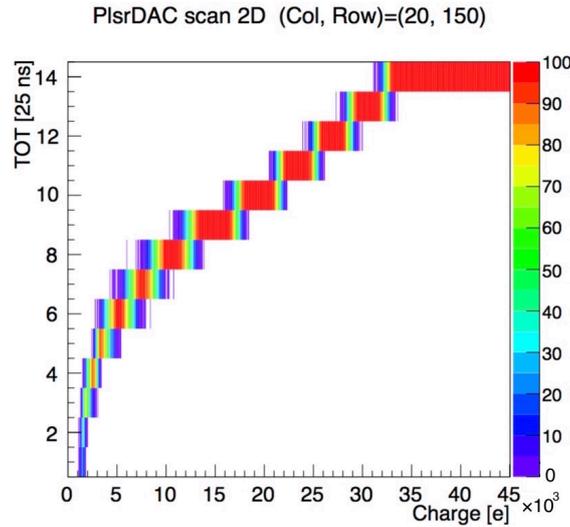


図 4.1: ピクセル検出器の ToT とテスト電荷入射量の関係^[12]。あるテスト電荷の入射量に対して、100 事象のデータを取得している。

4.1.2 SEABAS2 を用いたピクセル検出器の読み出し

SVX テレスコープと同様に、SEABAS2 を用いたピクセル検出器の読み出しシステムも開発されてきた^[11]。SEABAS2 を用いたピクセル検出器の読み出しシステムの全体構成を図 4.2 に示す。ピクセル検出器も SEABAS2 によって読み出すことにより、読み出し ASIC よりも PC に近い部分を共通化できるため、読み出しシステムの統合が容易になる。この読み出しシステムでは、ピクセル検出器の本体基板と SEABAS2 はアダプタカードと呼ばれる基板を介して接続される。アダプタカードは 4 つの接続端子を搭載し、4 枚の FE-I4B まで同時に読み出せる。

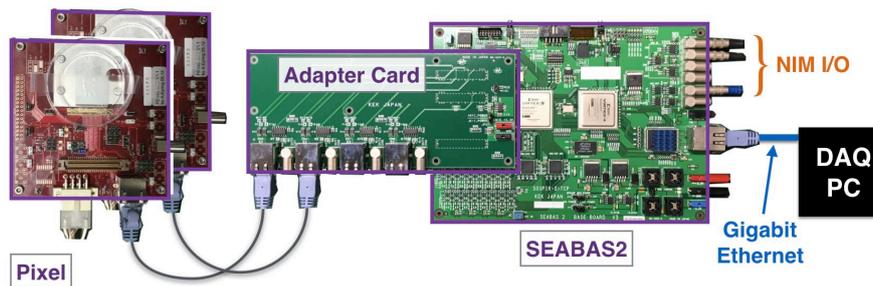


図 4.2: SEABAS2 を用いたピクセル検出器の読み出しシステムの、各基板の接続図。アダプタカードには、1 枚の FE-I4B を搭載したピクセル検出器本体基板を 4 枚まで接続できる。アダプタカードは SEABAS2 上の IEEE P-1386 64pin コネクタへと接続される。

このピクセル検出器読み出しシステムのファームウェアとソフトウェアに対し、統合読み出しシステムへの組み込みのために新たな機能の実装や設計変更を行った。

ファームウェアでは、4.2節で解説するタイムスタンプを付加するために、トリガ処理部やデータの送出部を変更した。具体的には、トリガ処理部をSVX テレスコープのファームウェアで用いていたものに置き換え、連続的に出力されるFE-I4Bのデータに対し、ヘッダの付加を確実にを行うために、ヘッダデータを一時的に保持するFIFOを新たに実装した。これら実装を終えた後のファームウェアのブロック図を図4.3に示す。

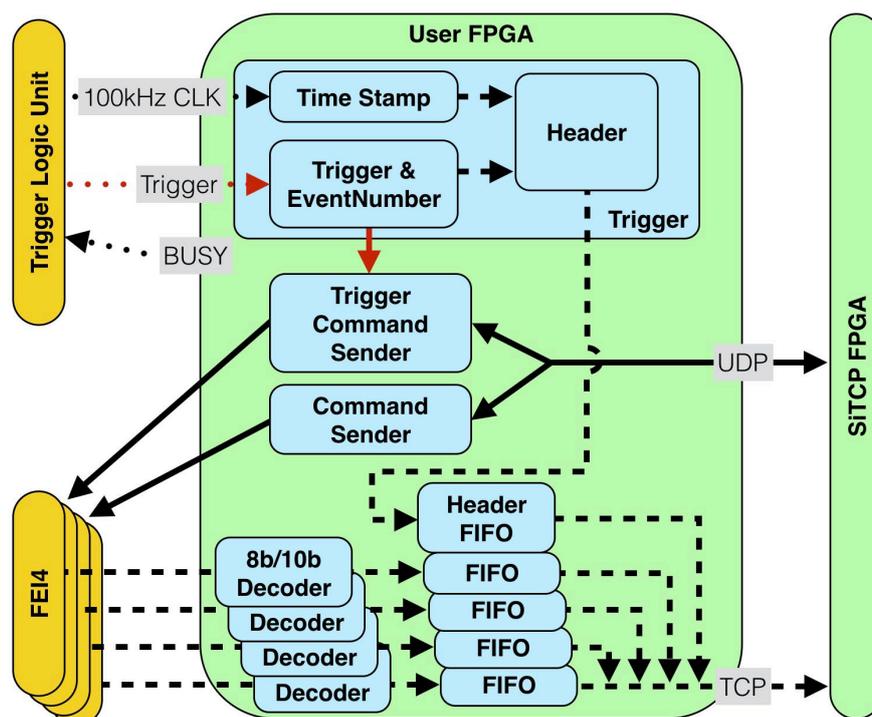


図 4.3: ピクセル検出器読み出しファームウェアのブロック図。上からトリガ処理部、コマンド送信部、データ読み出し部に分けられる。実線はFPGAの内部信号とコマンドの通り道、破線はPCへ送られるデータの通り道を表す。4枚のFE-I4Bに向けて、コマンドの通り道を表す矢印は1つしか書かれていないが、実際にはFE-I4Bのそれぞれで別々に用意されており、どれか1つだけ、あるいは同時に全てにコマンドを送信することが可能である。また、トリガ処理部はSVX テレスコープで開発したものを、そのまま使っている。

ソフトウェアにおいては、4.3節で述べるSCTJDAQとの整合性を持たせるために、クラス設計を変更し、SVX テレスコープの読み出しソフトウェアと同様の構造とした。ソフトウェアのブロック図は図2.15と同じである。

事象取得レート

SEABAS2を用いたピクセル検出器の読み出しシステムの事象取得レートを、SVX テレスコープの時と同様の方法で調べた。本システムでは、4枚のFE-I4Bま

で同時に読み出せるが、今回は1枚のFE-I4Bで試験を行った。結果を図4.4に示す。入力するトリガの周波数を上げていくと、およそ21kHzで事象取得レートは頭打ちとなった。このことから、ピクセル検出器の検出器の事象取得レート上限は、目標とする10kHzのほぼ2倍の21kHzであり、Data Sparsification機能を動作させた時のSVXテレスコープの事象取得レート上限とほぼ同じであることがわかった。この時、ピクセル検出器の出力データサイズは1事象あたり143.3byteで、事象取得レートが21kHzではデータ転送レートはおよそ24Mbpsとなる。これは、SEABAS2のデータ転送能力の2.4%であり、ピクセル検出器のSEABAS2読み出しにおける不感時間は7.3 μ sと短いので、SVXテレスコープと同様に、ソフトウェアがボトルネックとなっていると推測する。

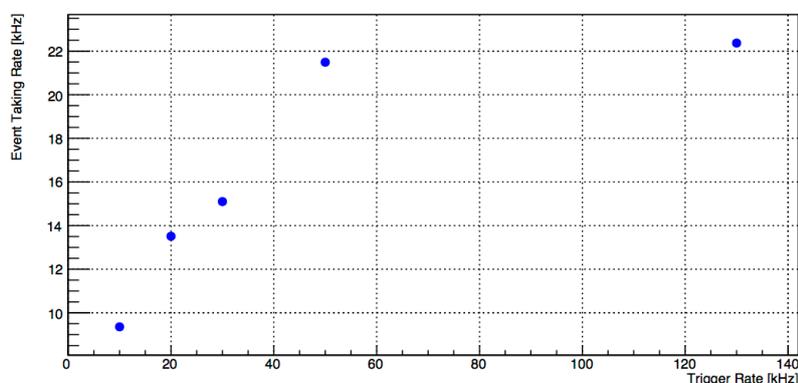


図 4.4: ピクセル検出器の入力トリガ周波数と事象取得レートの関係。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。

4.2 Trigger Logic Unit を用いた事象データ統合

ビーム試験において、テレスコープ、DUT 両者の事象が同じ粒子に由来するものだという保証をするために、共通のトリガを発行して各検出器に分配する役割を担うのが、Trigger Logic Unit (TLU) である。また、統合読み出しシステムでは、SVX テレスコープと DUT の両者のデータをオンラインで統合することを目指す。データの統合はソフトウェア上で行うが、それぞれの読み出し ASIC が出力するデータのみを見ても、同じ粒子に由来するものかどうかを判断するのは難しい。これは、SVX テレスコープが出力するデータには、SVX4 に割り当てた ID や読み出しに使われたパイプラインコンデンサの番号、各チャンネルの ADC 値という情報しか含まれていないことや、ピクセル検出器の出力するデータには事象番号、時間情報が含まれているものの、そのままでは範囲が狭く、ビーム試験で用いるには不十分なためである。そのため、事象番号や時間情報などをファームウェア上で付加する必要がある。この時間情報を作るためのクロック信号も TLU が生成し分配する。

TLUはSEABAS2の前世代機種にあたる、SEABAS1に実装した。SEABAS1もFPGAとNIM入出力を備えている。TLUを用いて、SVX テレスコープとDUTを同時に読出す場合の接続図を図4.5に示す。

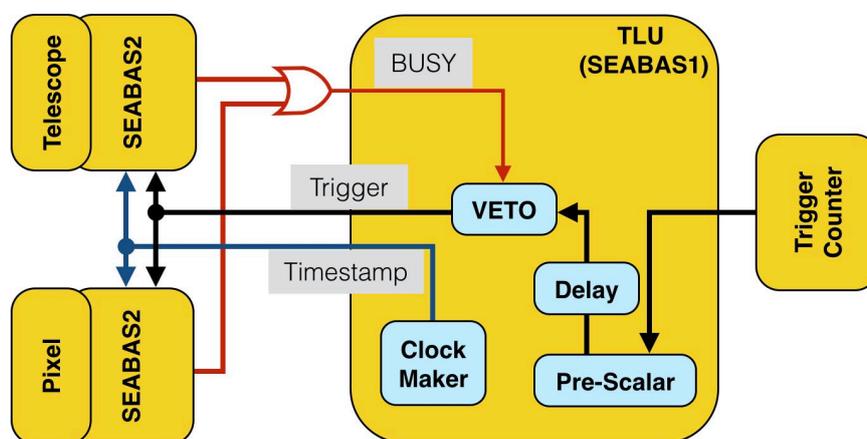


図 4.5: TLU を用いて、SVX テレスコープと DUT を同時に読出す場合の接続図。

4.2.1 BUSY 信号によるトリガVeto

一般に、トリガ信号を受け取るとデータを出力するタイプの検出器において、トリガを受け付けることができない時間というものがある。この時間にトリガ信号を入力しても、それは無視される。

SVX テレスコープやピクセル検出器についてもそれは同じである。SVX テレスコープにおいては、データを出力している間や、設定を書き込んでる間、プリアンプのリセットを行うときはトリガ信号を入力してはいけない。ピクセル検出器においてもデータ出力や、コマンド受信の間はトリガ信号を入力できない。また、読み出しASIC以降においても、SEABAS2のFPGA上に作られたFIFOが満杯になるとそれ以上データを受け付けないので、データを後段に送り、FIFOに空きができるまではトリガを発行すべきではない。

SVX テレスコープとピクセル検出器の統合にあたって、これらが原因で、片方のみトリガが無視されることになれば、事象番号が両者で一致なくなり、オンラインでのデータの統合は難しくなる。そこで、トリガを入力できない、もしくは望ましくないタイミングでは、トリガを発行しないように、トリガを受け付けられないことを表すBUSY信号を出力する機能をSVX テレスコープとピクセル検出器のファームウェア上に、そのBUSY信号を用いてトリガをVetoする機能をTLU上に実装した。

4.2.2 タイムスタンプを用いた事象再構成の確認

BUSY 信号によるトリガ Veto が正しく機能していることを確かめるため、SVX テレスコープとピクセル検出器両者のファームウェア上に、時間情報であるタイムスタンプをデータに付加する機能を実装した。タイムスタンプは TLU からクロック信号を受け取り、カウントしている。

タイムスタンプをカウントするクロック信号の周波数は、可変であるが、事象取得レートの目標である 10 kHz を考慮し、その 10 倍の 100 kHz とした。

タイムスタンプは SVX テレスコープとピクセル検出器のそれぞれのデータの頭に、ヘッダという形で付加するようにした。ヘッダにはタイムスタンプのほかに、事象番号、任意の 1 byte のデータ (SVX テレスコープでは、これを使って電荷補正用 TDC のデータを出力する) が含まれている。このヘッダを付加する機能や、事象番号、タイムスタンプをカウントしヘッダに書き込む機能は、1 つの IP コアとしてまとめており、他の検出器への移植を容易にしている。

4.2.3 動作確認

TLU を用いてトリガ Veto を行い、データが正しく統合されているか調べるために、SVX テレスコープ、ピクセル検出器のタイムスタンプが一致 (ただし ± 1 までのズレは許容した) しているかどうかを各事象ごとに確認した。ただしこの時、オンラインでデータの統合は行っておらず、各検出器からの出力データをオフラインで解析した。

この結果、図 4.6 のように、タイムスタンプのずれが存在することがわかった。ただし、タイムスタンプのずれは、片方の検出器に余分な事象が入ることにより生じており、その余分な事象を取り除けば、それ以降のタイムスタンプは一致している。すなわち、タイムスタンプは正しく機能しているが、BUSY 信号によるトリガ Veto が完全ではないことを示唆している。

タイムスタンプのずれが起こる頻度を余分な事象が入る回数で見たのが図 4.7 である。図 4.7 から、10 万事象においてずれの回数は 60 回ほどであり、SVX テレスコープとピクセル検出器の事象数にずれが生じる頻度は 0.01% のオーダーである。

対策を何もしていない場合、1 度ずれが生じると、その後の事象データの統合は全て失敗してしまうので、SVX テレスコープと DUT の統合読み出しソフトウェア上で、タイムスタンプを用いた補正を行うこととした。

4.3 ビーム試験用ソフトウェアフレームワーク SCTJ-DAQ

SCTJDAQ は、KEK 安芳二氏の主導でビーム試験用に開発されたソフトウェアフレームワークである。SCTJDAQ は以下のような特徴を持つ。

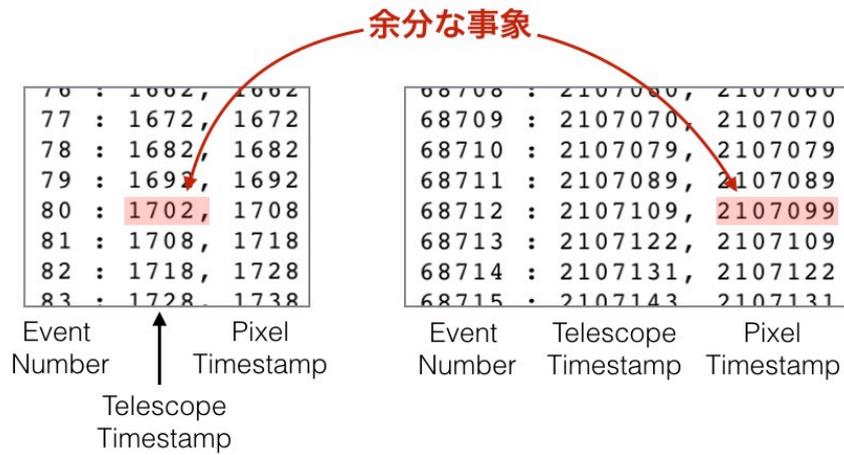


図 4.6: タイムスタンプ不一致の一例。表の列は、左から事象番号、SVX テレスコープのタイムスタンプ、ピクセル検出器のタイムスタンプを表す。左の表では、SVX テレスコープ側に余分な事象が、右の表では、ピクセル検出器側に余分な事象が入って、タイムスタンプがずれている。

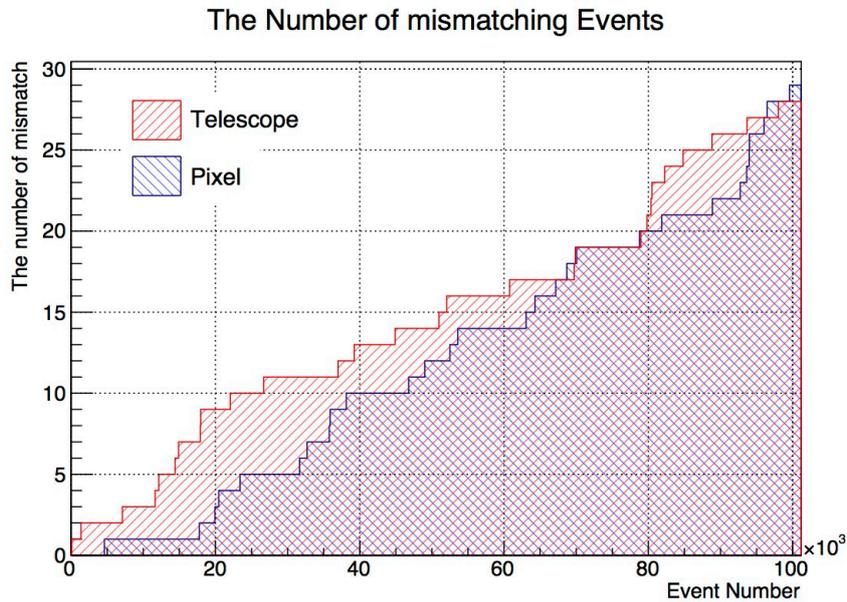


図 4.7: 片方の検出器に余分な事象が入ったために、タイムスタンプにずれが生じた回数の推移を 10 万事象まで見たもの。横軸は事象番号であり、縦軸がずれが生じた回数である。赤がピクセル検出器側、青は SVX テレスコープ側に余分な事象が入ったことを表す。

- マルチプロセス化による各機能のモジュール化、高速化
- ウェブブラウザ上で機能する、Graphical User Interface (GUI) (図 4.8)
- オンライン解析機能による、各種ヒストグラムの生成、GUIでの表示

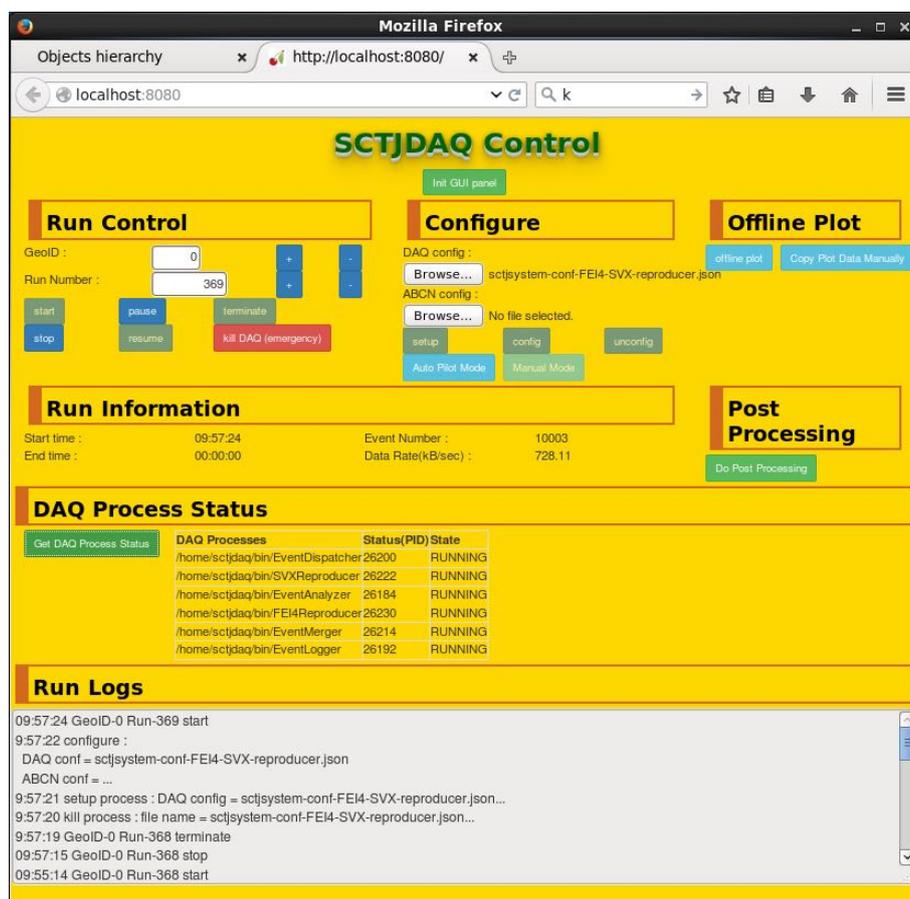


図 4.8: SCTJDAQ の Graphical User Interface (GUI) 画面。ウェブブラウザを用いて表示している。Start、Stop などのコマンドや、設定ファイル、ラン番号の設定などが、この GUI を通じて行える。

この SCTJDAQ に SVX テレスコープ、ピクセル検出器の読み出しソフトウェアをそれぞれ組みこんだ。SVX テレスコープ、ピクセル検出器の読み出しソフトウェアを組み込んだ後の SCTJDAQ のブロック図を図 4.9 に示す。

SVX4Reader と FEI4Reader の 2 つのモジュールは、検出器からのデータを読み出し、デコードと整形を行い、後段へ送る。また、検出器の制御も全て、これら Reader モジュールの担当としている。各 Reader モジュールからのデータは EventMerger モジュールに送られ、そこで統合される。EventMerger モジュールで統合されたデータは、EventDispatcher モジュールへ送られ、EventDispatcher モジュールはその先のモジュールへとデータを分配する。EventLogger モジュールでは、データをバイナリファイルとして保存する機能を担う。EventAnalyzer モジュールは、オ

ンライン解析を行い、様々なヒストグラムを生成できる。EventAnalyzer モジュールは、全てのデータを保存する必要のある Logger とは違い、オンライン解析により検出器が正しく動作しているかを示せば良いので、全てのデータを必要とする訳でない。そのため、EventDispatcher モジュールによって、EventAnalyzer モジュールへ分配するデータ量を調整して、全体の事象取得レートへ影響を及ぼさないようにしている。

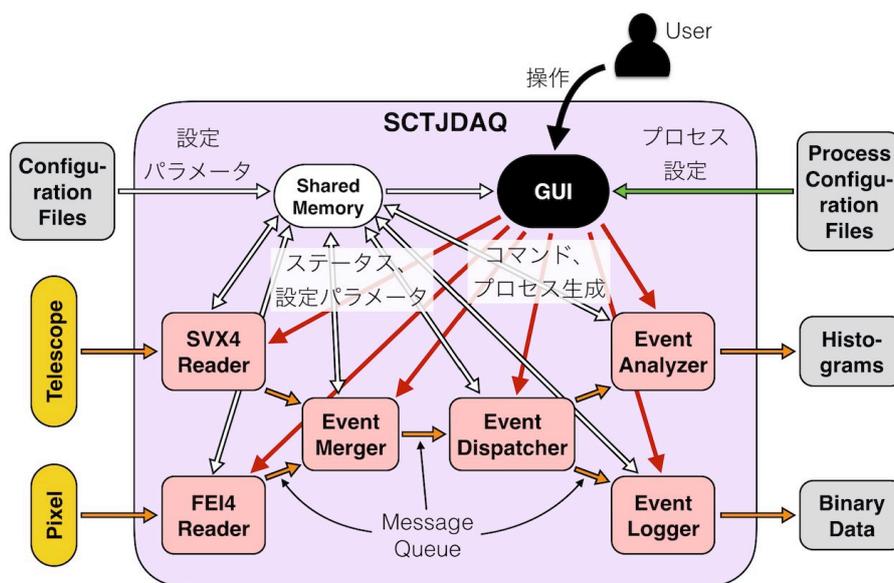


図 4.9: SVX テレスコープとピクセル検出器の読み出しソフトウェアを組み込んだ SCTJDAQ のブロック図。赤い四角はプロセス、オレンジの矢印はデータの流を表す。データ送受信のためのプロセス間通信には POSIX Message Queue を用いている。

また、各検出器の事象データを統合する EventMerger モジュールに、事象ずれの補正機能を新たに実装した。SCTJDAQ は 3 つ以上の検出器の読み出しソフトウェアを統合することも可能である。そのため、この補正機能のアルゴリズムも 3 つ以上の検出器の読み出しを想定して設計した。ずれの補正アルゴリズムを図 4.10 に示す。EventMerger モジュールにおいて、各検出器のタイムスタンプが 1 以上ずれている時、次の事象では、最大のタイムスタンプを持っている検出器の事象データに SCTJDAQ 内部で生成したダミーのデータを挿入する。これにより、さらにその次の事象ではタイムスタンプのずれが修復される。タイムスタンプがずれた状態で統合された事象データや、ダミーデータを含んだ事象データは、通常とデータと同様に保存され、失われることはないため、後の解析でずれの頻度などを調べる事が可能である。

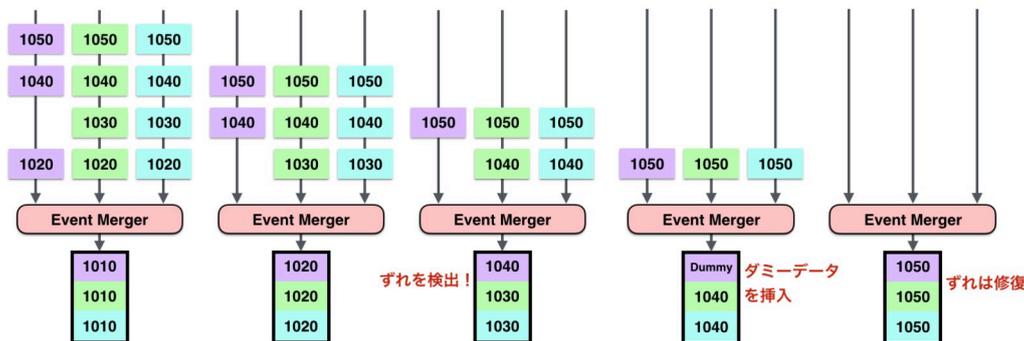


図 4.10: SCTJDAQ の EventMerger モジュールに実装された、事象ずれ補正機能の図解。左から順に 1 事象ずつ、EventMerger モジュールの動作を描いてある。灰色の矢印の上にかかれた長方形は、各検出器の Reader モジュールが出力する事象データ、その中の数字はタイムスタンプを表す。EventMerger モジュールでは、各検出器の Reader モジュールから送られてきた事象データを統合し、さらに下流へと送信する。タイムスタンプの不一致を検知すると、次の事象でダミーデータを挿入することにより、さらにその次の事象の不一致を解消する。

4.3.1 実験室での動作確認

基本動作

まず、オンライン解析機能の動作を確かめた。図 4.11 に示すように、ヒット位置の分布や ADC 値の分布などの、様々なヒストグラムが、ウェブブラウザ上で更新されていくことを確認した。

次に、EventMerger モジュールによる、事象ずれの補正機能の確認を行った。図 4.12 に、EventMerger モジュールがデバッグ用に出力したログを示す。このログを見ることによって、事象ずれは全て解消できていることを確かめた。

事象取得レート

SCTJDAQ を用いて SVX テレスコープとピクセル検出器の読み出しを行った場合の事象取得レートを、SVX テレスコープとピクセル検出器のそれぞれの読み出しシステムで測定した時と同様の方法で測定した。この試験においては、SVX テレスコープは 4 枚の本体基板を同時に読み出し、ピクセル検出器は 1 枚の FE-I4B のみを読み出した。

SVX テレスコープの Data Sparsification 機能を動作させずに、事象取得レートを測定した結果を図 4.13 に示す。図 4.13 から、入力するトリガの周波数を上げていくに従って、事象取得レートはおよそ 6.5 kHz で飽和することがわかった。単純に、事象取得レートが最も遅い検出器が全体の事象取得レートの上限を決めると考えた場合、単独で動作させた場合の SVX テレスコープとピクセル検出器、それぞれの読み出しシステムの事象取得レートの上限は、それぞれ、4 kHz と 21 kHz で

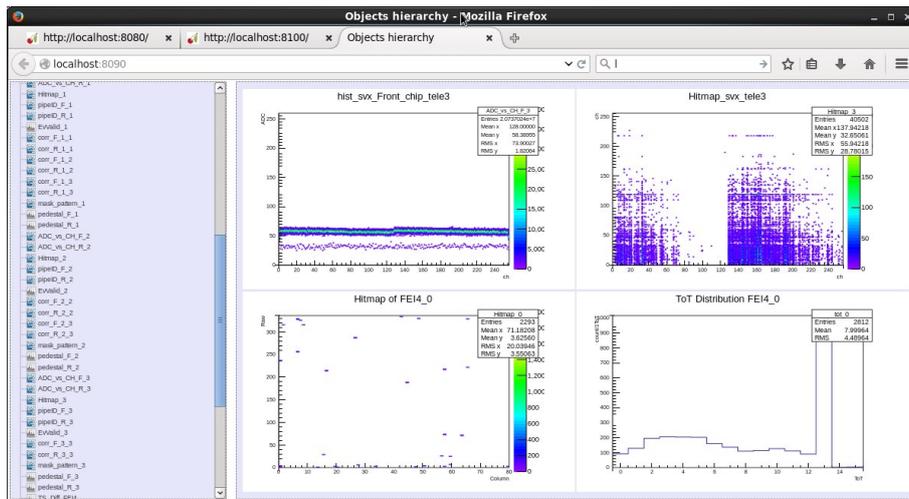


図 4.11: オンライン解析機能により、ウェブブラウザ上に表示された各種ヒストグラム。ヒストグラムはそれぞれ、SVX テレスコープの各チャンネルの ADC 値分布 (左上)、SVX テレスコープのヒット位置の分布 (右上)、ピクセル検出器のヒット位置の分布 (左下)、ピクセル検出器の ToT 値分布 (右下) である。ランダムな間隔でトリガを入力しているため、それぞれのヒット位置の分布ではノイズによって生じた偽のヒットが見えている。

あったので、4 kHz が事象取得レートの上限になる。しかし、SCTJDAQ の場合、そのおよそ 1.7 倍となっている。これは、EventLogger モジュールによってデータをバイナリで書き出すことにより、ROOT を用いていたときの圧縮処理がなくなったことや、マルチプロセス化による EventAnalyzer モジュールと EventLogger モジュールの並列化によって高速化されたことの効果である。

次に、SVX テレスコープの Data Sparsification 機能を動作させて事象取得レートを測定した。図 4.14 が Data Sparsification 機能を動作させた場合の入力したトリガ周波数と事象取得レートの関係であり、これから、およそ 11 kHz で事象取得レートが飽和することがわかった。したがって、目標としていた 10 kHz の事象取得レートは SCTJDAQ でも達成可能であることを示せた。

更なる調査として、事象取得レートの上限が、統合読み出しシステムのどの箇所かで決まっているかを調べた。先ほど得た事象取得レートの上限を、データ転送レートに変換すると、Data Sparsification 機能を使用しなかった場合で 0.22 Gbps、Data Sparsification 機能を使用した場合で 0.03 Gbps である。これは、SEABAS2 と PC 間の通信路である Gigabit Ethernet のデータ転送レートの上限 1 Gbps に満たない。また 3.3 節で議論したように、ファームウェアの不感時間による事象取得レートの上限は、Data Sparsification 機能を動作させた場合で 16 kHz であり、得られた事象取得レートの上限はこれも下回っている。したがって、統合読み出しシステムにおける事象取得レートの上限は、読み出しソフトウェア SCTJDAQ 上で決まっていることになる。

各 Reader モジュールから、EventLogger モジュールへ至る、SCTJDAQ のデー

```

EventMerger::run(): ++++++ Event Data ++++++
EventMerger::run(): Event Number : 6504
EventMerger::run(): ### Event Flagment Info ###
EventMerger::run(): Magic Data : fe14
EventMerger::run(): Total size : 168
EventMerger::run(): Time Stamp : 369213
EventMerger::run(): ### Event Flagment Info ###
EventMerger::run(): Magic Data : 6210
EventMerger::run(): Total size : 2284
EventMerger::run(): Time Stamp : 369198
EventMerger::run(): ++++++ Event Data ++++++
EventMerger::run(): Event Number : 6505
EventMerger::run(): ### Event Flagment Info ###
EventMerger::run(): Magic Data : ffff
EventMerger::run(): Total size : 12
EventMerger::run(): Time Stamp : 369213
EventMerger::run(): ### Event Flagment Info ###
EventMerger::run(): Magic Data : 6210
EventMerger::run(): Total size : 2284
EventMerger::run(): Time Stamp : 369213
EventMerger::run(): ++++++ Event Data ++++++
EventMerger::run(): Event Number : 6506
EventMerger::run(): ### Event Flagment Info ###
EventMerger::run(): Magic Data : fe14
EventMerger::run(): Total size : 168
EventMerger::run(): Time Stamp : 369233
EventMerger::run(): ### Event Flagment Info ###
EventMerger::run(): Magic Data : 6210
EventMerger::run(): Total size : 2284
EventMerger::run(): Time Stamp : 369233

```

Magic Dataの意味
 fe14 : Pixel
 6210 : Telescope

余分な事象

ダミーデータ

ずれが解消

図 4.12: EventMerger モジュールが出力したデバッグ用ログ。Magic Data は 16 進数の識別子であり、0xfe14 がピクセル検出器、0x6210 が SVX テレスコープを表している。事象番号 6504 でタイムスタンプのずれが生じているが、次の事象番号 6505 でピクセル検出器のデータが、ダミーデータ (識別子 0xffff) に置き換えられ、さらに次の事象番号 6506 では、タイムスタンプのずれが解消している。

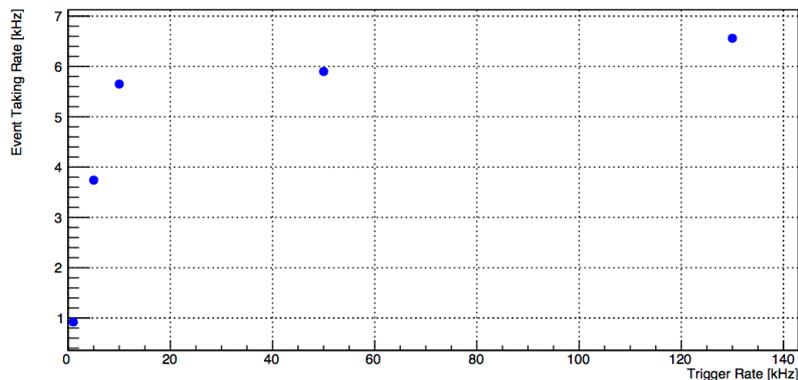


図 4.13: SCTJDAQ の事象取得レート。SVX テレスコープの Data Sparsification 機能を動作させなかった場合 (1 事象あたりのデータ量 4286 byte)。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。

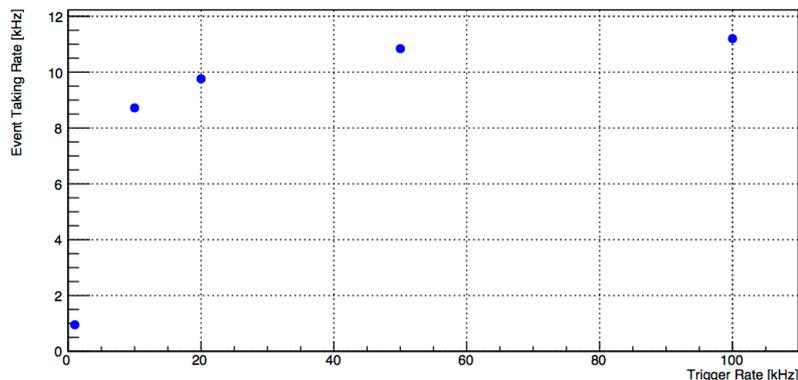


図 4.14: SCTJDAQ の事象取得レート。SVX テレスコープの Data Sparsification 機能を動作させた場合 (1 事象あたりの平均データ量 およそ 300 byte)。横軸が入力したトリガの平均周波数、縦軸が実際に取得できた事象取得レート。

タの流れにおけるボトルネックを特定するために、各モジュールが1事象分のデータ処理に費やした時間の測定を行った。表 4.2 に、Data Sparsification 機能を動作させた場合とさせなかった場合のそれぞれについての結果を示す。今回測定した時間は、読み込んだデータに対する処理に費やした時間で、データの読み込み、送出手間については含まれていない。表 4.2 より、Data Sparsification 機能の有無に関わらず、SVXReader における処理が最も時間を費やしている。SCTJDAQ 全体での事象取得レートの上限の逆数をとると、Data Sparsification 機能を使用しなかった時で 0.153 ms/Event、Data Sparsification 機能を使用した時で 0.090 ms/Event となり、測定に含まれていないデータ読み出しと送出手間を考慮すると、これらの時間のほとんどを SVXReader が占めていることがわかった。これらの結果から、統合読み出しシステムにおけるボトルネックは、SVXReader であることがわかる。

SVXReader において、読み込んだデータに対して行なっている処理は、データのデコードである。SVX テレスコープの1事象あたりの平均データ量は、Data Sparsification 機能を使用すると、本測定時においておよそ 200 byte であり、SVX テレスコープの Data Sparsification 機能を使用しなかった場合の 4143 byte と比べ、約 20 分の 1 以下であった。しかし、SVXReader における処理時間に大きな違いがない。つまり、現行のデコードに用いているアルゴリズムには、データ量によらずに費やされる一定の処理時間が存在し、それが SVXReader の処理速度を決めている。さらなる処理時間の短縮のためには、デコードをファームウェアで行うこと、またはデータの統合に最低限必要なヘッダ部分のみデコードし、オンライン解析に必要となるヘッダ部分以外のデコードは SVXReader モジュールで行わず、EventAnalyzer モジュールで行うことなどが挙げられる。

表 4.2: SCTJDAQ でデータ取得を行った時の、各モジュールが1 事象分のデータ処理に費やした時間。上流のモジュール (検出器) からのデータ待ちや読み込み、下流のモジュールへのデータ送出手間には含まれていない。

モジュール名	Data Sparsification 非使用	Data Sparsification 使用
SVXReader	0.105 ms/Event	0.080 ms/Event
FEIReader	0.055 ms/Event	0.058 ms/Event
EventMerger	0.018 ms/Event	0.016 ms/Event
EventDispatcher	0.013 ms/Event	0.013 ms/Event
EventLogger	0.030 ms/Event	0.015 ms/Event

第5章 ビームを用いた動作試験

開発した試験システムの動作試験と、SVX テレスコープとピクセル検出器の性能評価を目的として、2015年12月に米国の Fermilab でビーム試験を行った。本章では、まずビーム試験の概要を述べる。そして、得られたデータから、試験システムの動作確認と SVX テレスコープの性能評価を行ったので、その手法と結果について解説する。

5.1 2015年12月 Fermilab ビーム試験

5.1.1 ビーム試験施設概要

ビーム試験は、Fermilab Test Beam Facility (FTBF) の MT6.2 ビームラインで行った。MT6.2 ビームラインには、Fermilab のリングサイクロトロンの一つである Main Injector で 120 GeV のエネルギーまで加速された陽子を取り出してくることができる。この陽子を直接ビームとして用いることも、ターゲットに衝突させることにより生じる 2 次粒子をビームとして用いることも可能である。ビームの加速周波数は 53 MHz で、Main Injector からの取り出しは 60 秒ごとに 1 度、4.2 秒の時間をかけて取り出される。1 度に取り出されるビームのまとまりをスピルと呼ぶ。ビームの種類や エネルギー、強度は必要に応じて変更でき、今回のビーム試験では主に、ビームを 120 GeV の陽子、スピルあたりの粒子数を 5 万に設定してデータ取得を行った。120 GeV という高エネルギーの荷電粒子を用いることは、センサによる荷電粒子の多重散乱が抑え、飛跡再構成の精度を高めるために重要である。

5.1.2 セットアップ

ビーム試験のセットアップを図 5.1 に、SVX テレスコープとピクセル検出器、プラスチックシンチレータ検出器の詳細な配置を図 5.2 に示す。以降の議論において、座標系を、ビーム軸を z 軸、ビーム軸が水平面にあるとして鉛直下向きを y 軸、そして右手系の直交座標系を成すような軸を x 軸として定義する。ビーム軸上に、SVX テレスコープの 4 枚の本体基板と、その間に 1 枚の FE-I4B とセンサを搭載したピクセル検出器本体基板を 2 枚、それぞれのセンサ面がビーム軸と直交し、センサの中心がビーム軸に来るように置いた。SVX テレスコープ本体基板は、2 枚

のセンサのストリップがそれぞれ、x 軸、y 軸と直交するように置き、x 軸と直交するストリップを持つセンサを x 方向のセンサ、y 軸と直交するストリップを持つセンサを y 方向のセンサと呼ぶこととする。また、ピクセル検出器はピクセルの短辺を y 軸と平行、長辺が x 軸と平行になるように配置した。実際には取り付け精度や設置場所のわずかな傾斜などにより、図 5.2 の配置からわずかなずれが生じる。そのため、飛跡再構成などのオフラインで行う解析では、得られたデータを用いてこのずれを求め、補正を行う必要がある (アラインメント)。さらに SVX テレスコープとピクセル検出器を挟むように、トリガカウンタとして 2 つのプラスチックシンチレータ検出器をビーム軸上に置いた。2 つのプラスチックシンチレータ検出器の信号は、それぞれ Discriminator モジュールを通して NIM 信号に変換した後、Coincidence モジュールを通して TLU のトリガ入力へと向かう。SVX テレスコープとピクセル検出器に対しては、ビーム下流から順に、SVX テレスコープはテレスコープ 0 からテレスコープ 3、ピクセル検出器はピクセル 0 からピクセル 1 と番号を定めた。SVX テレスコープとピクセル検出器の 2 つの SEABAS2 は、スイッチングハブを通じてデータ読み出し用の PC へと接続した。また、データ読み出し用 PC は SVX テレスコープとピクセル検出器の近くに配置し、そこからコントロールルームへ通じる Ethernet ケーブルを用いて、コントロールルームからリモートアクセスした。SVX テレスコープとピクセル検出器は、2.4 節で説明した筐体とレールを用いて設置した。なお、筐体は SVX テレスコープ用に製作したものであったが、ピクセル検出器の本体基板が SVX テレスコープとほぼ同じ大きさであったので、治具を新たに製作してピクセル検出器の固定にも用いた。SVX テレスコープの筐体に乾燥空気を流すことによって、SVX テレスコープ本体基板の冷却を行った。

5.2 試験システムの動作確認

ビーム試験で得られたデータを用いて、試験システムの動作確認を行い、SCTJDAQ に実装した、イベントずれ補正機能が正しく機能したことを示す。

SCTJDAQ 上のオンライン解析機能によって得られた結果について述べる。図 5.3 は、SVX テレスコープと DUT のヒット位置の分布である。SVX テレスコープでは、1 枚の本体基板に搭載された、2 枚のシリコンストリップセンサの情報を組み合わせることにより、2 次元のヒット位置情報を得ている。図 5.3a と図 5.3b を見ると、どちらにおいても、センサの一部分である四角形の領域に、ヒット位置が集中している。これは、トリガカウンタであるシンチレータの大きさがビーム径やセンサより小さいため、シンチレータの形が見えているものである。次に、図 5.4 は、SCTJDAQ のオンライン解析機能を用いて作成した SVX テレスコープと DUT のヒット位置の相関である。この図 5.4 から、SVX テレスコープと DUT のヒット位置には明確な相関があることがわかる。4.2 節において、SCTJDAQ のイベントずれ補正機能によりタイムスタンプが各検出器間で一致することを実験室

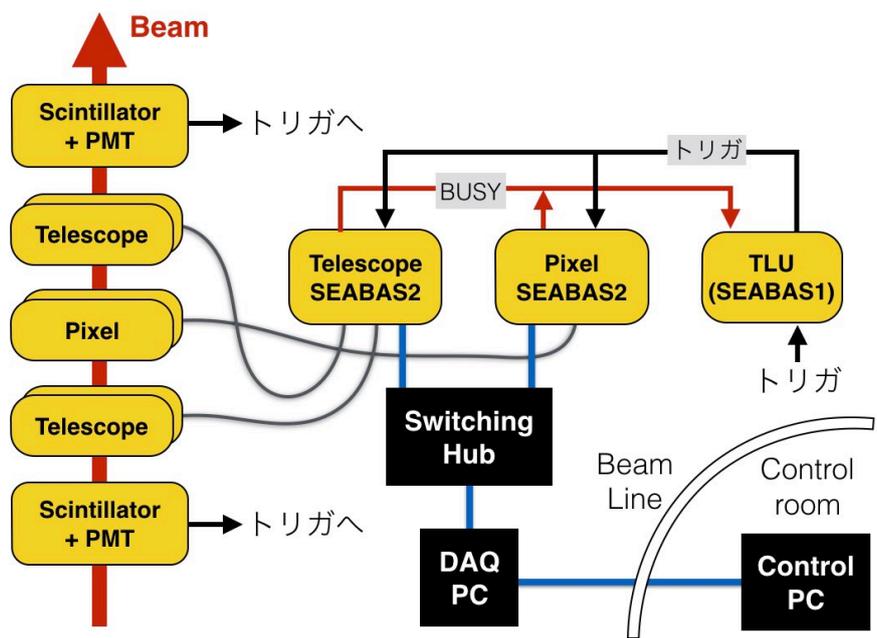


図 5.1: Fermilab ビーム試験でのセットアップ図。図では省略しているが、トリガカウンタとして用いる2つのプラスチックシンチレータは、それぞれ Discriminator モジュールを経由し、Coincidence モジュールを通じて TLU のトリガ入力へ繋がる。SVX テレスコープとピクセル検出器のそれぞれのセンサには、全空乏化電圧 (SVX テレスコープでは +80 V、ピクセル検出器では -200 V) を印加している。

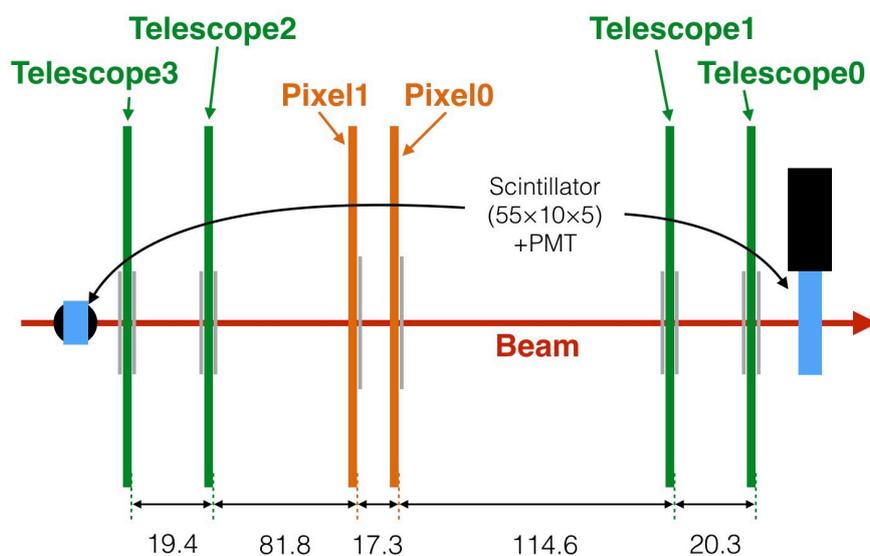


図 5.2: SVX テレスコープとピクセル検出器、プラスチックシンチレータ検出器の横から見た配置図。6つ並んだ縦線は、緑色がSVX テレスコープの本体基板、橙色がピクセル検出器の本体基板を表し、両端にある水色の長方形はプラスチックシンチレータ (大きさ 55 mm × 10 mm × 5 mm) を表す。プラスチックシンチレータは、ビーム上流側では鉛直下向きに、ビーム下流側では画面に垂直な向きに取り付けられている。本体基板の側に描かれている、灰色の線は本体基板に取り付けられたセンサを表す。図中に描かれている数字は距離で、単位は mm である。

で確認したが、この明確な相関によって、正しく事象データが統合されていることをビームを用いて実証できた。

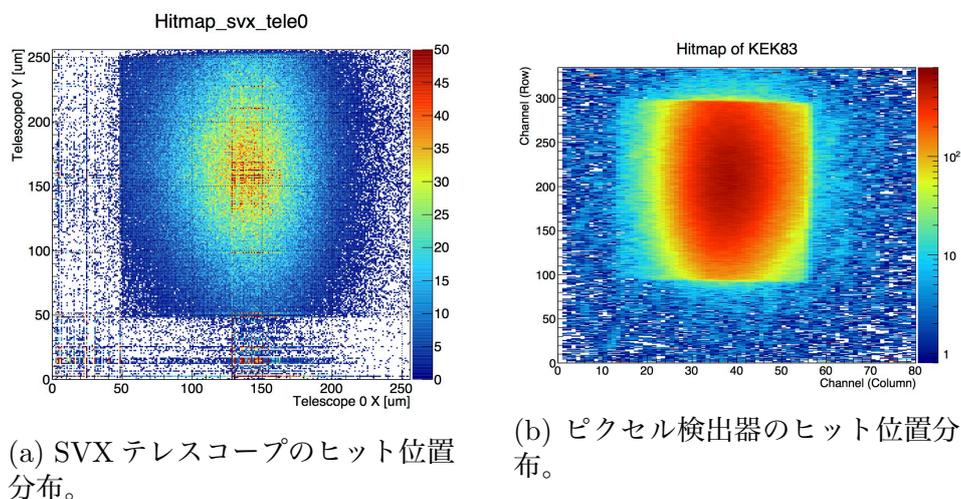


図 5.3: ビーム試験で得られた、オンライン解析によるヒット位置分布。横軸、縦軸ともにセンサのチャンネル番号となっている。

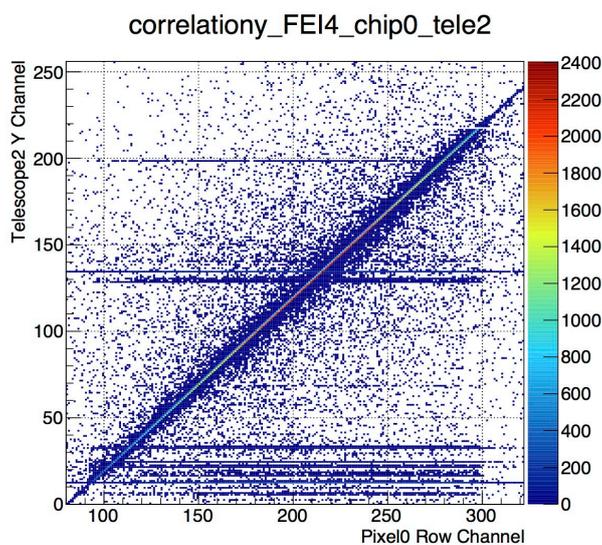


図 5.4: ビーム試験で得られた、オンライン解析による、SVX テレスコープとピクセル検出器のヒット位置の相関。

図 5.3a と 5.4 には、周りに比べヒットが極端に多い領域が筋状に存在する。オンライン解析においては、ヒット位置を、各センサで最大の ADC 値 (ピクセル検出器においては ToT) を持つチャンネルの位置として定めている。そのため、粒子が通過していないにもかかわらず、あるいは、電荷を収集できないタイミングでトリガが発行された事象にもかかわらず、その時のペDESTAL が最も高いチャンネルをヒットと判断してしまうために、偽のヒットが生じる。この偽のヒットが

図 5.3a と 5.4 で筋状に見えていた。そこで、偽のヒットを消すために、各チャンネルのペDESTALの違いを補正し、さらに、ペDESTALと比べてノイズの3倍以上のADC値を持つことをヒットと定義した場合のヒット位置の分布と相関分布が図 5.5 である。図 5.5 により、図 5.3a と 図 5.4 にあった偽のヒットは取り除くことができることを示した。

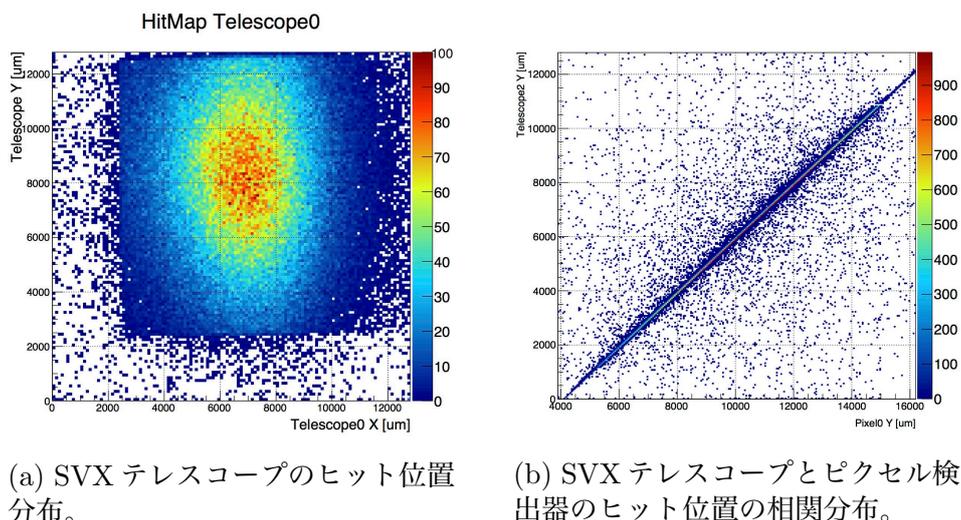


図 5.5: ビーム試験で取得したデータを、オフライン解析して得た、SVX テレスコープのヒット位置分布と SVX テレスコープとピクセル検出器のヒット位置の相関分布。図 5.3、図 5.4 と異なり、横軸と縦軸を、ともにセンサ中の位置(単位 μm) で表した。

5.3 SVX テレスコープの性能評価

SVX テレスコープの性能評価を行うため、オフライン解析ソフトウェアを開発した。本節では、まず、このオフライン解析ソフトウェアについて解説し、続いて、オフライン解析ソフトウェアを用いて得られた結果を示す。

5.3.1 オフライン解析ソフトウェア

オフライン解析ソフトウェアでは、以下に示す項目を行う。

- SVX テレスコープが出力した生のデータから、較正で得られたゲインの値を用いて、各チャンネル毎に ADC 値を収集電荷量へと変換し、収集電荷量が予め定めた閾値を超えているチャンネル(ヒットチャンネル)の情報のみを残す(ヒット情報作成)。

- 電荷分割により生じる、隣接した複数のヒットチャンネルの情報をまとめ上げ、荷電粒子のヒット位置や、センサの総収集電荷量を求める (クラスタリング)。
- 各センサのヒット位置の相関分布から、ビーム試験時に粗く測定した各センサ間の相対位置と、実際の相対位置の間のずれを数十 μm のオーダーで補正する (プレアラインメント)。
- SVX テレスコープの各センサごとに求めたヒット位置を元に、粒子の飛跡の探索を行う (飛跡探索)。
- 探索された飛跡を再構成し (トラッキング)、飛跡と各センサが交わる点と、センサの信号から求めたヒット点との距離 (残差、Residual) の分布から、各センサ間の相対位置を μm のオーダーで求める (アラインメント)。
- アラインメントによって補正を行った後の各センサ間の相対位置を用いて、再びトラッキングを行い、位置分解能や検出効率などを求める。

オフライン解析ソフトウェアは、これらの工程をそれぞれ単独で実行できるように、工程毎に実行ファイルを分割し、結果を中間ファイルとして逐一出力する設計とした。図 5.6 に、このオフライン解析ソフトウェアの概略図を示す。

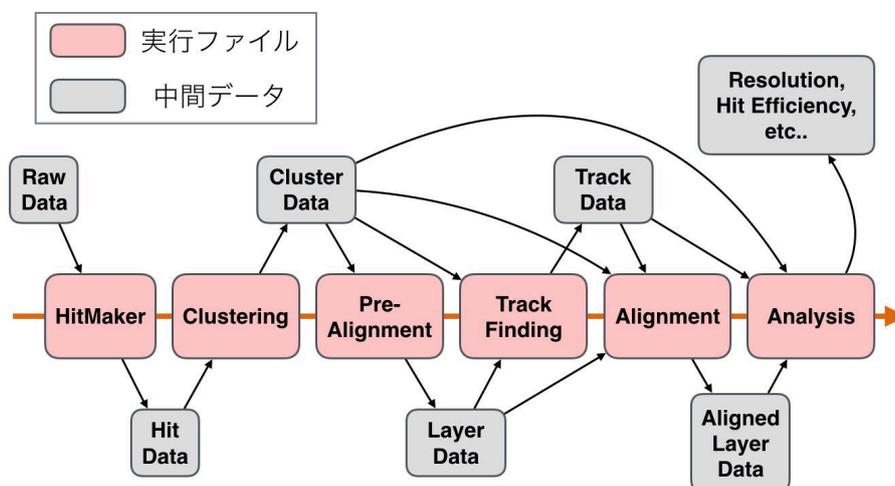


図 5.6: 開発したオフライン解析ソフトウェアの概略図。赤く色付けされた四角は各工程ごとに分割した実行ファイル、灰色に色づけされた四角は中間ファイルである。オレンジの矢印は実行する順番を表している。

各工程について、以下に更なる解説を加える。

ヒット情報作成

事前に測定した、各チャンネルのペDESTALとノイズ量、ゲインの値を用いて、ADC 値を収集電荷量へ変換する。次に閾値判定を行い、ノイズ量の3倍を超える電荷を収集したチャンネルをヒットチャンネルとして、データに残す。また、SVX4 が電荷収集に適さないタイミングを、SVX テレスコープに実装した TDC 値ごとに ADC 分布を見ることにより求め、そのタイミングにおいて取得された事象を解析から取り除く。図 5.7 は、今回のビーム試験で得られた TDC 値ごとの ADC 分布である。以降の解析では、2 以下、12 以上の TDC 値を持つ事象のみを用いた。

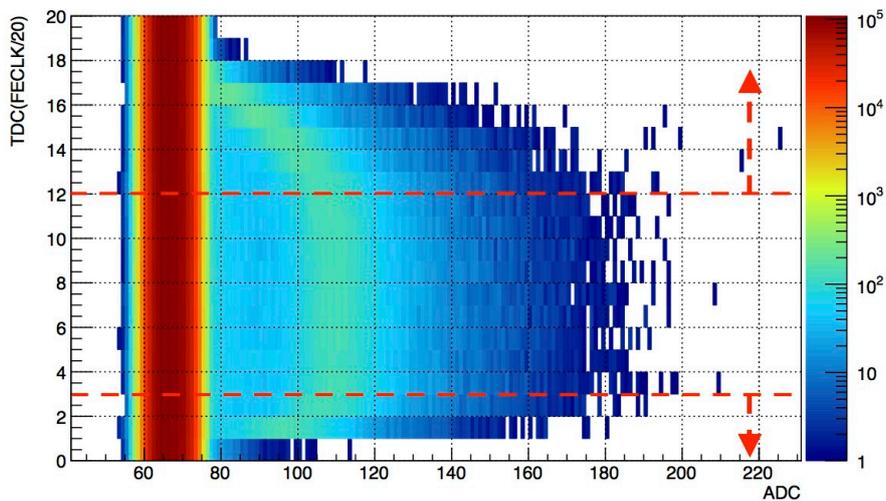


図 5.7: 今回のビーム試験で得られた、電荷収集効率補正用 TDC の値と ADC 分布の関係。横軸はある 1 枚の SVX4 の全てのチャンネルの ADC 分布、縦軸は TDC の値である。以降の解析においては、赤矢印で示した領域の事象を選別削除した。

クラスタリング

クラスタリングでは、電荷分割を考慮して、互いに隣接したヒットチャンネルをまとめあげることにより、収集された総電荷量とヒット位置を求める。このまとめあげられたチャンネルの集まりをクラスタ、クラスタ中のチャンネルの数をクラスタサイズと呼ぶ。総収集電荷量は、クラスタ中の各チャンネルの収集電荷量を単純に総和することにより求めた。ヒット位置は、クラスタ中の各チャンネルのストリップの位置について、電荷量で重みをつけて平均をとることにより算出した。このヒット位置の算出法を重心法と呼ぶことにする。

収集電荷量が閾値を超えたチャンネルのみを用いた重心法においては、クラスタサイズが1の場合、算出されたヒット位置はヒットチャンネルのストリップの位置に縮退し、ヒット位置の分布に不連続な飛びが現れるため、解析に不都合である。また、ヒットチャンネルに隣接するチャンネルでは、閾値を超えないわずかな

電荷が収集されている可能性があり、この情報をヒット位置算出に組み込むことにより、位置分解能向上を狙う。そこで、まずヒットチャンネルのみでクラスタを作った後に、更にそのクラスタに隣接するチャンネルもクラスタへ加えることとした。すなわち、センサの端にヒットチャンネルがある場合を除いて、最小クラスタサイズは3となる。これによって、ヒット位置の分布の不連続性を解消する。

SVX テレスコープはストリップセンサを用いているので、ヒット位置の x 成分と y 成分は別々のセンサからの情報によって算出する。そのため、片方のセンサにのみクラスタが存在する場合など、ヒット位置のどちらかの成分しか算出できない場合については、解析から取り除いた。

飛跡探索

多数のヒット点から、ノイズによって生じたヒット点などを取り除いて粒子の飛跡を探し出す作業が飛跡探索である。今回行ったビーム試験においては、ビーム中の粒子密度があまり高くないので、1 事象に含まれる荷電粒子は1つであることを仮定し、総収集電荷量が最大のクラスタを各センサごとに選び出し、それらのヒット点を結ぶことにより飛跡とした。

1つの飛跡にヒット点が2つ以下しかない場合、飛跡が再構成できないか、飛跡の誤差が求められないため、解析から取り除いた。

アライメント

アライメントでは、飛跡探索で得た飛跡を用いて、各SVX テレスコープ本体基板の配置を求める。この時、基準となる座標系はテレスコープ0に固定した。アライメントはテレスコープ0以外の各本体基板について1枚ずつ、順にテレスコープ1、2、3と行う。アライメントの結果得られた配置は、次のアライメントにおける飛跡再構成に即座に用いる。これを、得られた配置に変化が現れなくなるまで、繰り返し行う。アライメントにおいて、あるセンサについて残差分布を求める時、そのセンサが実装されている本体基板におけるヒット位置は飛跡再構成の際に使用せず、残りの3枚の本体基板におけるヒット位置を用いる。

残差分布から変位量を求める手法としては、 χ^2 最小化法を用いた^[13]。 χ^2 は、式 5.1 のように定義した。式 5.1 中の σ は、飛跡とセンサの交点の位置分解能、 \vec{D} は、アライメント前の残差であり、飛跡とセンサが交わる点 (\vec{P}) とクラスタリングによって求めたヒット位置 (\vec{Q}) の差である。 \vec{D}' は、センサを \vec{X} だけ変位した後の残差で、 \vec{D} との変化量は \vec{X} と、ある行列 a を用いて、 $a^T \cdot \vec{X}$ と表すことができる。変位の自由度を、x と y 方向の平行移動と、z 軸周りの回転に制限した場合、 $a^T \cdot \vec{X}$ は式 5.2 と書ける。x、y は、それぞれヒット位置の x 成分と y 成分、 T_x 、 T_y 、 R_z は

それぞれ x と y 方向の平行移動量と、 z 軸周りの回転量を表す。

$$\chi^2 = \sum_{\text{hits}} \frac{|\vec{D}'|^2}{\sigma^2} = \sum_{\text{hits}} \frac{|\vec{D} + a^T \cdot \vec{X}|^2}{\sigma^2}, \quad (\vec{D} = \vec{Q} - \vec{P}) \quad (5.1)$$

$$a^T \cdot \vec{X} = \begin{pmatrix} 1 & 0 & -y \\ 0 & 1 & x \end{pmatrix} \begin{pmatrix} T_x \\ T_y \\ R_z \end{pmatrix} \quad (5.2)$$

χ^2 を最小にする変位 \vec{X}' は、 $\partial\chi^2/\partial\vec{X} = 0$ を要求することにより、以下のように求められる。

$$\vec{X}' = M^{-1}\vec{V}, \quad (M_{ij} = \sum_{\text{hits}} \frac{a_{i\mu}a_{\mu j}}{\sigma^2}, \quad V_i = \sum_{\text{hits}} (-\frac{a_{i\mu}D_\mu}{\sigma^2})) \quad (5.3)$$

アラインメントを繰り返す際、変位量の収束性を良くするため、自由度を2に減らし、平行移動のみにしたアラインメントと、 z 軸周りの回転を加えた3自由度によるアラインメントを交互に行った。

5.3.2 解析結果

収集電荷量分布

クラスタリングによって得られた、収集電荷量の分布を図5.8に示す。この解析に用いたゲインの値は、ビームラインにSVX テレスコープを設置し、ビームがない状態で、3.2節で説明した自動較正機能を用いることにより測定している。シリコン検出器で得られる電荷分布はランダウ分布と呼ばれる関数に従うことが知られており、図5.8には、ランダウ分布による近似曲線を重ねた。図5.8から、収集電荷分布は、最頻値が $(2.327 \pm 0.001) \times 10^4 e^-$ のランダウ分布で近似できる事がわかった。ビームのエネルギーが十分高いため、入射粒子をMIPと仮定すると、テレスコープのセンサ厚では $2.3 \times 10^4 e^-$ の収集電荷が期待される。この値はビーム試験で得た値と1%の範囲で一致している。これは、SVX テレスコープの読み出しシステムが、ハードウェア、ファームウェア、そしてソフトウェアの全てにおいて正常に動いていること、さらにゲイン測定やクラスタリングが正しく行えている事を示している。

電荷分割

クラスタリングの際、クラスタ中の各チャンネルのストリップの位置について、電荷量による重み付き平均をとることにより、ヒット位置を求めた(重心法)。しかし、これは作業仮説であり、この重心法で正しくヒット位置を求めることができるかどうかは、実データを用いて検証する必要がある。

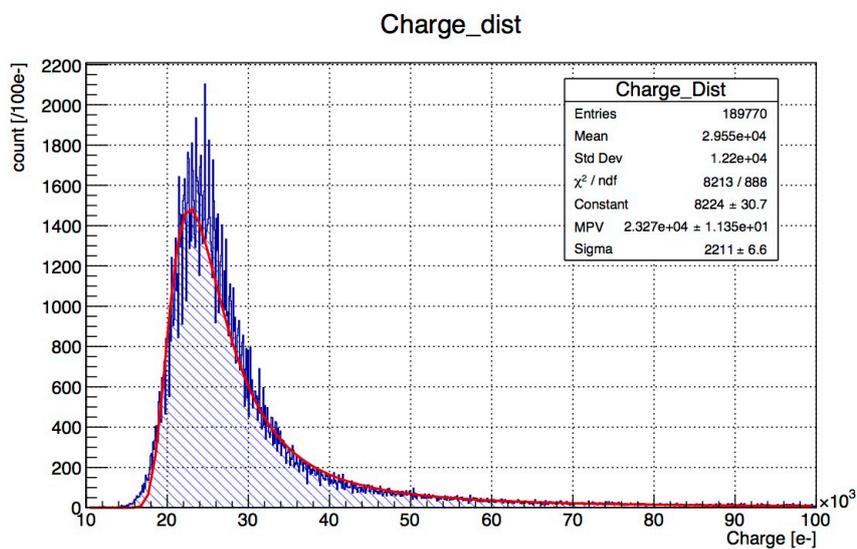


図 5.8: ビーム試験で得られた、SVX テレスコープの収集電荷分布。横軸が収集電荷量、単位は電子数である。近似曲線はランダウ分布を用いている。

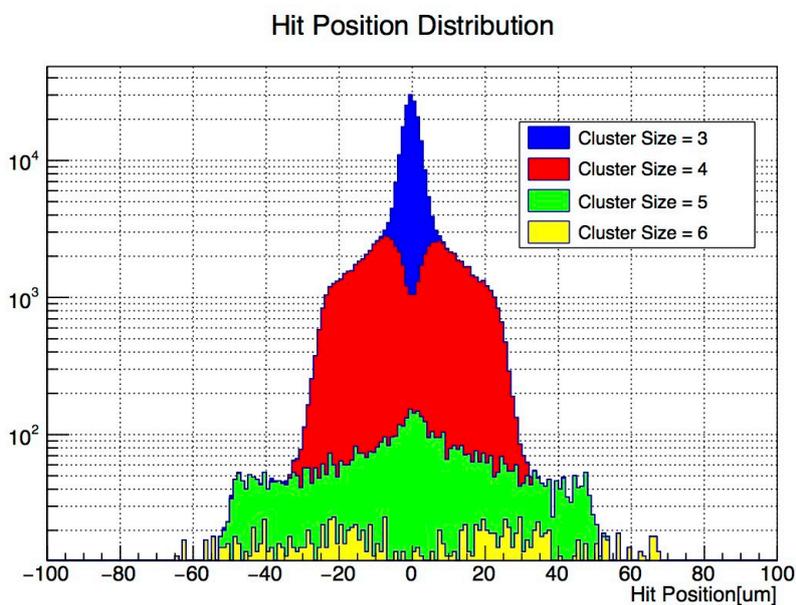


図 5.9: クラスタ中で最大の電荷を得たストリップの位置と、重心法を用いて求めたヒット位置との相対位置の分布。3から6までの各クラスタサイズについて求めた分布を積み上げている。

図 5.9 は、クラスタ中で最大の電荷を得たストリップの位置と、重心法を用いて求めたヒット位置との相対位置を分布にしたものである。ストリップの間隔程度においては、ビーム中の粒子が一様な分布をしていると仮定すると、図 5.9 で見られる非一様な分布は、重心法が正しくないことを表している。そこで、一様な相対ヒット位置分布を作るため、重心法で求めた相対ヒット位置を変換する変換表を、図 5.9 から作成した。具体的には、図 5.9 を左から積分し、それを $(-25, -25)$ 、 $(25, 25)$ の 2 点を通過するように縦軸にスケールと平行移動させたものを、重心法で求めた相対ヒット位置の変換表として用いる。 $(-25, -25)$ 、 $(25, 25)$ の 2 点を通過させたのは、相対ヒット位置 $25 \mu\text{m}$ 、 $-25 \mu\text{m}$ は、2 つのストリップのちょうど中間地点であり、重心法において電荷が均等に分割されたことを表すので、変換後においても不動な点であるべきだからである。この変換表を用いてヒット位置を算出する方法を、補正重心法と呼ぶことにする。図 5.11 は、補正重心法で求めたヒット位置と、クラスタ中で最大の電荷を得たストリップの位置との相対位置分布、図 5.12 は、ヒット位置を重心法と補正重心法で求めた際の残差分布を比べたものである。図 5.11 において一様なヒット位置分布が得られ、図 5.12 において 2 つのピークが生じていた残差分布が正規分布に近い分布になったことから、補正重心法は有効であると結論づける。

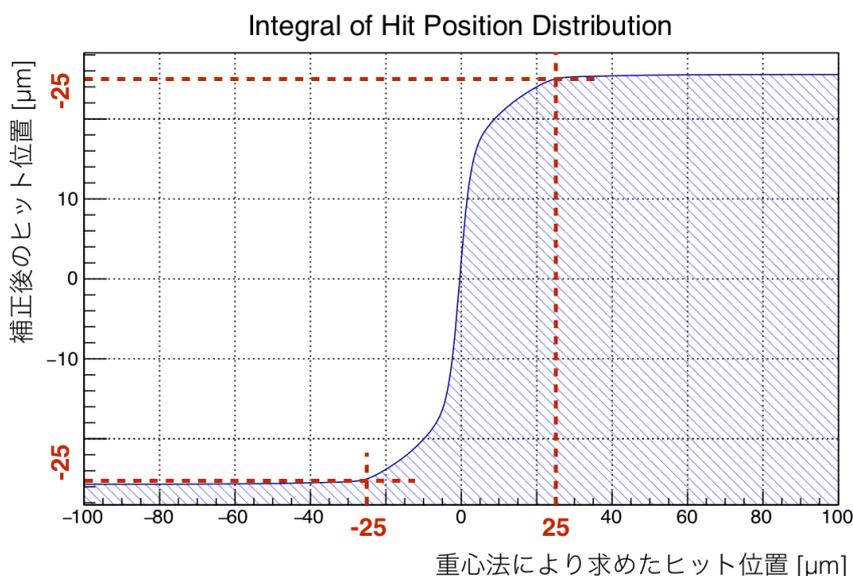


図 5.10: 図 5.9 を積分し、それを縦軸にスケールと平行移動させ、 $(-25, -25)$ 、 $(25, 25)$ の 2 点を通過するようにしたもの。横軸は重心法で得た相対ヒット位置であり、その点における縦軸の値が補正後の相対ヒット位置となる。単位は縦軸、横軸ともに μm である。

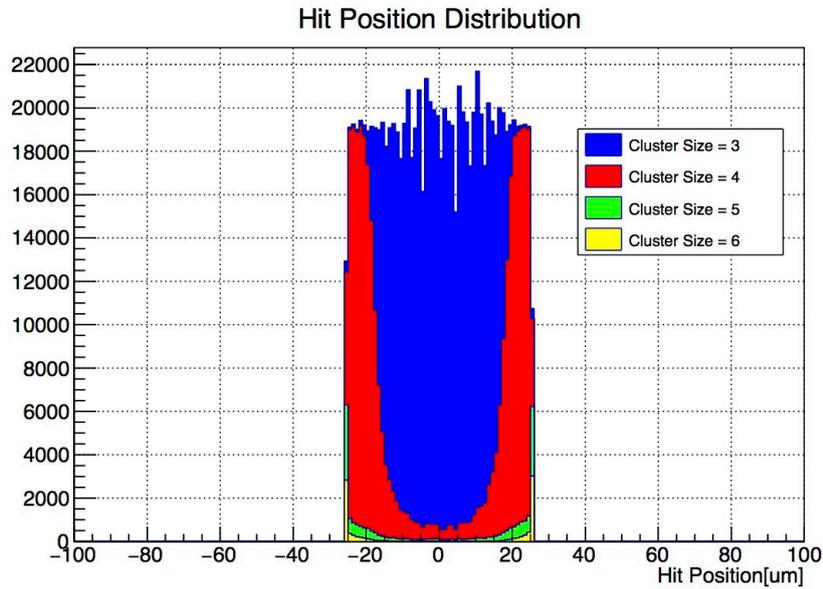
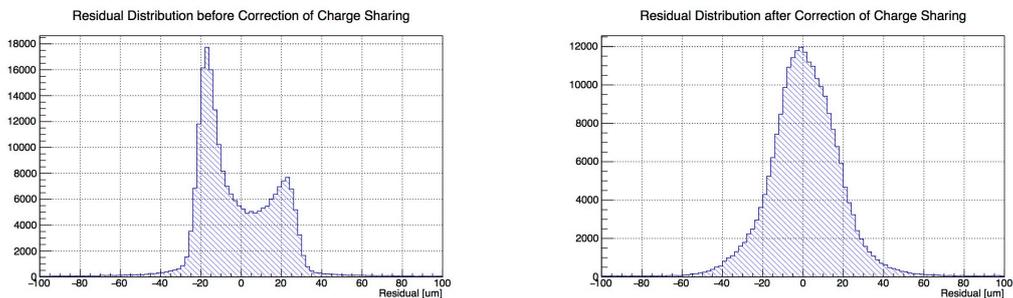


図 5.11: 補正後の相対ヒット位置分布。重心法で得た相対ヒット位置からの変換には、表を用いているため、補正後の相対ヒット位置は離散的な値をとる。補正後の相対ヒット位置 $0 \mu\text{m}$ 付近において、分布が一様ではないのは、その離散性の影響である。



(a) 重心法

(b) 補正重心法

図 5.12: 重心法と補正重心法によって得られた、テレスコープ2の x 方向のセンサについての残差分布。

アラインメント

図 5.13 に繰り返し行ったアラインメントによる変位量の推移を、図 5.14 にアラインメントの前後による残差分布を比較したものを示す。図 5.13 から、繰り返しアラインメントを行うことによって変位量が 0 に収束していること、図 5.14 から、アラインメントにより残差分布が細くなり、平均が 0 へ移動していることがわかる。これから、アラインメントが正しく行えていることを示した。

位置分解能

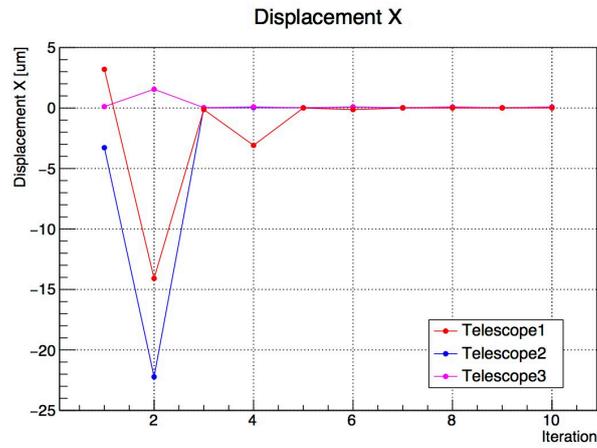
補正重心法によってヒット位置を算出し、再びアラインメントを行った後に得られる残差分布から位置分解能を求める。

あるセンサについて得られた残差分布の幅の大きさ σ_{residual} は、センサの位置分解能 σ_{position} によるものに加え、飛跡分解能 σ_{track} からの寄与も存在するため、位置分解能の評価には、まず飛跡分解能の評価が必要となる。飛跡分解能の評価のため、あるセンサについてクラスタサイズが 3 の事象のみを選び出し、それらのヒット位置の算出には重心法を用いず、ヒットチャンネルのストリップの位置をヒット位置とすることにより残差分布を生成した。この残差分布は、飛跡分解能が無限に小さく、荷電粒子の通過点に最も近いストリップの位置がヒット位置となると仮定すると、ストリップと荷電粒子通過点の相対位置の分布とみなせる。したがって、飛跡分解能が有限の値 σ_{track} を持つ場合、この残差分布は、ストリップ間隔と同じ幅を持つ矩形関数と、分散の大きさが σ_{track} の正規分布の畳み込みとなるはずである。

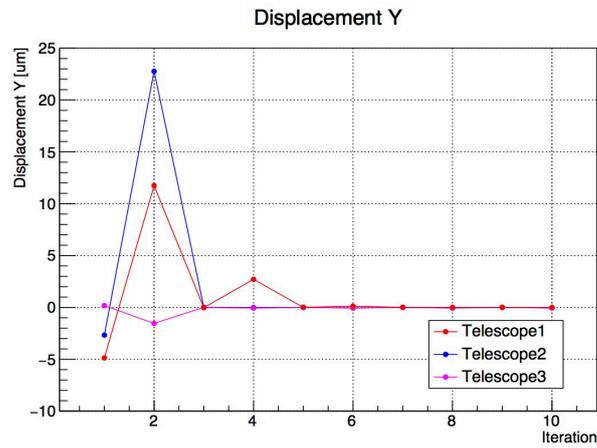
図 5.15 は、上記の手法で生成したテレスコープ 0 の x 方向センサの残差分布である。テレスコープ 0 における飛跡分解能は、テレスコープ 0 に最も近接しているテレスコープ 1 のクラスタサイズに大きく依存するため、図 5.15 では残差分布をテレスコープ 1 のクラスタサイズが 3、4 の場合に分けて描いた。しかし、図 5.15b の残差分布は 2 つのピークを持っており、予想と異なっている。これは、今回のビーム試験では、異なるセンサ同士のストリップがほぼ正確に平行となるように SVX テレスコープの各本体基板を配置したことに加え、ビーム中の全ての粒子がセンサに対してほぼ垂直に入射していたため、ある x 方向センサのストリップに対するヒット位置と、そのセンサに近接する x 方向センサのクラスタサイズに相関、あるいは反相関が生じてしまっているためである。この相関によって、図 5.15 の残差分布は矩形関数と正規分布の畳み込みではなくなり、飛跡分解能を評価することは困難であることがわかった。

しかし、今回のビーム試験では図 5.2 のように、テレスコープ 0 とテレスコープ 1 の間隔は、テレスコープ 2 とテレスコープ 3 の間隔に比べて十分小さいため、テレスコープ 0 における飛跡分解能は、SVX テレスコープの位置分解能よりわずかに大きくなる程度のはずである。この仮定が正しければ、

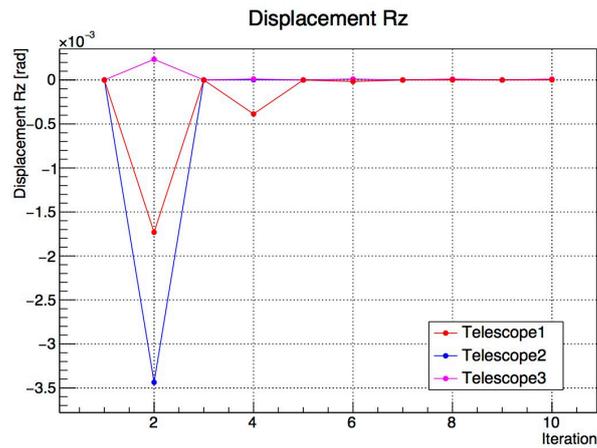
$$\sigma_{\text{position}} = \sqrt{\sigma_{\text{residual}}^2 - \sigma_{\text{track}}^2} < \sqrt{\sigma_{\text{residual}}^2 - \sigma_{\text{position}}^2} \quad (5.4)$$



(a) x 方向の平行移動

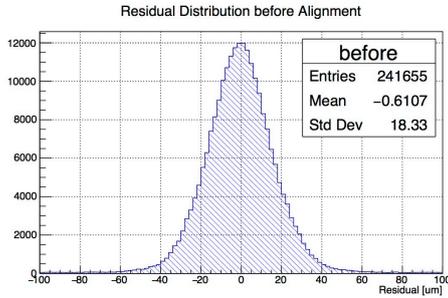


(b) y 方向の平行移動

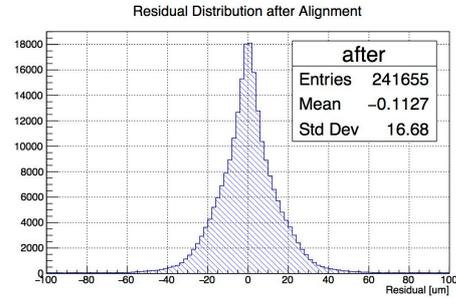


(c) z 軸周りの回転移動

図 5.13: アライメントを繰り返したことによる変位量の推移。横軸が繰り返しの回数、縦軸が変位量の各成分を表す。

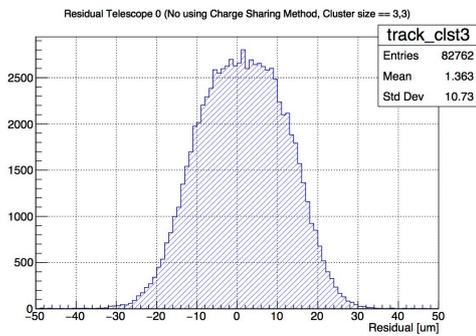


(a) アラインメント前

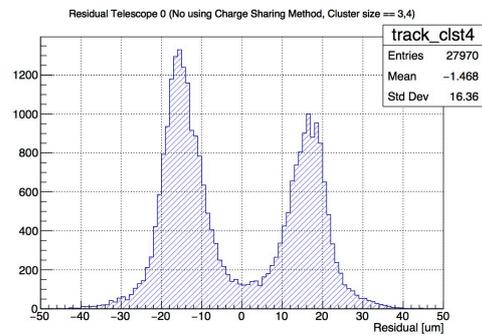


(b) アラインメント後

図 5.14: アラインメント前後の、 Telescope 0 の x 方向のセンサについての残差分布。



(a) Telescope 1 の x 方向センサのクラスタサイズが 3 の場合。



(b) Telescope 1 の x 方向センサのクラスタサイズが 4 の場合。

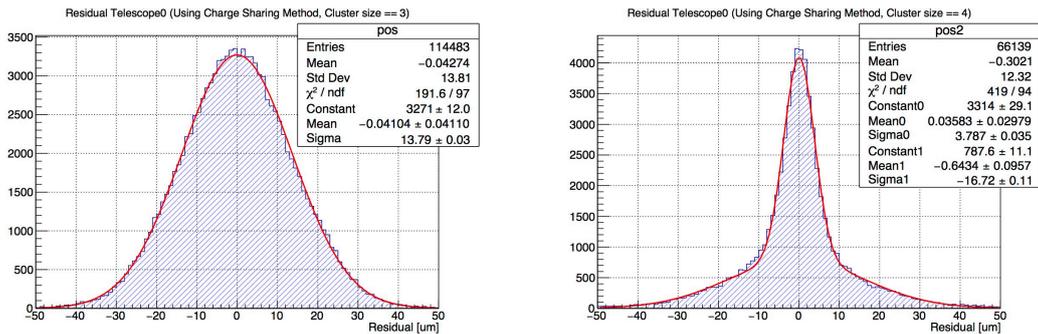
図 5.15: Telescope 1 の x 方向センサのクラスタサイズが 3 と 4 の場合についてみた、 Telescope 0 の x 方向センサについての残差分布。ただし、 Telescope 0 については、 x 方向センサのクラスタサイズが 3 の事象のみを選び出し、 ヒット位置の算出には補正重心法を用いず、 ヒットチャンネルのストリップの位置をヒット位置とした。

であり、これから

$$\sigma_{\text{position}} < \frac{\sigma_{\text{residual}}}{\sqrt{2}} \quad (5.5)$$

となり、位置分解能の上限を定めることができる。

図 5.16 に、望遠鏡 0 の x 方向センサについての残差分布を、望遠鏡 0 の x 方向センサのクラスタサイズが 3 の場合と 4 の場合のそれぞれについて示す。図 5.16 では、全てのセンサについて補正重心法を用いてヒット位置を算出した。異なるセンサ同士のストリップがほぼ正確に平行であるために、クラスタサイズについてもセンサ間で相関、あるいは反相関が生じる。図 5.17 は望遠鏡 0 の x 方向センサと望遠鏡 1 の x 方向センサについて、クラスタサイズの相関を見たもので、両者に正の相関がある。つまり、図 5.16a では、他のセンサにおいてもクラスタサイズが 3 で飛跡分解能が大きい事象がほとんどであり、残差分布は 1 つの正規分布で近似できるが、図 5.16b では、他のセンサでもクラスタサイズが 4 で飛跡分解能が小さい事象の割合が増加するため、残差分布は幅の異なる 2 つの正規分布の和に近づく。図 5.16a の残差分布を正規分布で近似した時の分散 $\sigma_{\text{residual}}|_{\text{clustersize}=3}$ は、 $13.79 \pm 0.03 \mu\text{m}$ である。よって、飛跡分解能が位置分解能よりも大きいと仮定した場合、位置分解能 $\sigma_{\text{position}}|_{\text{clustersize}=3}$ の上限は $\sigma_{\text{position}}|_{\text{clustersize}=3} < \sigma_{\text{residual}}|_{\text{clustersize}=3} / \sqrt{2} = 9.75 \mu\text{m}$ と求まる。同様に、図 5.16b において、2 つの正規分布で近似した時の、幅が細い方の正規分布の分散 $\sigma_{\text{residual}}|_{\text{clustersize}=4}$ は、 $3.78 \pm 0.03 \mu\text{m}$ であり、クラスタサイズが 4 の場合の位置分解能 $\sigma_{\text{position}}|_{\text{clustersize}=4}$ の上限は、 $\sigma_{\text{position}}|_{\text{clustersize}=4} < 2.67 \mu\text{m}$ と求まる。位置分解能の開発目標は $10 \mu\text{m}$ であるので、クラスタサイズが 3 の場合は目標と同程度、クラスタサイズが 4 の場合は目標を大きく上回る位置分解能を達成している。



(a) 望遠鏡 0 の x 方向センサのクラスタサイズが 3 の場合。正規分布で近似曲線を描いた。

(b) 望遠鏡 0 の x 方向センサのクラスタサイズが 4 の場合。2 つの正規分布の和で近似曲線を描いた。

図 5.16: 望遠鏡 0 の x 方向センサについての残差分布を、望遠鏡 0 の x 方向センサのクラスタサイズが 3 の場合と 4 の場合についてみたもの。全てのセンサにおいて、ヒット位置の算出には補正重心法を用いている。

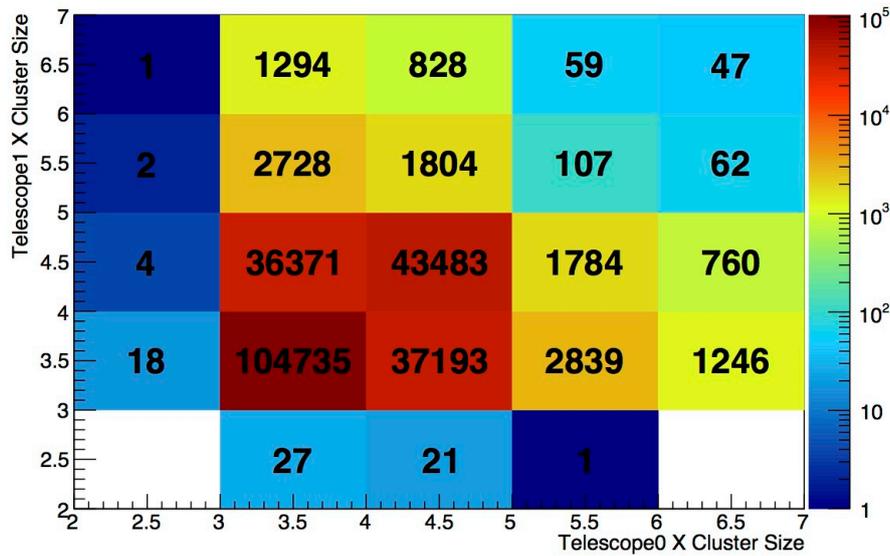


図 5.17: テレスコープ0のx方向センサとテレスコープ1のx方向センサについてのクラスタサイズの相関分布。横軸がテレスコープ0のx方向センサのクラスタサイズ、縦軸がテレスコープ0のx方向センサのクラスタサイズである。

ヒット検出効率

ヒット検出効率を評価した。あるセンサについてのヒット検出率は、その分母を、評価対象以外の全てのセンサがヒットを検出しており、評価対象のセンサ以外を使って飛跡が正しく再構成できる(ヒット位置を結ぶ近似直線の χ^2 が1以下)事象の数とし、分子を、分母に含まれる事象かつ、評価対象のセンサがヒットを検出しており、その残差がある閾値 $X \mu\text{m}$ 以下である事象数と定義する。

図 5.18 に、全てのセンサについて、飛跡とセンサとの交点の位置によるヒット検出効率の分布を求め、それらを全て掛け算して作成した分布を示す。閾値は $200 \mu\text{m}$ とした。図 5.18 には、検出効率が低い領域が筋状に存在するが、これは 2.3.2 節で説明したマスクチャンネルによるものである。以降の解析においては、マスクチャンネルの効果を除いたヒット検出効率の評価を行うために、飛跡とセンサとの交点が図 5.18 中の白破線で囲まれた領域にある事象のみを用いる。

次に、ヒット検出効率の閾値 X による変化を見る。テレスコープ0のy方向のセンサのヒット検出効率を、閾値 X の関数として描いたものを図 5.19 に示す。この結果から、ヒット検出率は閾値がおおよそ $150 \mu\text{m}$ を超えると、変化が少なくなることがわかる。

閾値によるヒット検出効率の変化がほぼなくなる、 $X = 200 \mu\text{m}$ においてヒット検出効率を求めた結果を表 5.1 にまとめた。この結果から、各センサの検出率は98%以上であることを示した。飛跡再構成を行う場合、4枚のSVXテレスコープの全てにおいてヒットが検出できている必要がある。したがって、飛跡を再構成できる効率は表 5.1 の各ヒット検出効率を全て掛け算したものとなり、表 5.1 の各

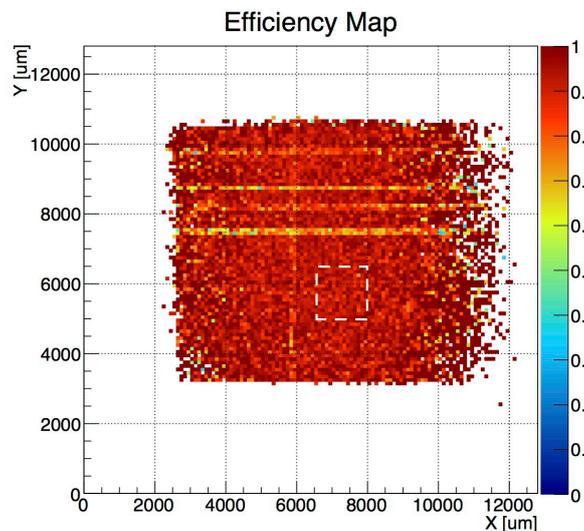


図 5.18: 全てのセンサについて、飛跡とセンサとの交点の位置によるヒット検出効率の分布を求め、それらを全て掛け算して作成した分布。この時の閾値 X は $200\ \mu\text{m}$ である。周辺部のヒット検出効率が 0 である領域は、トリガカウンタによってカバーされていない領域である。検出効率が落ちている筋状の領域は、マスクチャンネルによるものである。図 5.19 と表 5.1 においては、マスクチャンネルの効果を除いたヒット検出効率を評価するために、飛跡とセンサとの交点が図中の白い破線で囲まれた領域にある事象のみを解析に使った。

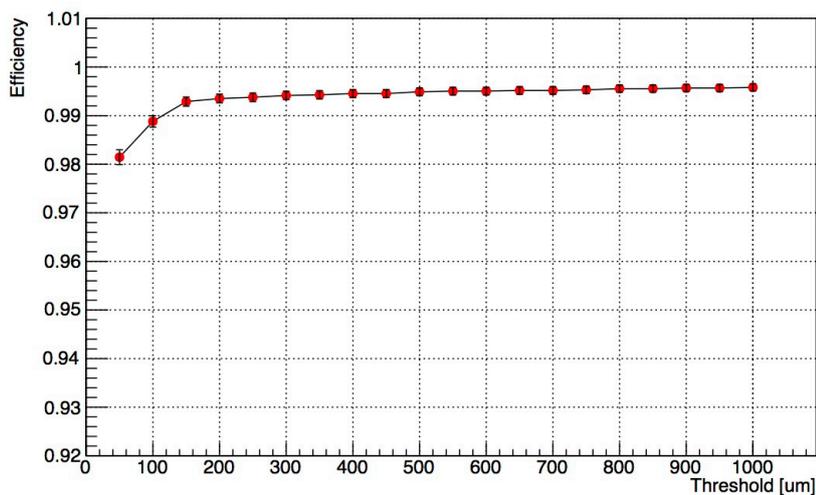


図 5.19: テレスコプ 0 の y 方向のセンサについてのヒット検出効率の、ヒット検出の判定に用いた閾値による変化。横軸は、ヒット検出の判定に用いる閾値であり、縦軸がヒット検出効率である。

値からこの飛跡を再構成できる効率を計算すると、91.6%となる。これは、実際の使用に耐えうる高い検出効率である。

表 5.1: SVX テレスコープの各センサごとに求めたヒット検出効率。誤差は、ヒット検出効率が二項分布に従うとして求めた。

	x 方向センサ	y 方向センサ
テレスコープ 0	(98.65 ± 0.13) %	(99.35 ± 0.09) %
テレスコープ 1	(98.98 ± 0.11) %	(99.52 ± 0.08) %
テレスコープ 2	(98.95 ± 0.10) %	(99.29 ± 0.08) %
テレスコープ 3	(98.47 ± 0.12) %	(98.09 ± 0.14) %

第6章 結論

ATLAS 実験アップグレード用シリコン検出器の性能評価に用いるため、試験用システムとして、参照用飛跡検出器 SVX テレスコープと、SVX テレスコープと DUT との統合読み出しシステムを開発した。

SVX テレスコープの開発では、読み出しファームウェアの課題であった、不安定性を取り除くことに成功し、安定したデータ取得を実現した。他にも、新たに TDC をファームウェアに実装し、電荷収集効率の補正を行うことを可能にした。また、自動較正機能を持った読み出しソフトウェアも開発した。開発した読み出しファームウェアと読み出しソフトウェアを用いて、SVX テレスコープの動作試験を実験室で行い、基本動作や自動較正機能が正しく動作することを示した。また、事象取得レートの上限とノイズ量を測定し、事象取得レートの上限が目標の 10kHz を超えること、評価したノイズ量が文献値と一致することなどを示した。このノイズ量と MIP で期待される信号の電荷量から計算すると、24.4 と高い S/N 比が得られる。

SVX テレスコープと DUT の統合読み出しシステムの開発では、SVX テレスコープと DUT の事象データの正しい統合を保証する仕組みである、TLU による BUSY 信号を用いたトリガの Veto や、データへのタイムスタンプの付加機能を実装した。また、ソフトウェアフレームワーク SCTJDAQ へ SVX テレスコープと DUT の読み出しソフトウェアを組み込んだ。トリガ Veto の試験を行ったところ、事象数の割合にして 0.01% の確率で事象のずれが生じることがわかった。このずれの原因の詳細は不明である。そこで、SCTJDAQ 上でこのずれの補正を行った。

そして、この開発した試験用システムを用いて、ビーム試験を行い、SCTJDAQ において、オンラインで正しく事象の統合ができていること、SVX テレスコープの検出効率、電荷分布が期待通りの結果が得られたことを示した。

さらに、新たにオフライン解析ソフトウェアを開発し、ビーム試験で得られたデータを用いて SVX テレスコープの性能評価を行った。この性能評価の結果、SVX テレスコープの位置分解能の上限を、クラスタサイズが 3 の場合は $9.75\ \mu\text{m}$ 、クラスタサイズが 4 の場合は $2.67\ \mu\text{m}$ と求めた。また、すべてのセンサについて、98% 以上のヒット検出効率を達成していることを示した。

以上の結果から、開発した試験用システムは、ATLAS 実験アップグレード用シリコン検出器の性能評価に用いることができると結論づける。

課題として、実施したビーム試験において、センサ間のストリップが正確に平行になるような配置をしたため、性能評価において SVX テレスコープの飛跡分解能の評価ができなかったことが挙げられる。また、さらなる位置分解能のために、

クラスタサイズが4である事象を増やす必要がある。これらの改善策として、飛跡分解能の評価を可能にするためには、各センサをビーム軸に対して少しずつ回転して配置すること、クラスタサイズを増加させるためには、センサをビーム軸に対して垂直ではなく、少し角度をつけて配置することなどが挙げられる。

謝辞

研究するにあたり、山中卓教授には素粒子実験についての沢山の知識を教えてください、悩み事まで聞いていただいたりと大変お世話になりました。KEK サマチャレと物理学セミナーにおいてTAを務められる貴重な機会を作ってください、そこで、山中さんから教育者としてのあるべき姿勢を学びました。ありがとうございます。

花垣和則特任教授からは ATLAS 実験のことから、研究者としての心構えまで、非常に多くのことを教えていただきました。研究を進めていくにあたり、様々なご迷惑をおかけしたかと思いますが、それでもずっと熱心にご指導して下さい、心から感謝申し上げます。

KEK の海野義信さん、池上陽一さん、中村浩一さんからは、シリコンセンサについての様々な知識を学ばせていただきました。また、ビーム試験において、実験のやり方から海外での生活に至るまで、細やかにサポートをしていただき、非常に心強かったです。

また KEK の安芳次さんには、SCTJDAQ のこと、コンピュータの知識などにおいて、様々な面でお世話になりました。安さんの書かれたコードは非常に整っていて、わかりやすく、私の目標となっております。

SVX テレスコープが安定して動作しなかった時、KEK の内田智久准教授には大変お世話になりました。内田さんからは、ファームウェアについての経験と理論に裏打ちされた非常にわかりやすいご指導をいただき、それまでは闇雲にしかできなかったファームウェア開発を、体系立てて進められるようになりました。

SVX テレスコープ筐体を制作するにあたり、大阪大学金工室の坂本道夫さんには金工のいろはを手とり足とり教えていただきました。実力不足でご迷惑をおかけしましたが、おかげでとても立派な筐体が出来上がりました。

先輩の Teoh Jia Jian さん、石島直樹さんからは沢山の助言をいただきました。石島さんからは、SVX テレスコープを引き継いだ当初、何もわからなかった私につきっきりで指導をいただき、研究の道筋をつけていただきました。

特任研究員の山口洋平さんは、解析のことなら何でもご存知で、私の質問にも気さくに答えて下さり、とても頼れる存在でした。

元 ATLAS 大阪グループの廣瀬穰さん、遠藤理樹さん、荒井泰貴さんには、様々なアドバイスをいただいたり、まだまだ未熟な私達を支えていただいたりと、親切に接していただき、精神的な支えになりました。

後輩の今坂俊博くん、森哲平くん、原口弘くん、佐藤友太くん、澤田恭範くん、西宮隼人くん、Diana さんには、たわいもない話を聞いてもらったり、研究に取り

組む姿勢を見せてもらったりと、良い刺激になりました。

同じ研究室の外川学助教、研究員の小野峻さん、現宇宙線研の佐藤和史さん、村山理恵さん、杉山泰之さん、辻嶺二さん、宮崎康一くんは、実験グループは違いますが、同じ研究室のメンバーとして、様々な面でお世話になりました。また、異なる実験の話聞いてとても勉強になりました。

秘書の川原希恵さんには事務手続きで大変お世話になりました。慣れない手続きや出張も多く、あたふたしがちな私に細やかにサポートしてくださりありがとうございます。

桐山奨学会のみなさんには、6年間の学生生活を経済面で支えていただきました。奨学会事務局秘書の黒木さんには、毎年の面談会で優しく声をかけていただき、研究の励みになりました。

最後に、まだまだここに書ききれないほどの沢山の方々にお世話になりました。研究を通じて、私は沢山の人に支えられて生きているのだということに気付かされました。みなさん、本当にありがとうございます。

参考文献

- [1] Lyndon Evans and Philip Bryant, *JINST* **3**, S08001 (2008).
- [2] The ATLAS Collaboration, *JINST* **3**, S08003 (2008).
- [3] L Rossi and O Brning, High Luminosity Large Hadron Collider A description for the European Strategy Preparatory Group, CERN-ATS-2012-236, (2012).
- [4] The ATLAS Collaboration, Letter of Intent for the Phase-II Upgrade of the ATLAS Experiment, CERN-LHCC-2012-022 (2012).
- [5] B.Krieger *et al.*, *IEEE Transactions on Nuclear Science* **51**, 1968 (2004).
- [6] L.Christofek *et al.*, Preliminary Test Results for the SVX4, DØNote 4250.
- [7] L.Christofek *et al.*, SVX4 User's Manual, DØNote 4252.
- [8] FE-I4 Collaboration, The FE-I4B Integrated Circuit Guide, version 2.3 (2012).
- [9] 東野 聡, ATLAS 実験アップグレード用シリコン検出器試験のためのテレスコープ検出器開発, 修士論文, 大阪大学 (2013).
- [10] 石島 直樹, ATLAS アップグレード用シリコン検出器試験用システムの開発, 修士論文, 大阪大学 (2014).
- [11] Theo Jia Jian, Development of SiTCP Based Readout System for The ATLAS Pixel Detector Upgrade, Master thesis, Osaka University (2012).
- [12] 荒井 泰貴, ATLAS 実験アップグレード用ピクセル検出器の性能評価, 修士論文, 大阪大学 (2015).
- [13] Takanori Kohno, *Nuclear Instruments and Methods in Physics Research A*, **559**, 153 (2006).
- [14] HFW Sadrozinski, *IEEE Transactions on Nuclear Science* **48**, 933 (2001).