

SOI 技術を用いたピクセル型半導体検出器
SOFIST1 の開発、および SOI センサーの基礎
研究

大阪大学大学院 理学研究科 物理学専攻 山中 卓 研究室
博士前期課程 2年 辻 嶺二

平成 28 年 2 月 2 日

概要

高エネルギー物理学実験において、半導体検出器は位置検出器として多用されている。今後、さらに高い位置分解能を持つ検出器の開発が期待され、様々な新技術を用いた開発研究が行われている。大阪大学山中研究室 SOI グループでは、新技術の一つである SOI 技術 (Silicon On Insulator Technology) を用いた高エネルギー物理学実験用の半導体検出器の開発を行っている。本研究の目的は、その試作機の開発と、シミュレーションによるクロストークの確認と、センサー部における信号電荷の振舞いの基礎研究である。

開発では、信号読み出しの為にピクセル回路を作成し、回路シミュレーションによる動作確認を行った。また、回路素子が乗るシリコンウェハ上での回路素子の配置を決定した。

クロストークの確認と基礎研究では、TCADシミュレーション (Technology Computer Aided Design Simulation) を用いて、製作するチップの回路とセンサー間、そしてピクセル間クロストークについて調べ、それらが正常に動作する上で問題のない程度である事を確認した。さらに、センサーへの印加電圧、センサー部の構造の変化に対する、信号となる電荷の広がり方、収集速度、電荷分割の変化を調べ、まとめた。

目次

第1章	序論	6
1.1	高エネルギー物理学実験における半導体位置検出器の現状	6
1.2	高エネルギー物理学実験に用いる半導体位置検出器	6
1.3	本研究の目的	8
1.3.1	最終目標	8
1.3.2	本研究の目的	9
1.3.3	本研究に用いたシミュレーションソフトウェア	9
第2章	SOI技術を用いたピクセル半導体検出器	10
2.1	SOI技術	10
2.1.1	SOI技術を用いた半導体検出器の利点	10
2.1.2	SOIセンサー内に埋め込まれるBPW	12
第3章	SOFIST1	14
3.1	SOFIST1 chipの概要	14
3.2	ピクセル部分	17
3.2.1	回路部分	17
3.2.2	センサー部分	17
3.2.3	ピクセル部分のレイアウト	18
第4章	回路シミュレーションによるSOFIST1ピクセル部分の回路の動作確認	20
4.1	ソース接地増幅回路の増幅率	20
4.2	アナログバッファの電荷蓄積時間	22
4.3	ピクセル回路全体での動作確認	24
4.4	プリアンプ増幅率の温度依存性	26
第5章	TCADシミュレーションによるSOFIST1センサーの基礎研究	27
5.1	センサーの全空乏化電圧	28
5.2	クロストーク	29
5.2.1	センサー・回路間のクロストーク	29
5.2.2	ピクセル間のクロストーク	31
5.3	SOFIST1における電荷分割、電荷収集時間についてのシミュレーション	33

5.3.1	評価方法	33
5.3.2	電荷収集のバイアス電圧依存性	34
5.3.3	BPW のサイズを変えた時の電荷収集についてのシミュレーション	36
5.3.4	回路素子を配置した場合の電荷収集についてのシミュレーション	38
5.4	考察と課題	40
5.4.1	BPW の大きさについての考察	40
5.4.2	今後の課題	40
第 6 章 結論		41
付録		42
.1	TCAD シミュレーションに使用したトランジスタの特性	42
謝辞		44
参考文献		46

目 次

1.1	高エネルギー物理学実験に用いる半導体位置検出器の種類	7
1.2	ストリップ型、ピクセル型検出器の概略図 [1]	7
1.3	ピクセル検出器の接続方法 [1]	8
2.1	SOI CMOS の模式図	10
2.2	SOI 技術を用いた半導体検出器の構造 [6]	11
2.3	BPW がある場合のシミュレーションに用いた構造。BPW 無しの場合は、ここから BPW を無くした構造を用いた。	13
2.4	BPW による backgate 効果抑制。縦軸:NMOS のドレイン電流 横軸:センサバイアス電圧。黒線: BPW なしの場合。緑線: BPW ありの場合。	13
3.1	SOFIST1 chip の全体概略図	14
3.2	SOFIST1 chip の全体レイアウト図	15
3.3	SOFIST1 の有感領域のブロック図	16
3.4	SOFIST1 のピクセル部分の回路概略図	17
3.5	SOFIST1 のピクセル部分を横から見た場合の模式図	18
3.6	センサー部分のレイアウト。中心の円形が電荷収集端子。赤線が BPW の端で、囲われている部分に BPW を配置した。ここでは BPW のサイズ $16 \times 16 \mu\text{m}$ を例とした。	18
3.7	回路を含めた 1 ピクセル全体のレイアウト	19
4.1	回路シミュレーションに用いたソース接地増幅回路	20
4.2	ソース接地増幅回路の増幅率	21
4.3	アナログバッファの回路シミュレーションに用いた回路概略図	22
4.4	アナログバッファの電荷蓄積の様子 (5 MIP に相当する電流を入力)	23
4.5	アナログバッファの電荷蓄積時間	23
4.6	ピクセル回路全体でのタイミング図	25
4.7	温度を変えた時の入力信号とプリアンプ出力の関係	26
5.1	シミュレーションに使用したセンサー構造	27
5.2	センサーの深さ方向 (Y 軸方向) の電子濃度 ($V_{bias} = 10, 25, 40, 50 \text{ V}$)	28
5.3	シミュレーションに使用したセンサー構造	29
5.4	回路層のトランジスタドレイン電流とセンサバイアス電圧の関係	30

5.5	トランジスタを配置しなかった場合の界面付近 ($Y = 0.5 \mu m$) の電位	31
5.6	トランジスタを配置した場合の界面付近 ($Y = 0.5 \mu m$) の電位 . . .	31
5.7	$I_{Ps2} - V_{Ps1}$ グラフ	32
5.8	シミュレーションに使用したセンサー構造の例	33
5.9	各端子に流れる電流の時間経過	34
5.10	2点での電荷重心をとった場合の重心位置 (V_{bias} 変化)	35
5.11	収集時間無限大のときの $V_{bias} = 40 V$ での収集電荷量に対する時刻 t での収集電荷量の割合	35
5.12	2点での電荷重心をとった場合の重心位置 (BPW の幅変化)	36
5.13	2点での電荷重心をとった場合の重心位置 (BPW なしの場合を含む)	37
5.14	収集時間無限大のときの収集電荷量に対する時刻 t での収集電荷量の割合 (電荷生成 X 座標 $-10.0 \mu m$)	37
5.15	シミュレーションに使用したセンサー構造	37
5.16	2点での電荷重心をとった場合の重心位置	38
5.17	収集時間無限大のときの収集電荷量に対する時刻 t での収集電荷量の割合	39
5.18	センサー内の電場構造の違い	39
1	シミュレーションに使用した NMOS の構造	42
2	ドレイン電流とゲート電圧の関係	43
3	ドレイン電流とゲート電圧の関係 (縦軸は Log)	43

表 目 次

5.1 隣接する入力端子に電流が流れ始める電位	32
-----------------------------------	----

第1章 序論

この章では、現在、高エネルギー物理学実験に多用されてる半導体位置検出器の技術についてまとめる。その後、本研究の目的と本研究に使用したシミュレーションソフトウェアについて説明する。

1.1 高エネルギー物理学実験における半導体位置検出器の現状

位置測定用の半導体検出器は、荷電粒子の飛跡検出器として多くの高エネルギー物理学実験に使用されている。荷電粒子の飛跡を精度よく測定する為に、半導体位置検出器には高い位置分解能が要求される。また、半導体位置検出器は、加速器実験においては、ビーム衝突点近傍に配置される事が一般的で、高い放射線耐性を持つ事も重要となる。

これらの要求を満たす半導体位置検出器は今後の高エネルギー物理学実験にも不可欠であり、多くの研究機関で様々な技術を用いた開発研究が進められ、さらなる発展が期待される。

1.2 高エネルギー物理学実験に用いる半導体位置検出器

図 1.1 に、半導体検出器の種類をまとめた。半導体検出器は、位置情報の担い手となる電荷を収集する為の端子の形状、その収集した電荷を読み出す為の回路を搭載した Application Specific Integrated Circuit (ASIC) の位置、そして、ASIC とセンサーの接続方法、この3つの違いにより種類分けできる。ここではどの様な分け方をするかを簡単に説明する。

図 1.2 は、(a) ストリップ型、(b) ピクセル型検出器の概略図である (ここではどちらも n 基板を例としている)。ストリップ型検出器は、センサーからの信号を読み取る為の端子 (p 型半導体) が直線状に並び、入射した荷電粒子の 1 次元的位置情報を読み取ることが可能な検出器である。この検出器 2 枚を互いに、ストリップが交差するように配置することにより 2 次元的位置情報を読み取ることが出来る。ストリップ型検出器は、大面積に配置しても読み出しチャンネルを比較的少なくできる利点がある。ピクセル型検出器は、信号を読み出す端子を格子状に

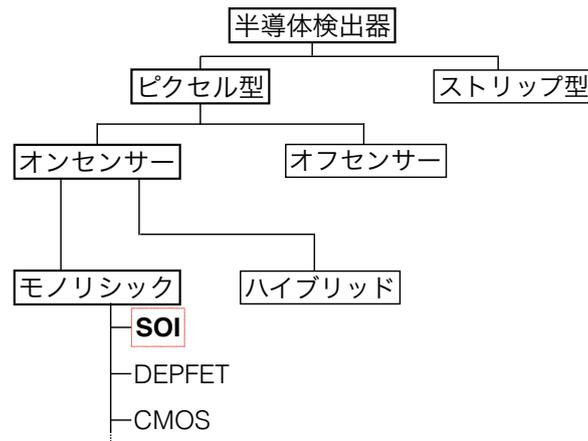


図 1.1: 高エネルギー物理学実験に用いる半導体位置検出器の種類

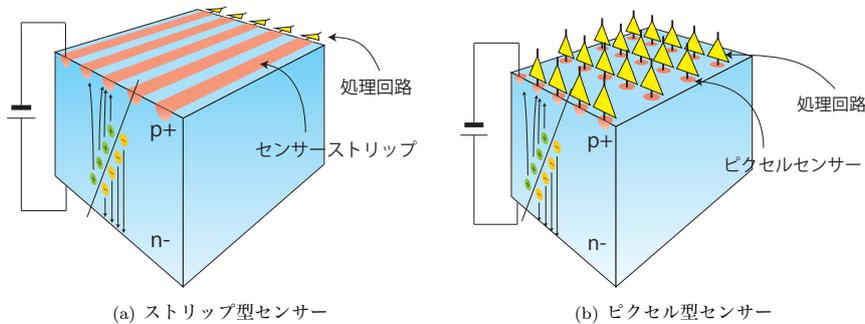


図 1.2: ストリップ型、ピクセル型検出器の概略図 [1]

配置させ、1枚で2次元的な位置情報を読み出すことが可能な検出器である。ストリップ型検出器に比べてセンサーからの信号を収集する電極が小さく、寄生容量も小さくなる。その為、同サイズのストリップ型検出器に比べて、ピクセル型検出器はS/N比が良いという利点がある。

ピクセル型検出器の中でも、読み出し回路用のASICをセンサーの上部に搭載するか(オンセンサー)、センサーの横など離れた場所に置くか(オフセンサー)で大別される。さらに、オンセンサーのピクセル検出器には、ASICとセンサーの接続方法が2種類ある。ハイブリッド型は、バンプボンディングと呼ばれる接続方法によって、ASICとセンサーの1ピクセル毎の間をAgSnなどのはんだで接続している。図1.3(a)にその様子を示す。センサーの面積化が進む現在、バンプボンディングによる接続では、ボンディングの不具合によるdead channelを防ぐ事が技術的に難しく、歩留まりを上げるのが難しい。

図1.3(b)にモノリシック型の接続方法の一例を示した(SOI技術(2章で述べる)における接続方法)。モノリシック型の大きな特徴は、読み出し回路とセンサーを一つのシリコン基板上で製作している点である。その為ボンディングによる接続が不要となり、ボンディング接続方法にあったボンディング欠陥によるdead channel

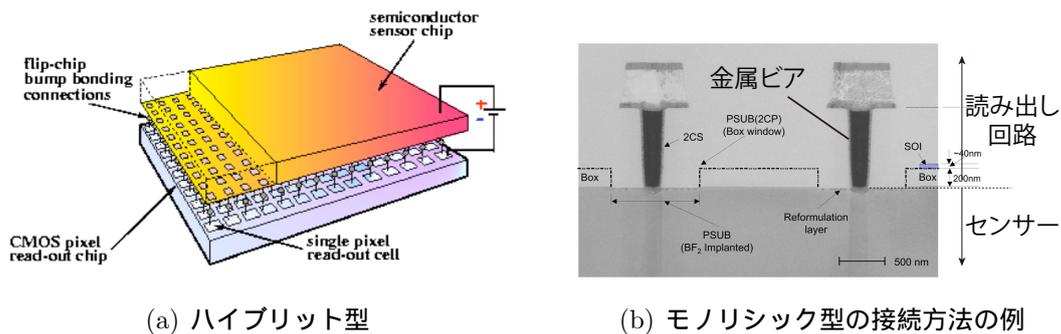


図 1.3: ピクセル検出器の接続方法 [1]

という問題を克服できる。また、回路とセンサーが1枚の基板にまとまっているため、物質量が少なく済むという利点もある。

本研究における SOI 技術を用いた半導体検出器は、センサー部からの信号を収集する端子はピクセル型で、読み出し回路はセンサー上部に搭載された(オンセンサー)、ボンディング不要のモノリシック型半導体検出器である。

1.3 本研究の目的

大阪大学山中研究室 SOI グループは、KEK の測定器開発室と協力して、高エネルギー物理学実験用の半導体検出器を開発している。この節ではまず、研究全体の概要を述べ、次に私が本研究で行った開発と研究についてまとめる。

1.3.1 最終目標

本研究グループの最終目標は、新技術の一つである SOI 技術を用いて高エネルギー物理学実験用の半導体検出器を開発する事にあり、応用例として、国際リニアコライダー実験 (International Linear Collider, ILC) で使用する検出器を考えている。ILC 実験は、電子・陽電子衝突を起こす直線型加速器実験であり、衝突点近傍に置かれる荷電粒子位置検出器としての半導体検出器には、次に挙げる性能要求が課せられている [2]。

- 位置分解能 $3 \mu\text{m}$ 以下
- センサー厚 $100 \mu\text{m}$ 以下
- 放射線耐性 100 krad/year
- ピクセル占有率 3 % 以下

以上に加えて、ビームのどのバンチに起因した荷電粒子かを識別するために、時間情報を有する位置検出器である事も期待されている。

1.3.2 本研究の目的

開発の初段階にある現時点で、すべての要求を満たす検出器をすぐに実現する事は難しい。そこでまず、位置分解能 $3 \mu m$ という要求のみに主眼を置いたピクセル検出器の開発を行い、その試作機を完成させた。本研究では、開発中であった試作機のアナログ回路の部分的な設計と動作確認をシミュレーションを用いて行った。

試作した検出器は、各ピクセルに入った電荷量を読み出し、その電荷量の重心位置を求める事で入射した荷電粒子の位置を測定する ([3])。この時、位置分解能 δx は、各ピクセルで収集した電荷量の総和を S 、回路やセンサーに入るノイズを N とすると $\delta x = \frac{d}{S/N}$ となる。その為、各ピクセルに入る電荷量という情報は重要になってくる。そこで、開発した chip のセンサー内で、回路への入力信号となる正電荷がどの様に広がった後、回路入力端子に集まるかをデバイスシミュレーションソフトウェアを用いて調べた。

1.3.3 本研究に用いたシミュレーションソフトウェア

開発研究にあたり、以下に挙げるシミュレーションソフトウェアを用いた。

回路シミュレーション

回路の設計にあたり、cadence 社の virtuoso と呼ばれる総合環境ソフトウェアを用いた ([4], [5])。このソフトウェアでは、設計した回路の挙動が、トランジスタの大きさや、コンデンサの容量などを変えた時どの様に变化するかをシミュレーションし、目的に適した回路素子の決定が行える。また、IC チップ上に実際に搭載する回路素子の配置をレイアウトし、その図面を描く事も可能である。

本研究ではこれを用いて、ピクセル回路の回路シミュレーションとレイアウトを行った。

デバイスシミュレーション

センサー内の正電荷の振る舞いを調べるにあたり、Technology Computer Aided Design (TCAD) シミュレーションを用いた。このソフトウェアでは、半導体を用いたトランジスタなどのデバイスの構造を作成し、その電気的特性をシミュレーションする事が可能である。SOI センサーも半導体を用いたデバイスであるので、この TCAD を用いてセンサー内の電気的な振る舞いについてシミュレーションできる。本研究で用いたものは、TCAD HyENEXSS 5.5 である。

第2章 SOI技術を用いたピクセル半 導体検出器

2.1 SOI技術

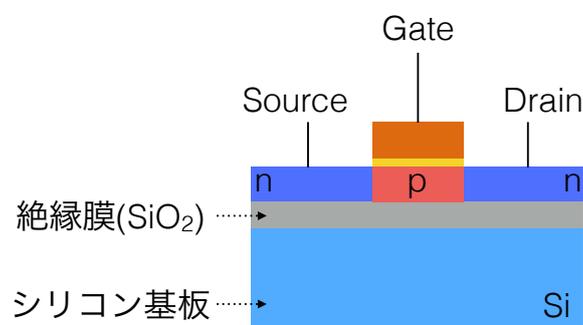


図 2.1: SOI CMOS の模式図

SOI 技術とは Silicon On Insulator 技術の略称で、半導体素子製造の技術の一つである。図 2.1 は SOI CMOS と呼ばれるトランジスタの模式図である。シリコン基板の上に薄い絶縁膜 (SiO_2) を形成し、その上部で SOI CMOS と呼ばれる半導体素子を構築する。絶縁膜により Source と Drain との間の寄生容量が小さくなり、SOI CMOS を利用した集積回路は通常の CMOS に比べて、動作の高速化、消費電力の削減を実現した。

図 2.2 は、この SOI 技術を用いた半導体検出器の概念図である。ここでは不純物を添加する事によってシリコン基板を n 型半導体にして検出器のセンサー部分として使い、絶縁膜で隔絶された上部に SOI CMOS を使用して、読み出し回路を構築する。読み出し回路の層もシリコンウェハであるが、その回路素子一つ一つは絶縁膜によって隔絶されている。

2.1.1 SOI 技術を用いた半導体検出器の利点

SOI 技術を用いた半導体検出器には大きく 2 つの特徴がある。1 つは、センサー部分と読み出し回路が金属ビアを介して接続されるモノリシック型検出器であるという事である。もう 1 つは回路層にある半導体素子が SOI CMOS であり、その

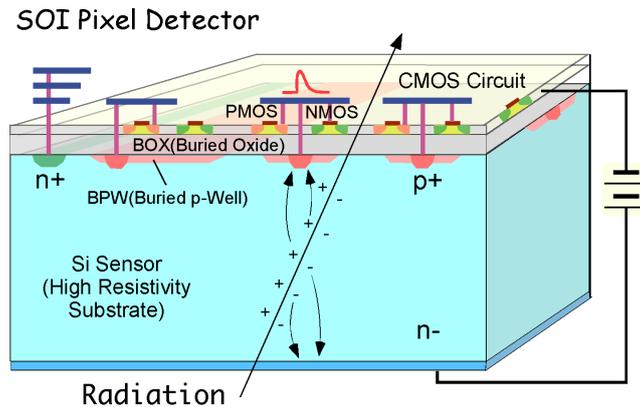


図 2.2: SOI 技術を用いた半導体検出器の構造 [6]

一つ一つが絶縁膜で隔絶されている読み出し回路であるという事である。この2つの特徴から、以下の利点が生まれる。

センサーと回路のボンディングが不要

SOI 半導体検出器では、センサー基板と読み出し回路との間に絶縁膜が存在し隔絶されているが、そこに金属ビアを通すことで接続される。検出器の搬送、動作試験など外部からの物理的な接触は使用上必ずあるが、モノリシック型半導体検出器においては、接続部分への検出器外部からの物理的な接触はない。そのため、ワイヤボンディングで度々発生する断線やショートの問題が少ない。また、バンブボンディングよりも高い歩留まりが期待できる。

物質量の削減

モノリシック型半導体検出器は、製造法にもよるが、1枚のシリコン基板程度の厚さしか持たない。センサーシリコン基板と読み出し回路を搭載するASICが別々の検出器に比べて、薄い半導体検出器である。高エネルギー物理学実験では半導体検出器は、検出器全体の最内層となるビーム衝突点近傍に配置される事が一般的である。モノリシック型半導体検出器の薄さは、ビーム衝突により生成した荷電粒子が通過する物質量を減らし、通過する荷電粒子の多重散乱の大きさを小さくできる。

回路の高速性、低消費電力

SOI CMOSは絶縁膜の上に形成される為に、トランジスタ単体中での寄生容量も小さくなっている。さらに素子間も絶縁膜で隔絶されているため、回路を構築した時に素子間で発生する寄生容量も抑制できる。寄生容量が小さい分、そこで

の充電、放電は速くなる。その結果、回路の高速化が実現できる。また絶縁膜によりリーク電流量も抑制でき、回路の電力消費も抑えられる。その結果、電力消費による熱の発生も少なくなるので、温度変化による増幅率の変動などの回路の不具合も抑制できる。

高集積化

素子間の絶縁により、素子同士をより近くに配置する事が可能となる。回路に必要であった面積が小さくて済めば、ピクセル同士の間隔を狭められ、分解能をよくする可能性が生まれる。あるいは、空いた面積を利用してさらに大きな回路を搭載することで、より複雑な信号処理を実現できる。

2.1.2 SOI センサー内に埋め込まれる BPW

SOI 技術を用いた検出器には、センサー部分と回路部分との間にクロストークを減らす為の薄い絶縁膜がある事は、先にも触れた。しかし、現在までに KEK SOI グループで作られた検出器の研究の結果、センサーにバイアス電圧をかけると、その電圧が回路素子であるトランジスタのゲートと同じ働きをしてしまう事が分かった。これは back gate 効果と呼ばれ、この影響で回路が期待通りに動作しない事があると分かってきた。この問題を解決する為に、考えられたのが Buried P Well (BPW) である。図 2.2 に載せた様に、電荷収集端子となる p 型半導体の周りに、比較的濃度の薄い p 型半導体の層をを埋め込む事によってセンサー・絶縁膜界面付近の電位を固定し、バイアス電圧による回路への影響を減らす。また、荷電粒子が入射した時に生成される電荷を効率良く収集する事が期待されている。

BPW による back gate 効果抑制の効果を見るために、図 2.3 に示す構造を用いて TCAD シミュレーションを行った。その結果を図 2.4 に示す。BPW が無い場合にバイアス電圧を上げていくと、トランジスタのゲート電圧が 0 V であるにもかかわらず、back gate 効果によりドレイン電流が流れている事がわかる。一方、BPW がある場合、バイアス電圧を上げててもトランジスタのドレイン電流は流れていない。BPW が back gate 効果を抑制し得る事がよく分かる。

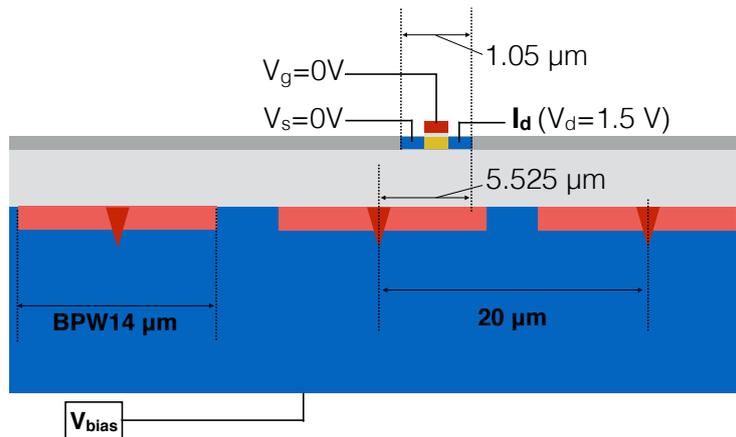


図 2.3: BPW がある場合のシミュレーションに用いた構造。BPW 無しの場合、ここから BPW を無くした構造を用いた。

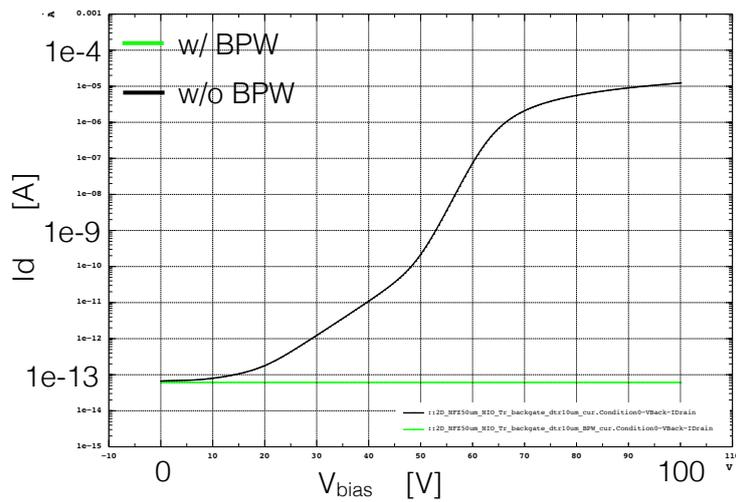


図 2.4: BPW による backgate 効果抑制。縦軸:NMOS のドレイン電流 横軸:センサーバイアス電圧。黒線: BPW なしの場合。緑線: BPW ありの場合。

第3章 SOFIST1

大阪大学山中卓研究室 SOI グループでは、高エネルギー物理学実験用の荷電粒子検出器の開発の一環として、その試作機となる SOI sensor for Fine measurement of Space and Time 1 (SOFIST1) を、KEK SOI グループと共同開発した。この章では、SOFIST1 の概要について説明する。

3.1 SOFIST1 chip の概要

SOFIST1 chip は、2015 年 5 月に行われた Multi Project Wafer run (MPWrun) にて制作した。使用したウェハは FzN (比抵抗 約 $2\text{ k}\Omega\cdot\text{cm}$)、センサー厚 $300\ \mu\text{m}$ のものを使用した。

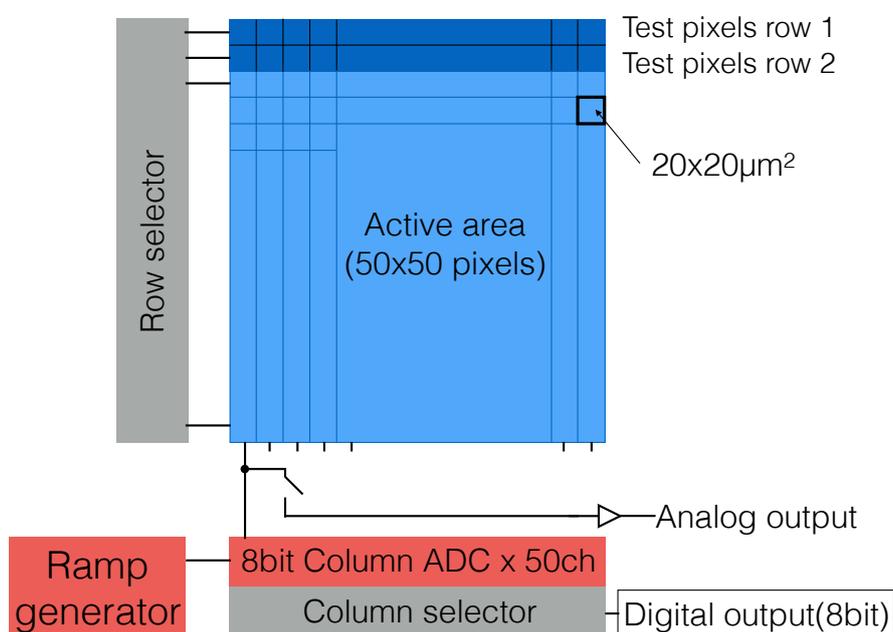


図 3.1: SOFIST1 chip の全体概略図

図 3.1 と図 3.2 は、SOFIST1 chip 全体の概略図及びレイアウトである。この chip の大きさは $3 \times 3\text{ mm}^2$ で、 $20 \times 20\ \mu\text{m}^2$ の大きさのピクセルが 50×50 並んだ有感領域 ($1 \times 1\text{ mm}^2$) と、カラム読み出しの ADC50 個、またそれを駆動させる為の Ramp Generator から構成されている。有感領域の回路層にはピクセル内部のアナ

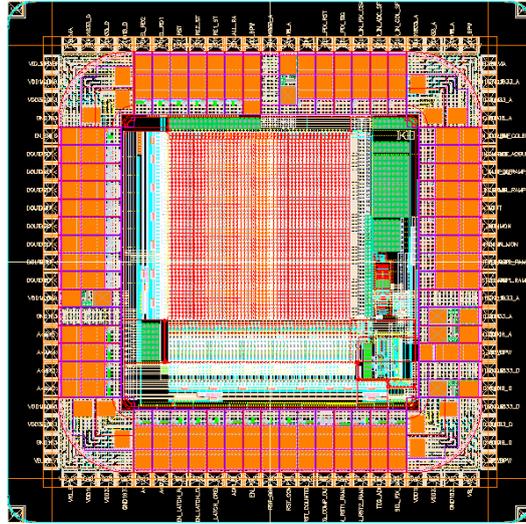


図 3.2: SOFIST1 chip の全体レイアウト図

ログバッファの動作を確認する為の試験用ピクセルを 2 段用意してある。

信号の読み出し方法は 2 つあり、8bit ADC によるデジタル読み出しの他に、ピクセルからの出力信号を直接読み出す為のアナログ読み出しも可能である。

有感領域は、今後の性能評価のために回路素子の帰還コンデンサの容量と、BPW の大きさが異なるピクセルを用意した。図 3.3 はそのブロック図である。コンデンサについては、センサー厚 $50 \mu\text{m}$ を想定した 5 fF のコンデンサと、実際に利用するウェハー厚 $300 \mu\text{m}$ に合わせた 20 fF のコンデンサの 2 種類を用意した。BPW は $12 \times 12 \mu\text{m}^2$ 、 $14 \times 14 \mu\text{m}^2$ 、 $16 \times 16 \mu\text{m}^2$ の 3 種類の面積のものを用意した。これは、BPW のサイズの違いによる、クロストークの変化、電荷収集率の違い、などを試験出来るように用意したものである。

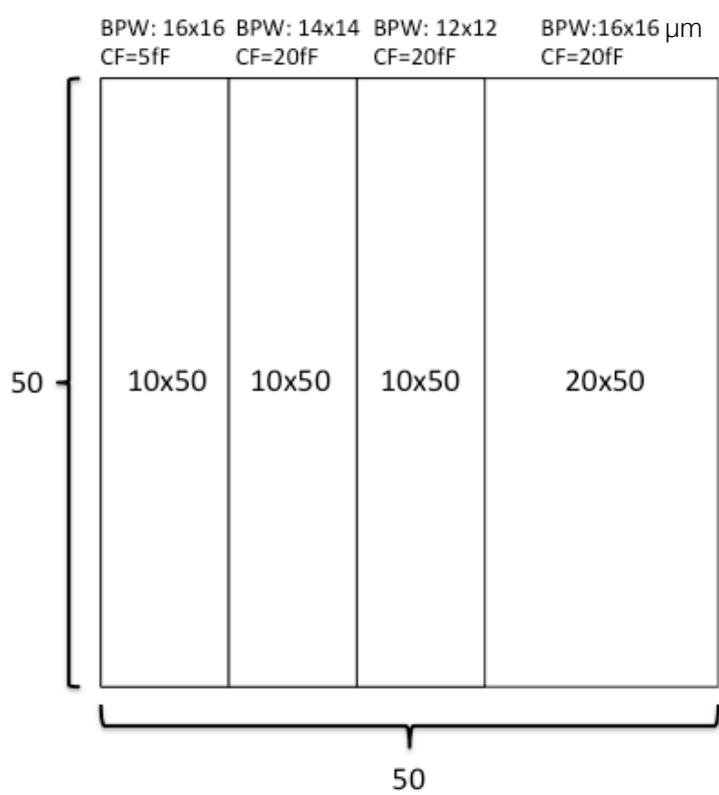


図 3.3: SOFIST1 の有感領域のブロック図

3.2 ピクセル部分

3.2.1 回路部分

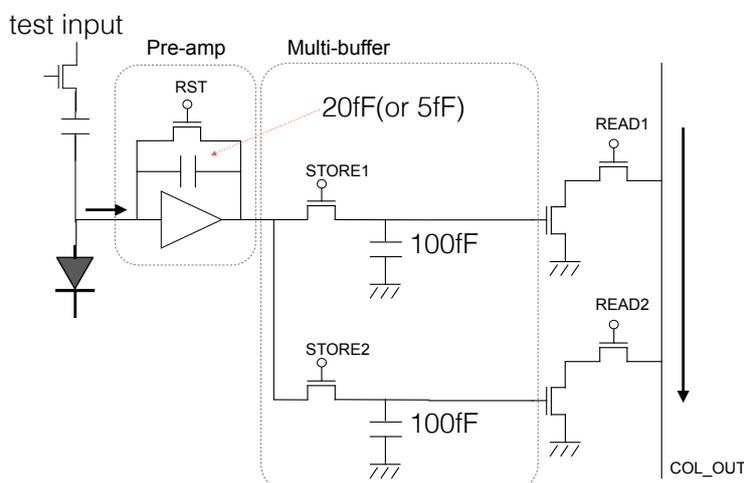


図 3.4: SOFIST1 のピクセル部分の回路概略図

図 3.4 は、SOFIST1 のピクセル部分に搭載されている回路の概略図である。この回路の設計にあたり、KEK SOI グループで開発した XRPIX の回路を流用した [7]。センサーの電荷収集端子で集められた hole を入力信号とし、その信号を初段の Charge Sensitive Amplifier で増幅する。このアンプはソース接地反転増幅回路のため、反転増幅された信号が、アナログバッファに保持される。高い粒子ヒットレートに対応する為に、2つのバッファを用意した。このアナログバッファは、2つのコンデンサ (共に 100 fF) で構成され、STORE1、STORE2 を任意のタイミングで開閉する事で、選択したバッファでの信号保持を可能にしている。

アナログバッファに保持された信号は、READ1 と READ2 を閉じることで、pixel 外部に各カラム毎に搭載された column ADC によって読み出される。また 3.1 節で述べたように、ADC に入る前の信号をアナログ読み出しする事も可能である。

3.2.2 センサー部分

図 3.5 は、SOFIST1 の 1 ピクセル断面模式図である。回路層は半導体素子の Active 層 40 nm を含めて約 $10\text{ }\mu\text{m}$ 、 SiO_2 層の厚さは 200 nm 、センサー厚は $300\text{ }\mu\text{m}$ である (センサー厚は、 $50\text{ }\mu\text{m}$ まで薄く削る計画もある為、本研究の TCAD シミュレーションでは、センサー厚 $50\text{ }\mu\text{m}$ を研究対象とした)。BPW は、 $12 \times 12\text{ }\mu\text{m}^2$ 、 $14 \times 14\text{ }\mu\text{m}^2$ 、 $16 \times 16\text{ }\mu\text{m}^2$ と 3つのサイズを用意した。図 3.6 は、1 ピクセルの BPW と電荷収集端子のレイアウトである。

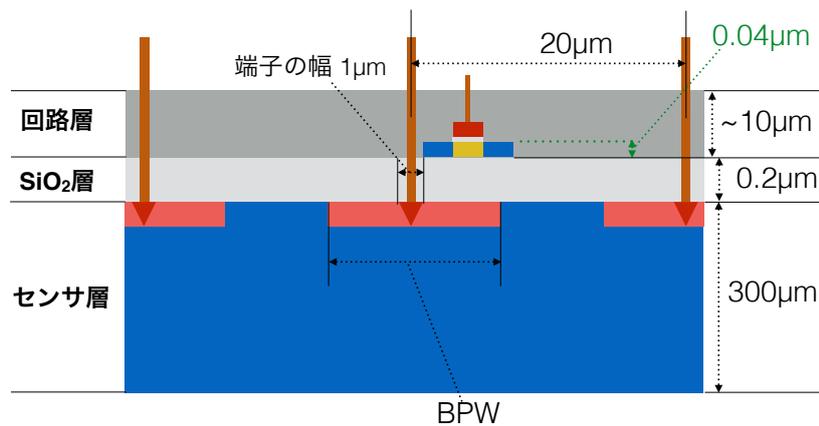


図 3.5: SOFIST1 のピクセル部分を横から見た場合の模式図

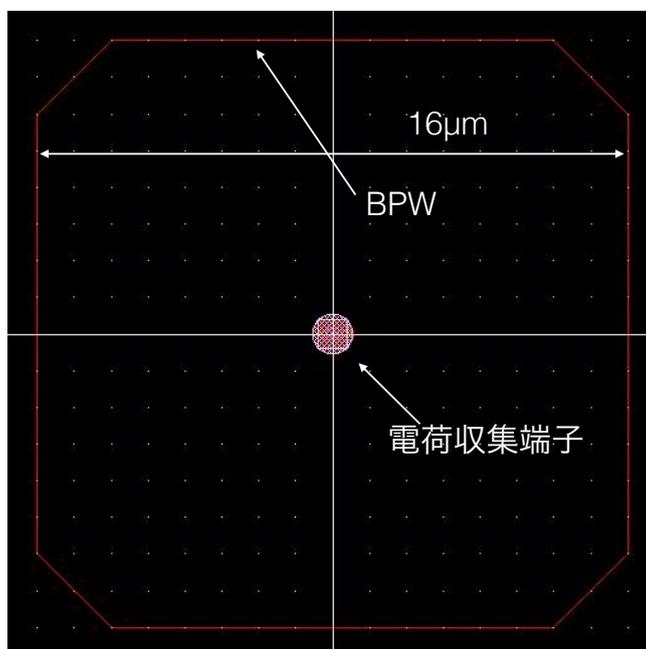


図 3.6: センサー部分のレイアウト。中心の円形が電荷収集端子。赤線が BPW の端で、囲われている部分に BPW を配置した。ここでは BPW のサイズ $16 \times 16 \mu m$ を例とした。

3.2.3 ピクセル部分のレイアウト

ピクセル回路に用いる回路素子、センサー層の BPW の大きさが決定した後、1 ピクセルの回路素子を含めたレイアウトを行った (図 3.7)。1 ピクセルの面積 $20 \times 20 \mu m^2$ の中に回路素子を全て納める為に、帰還コンデンサは MOS を利用して作った。信号配線を太くすると、隣接する配線同士の容量が増え、回路の高速性が保てなくなるので、信号配線はできる限り細くした。ビアの欠損による断線

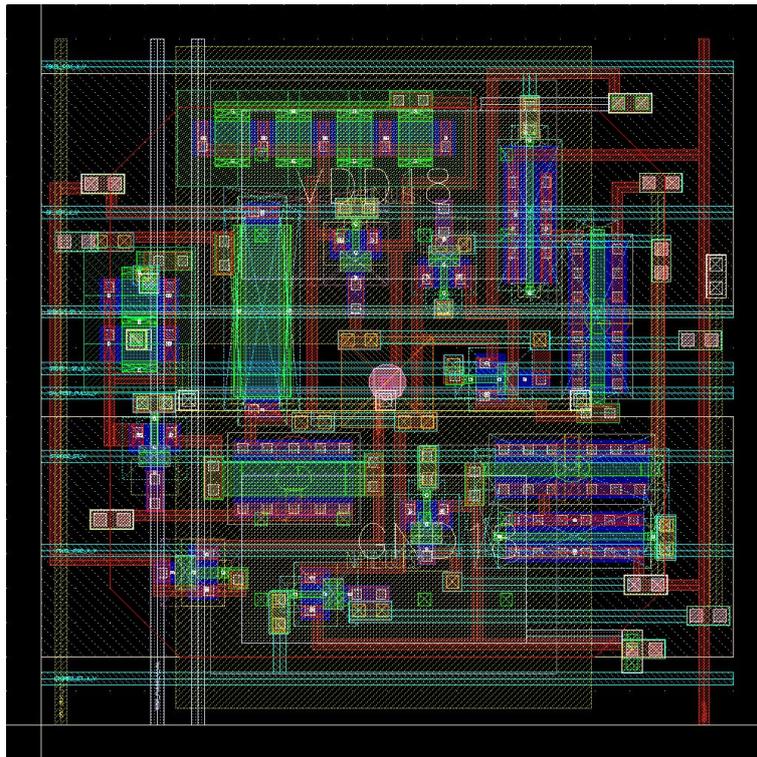


図 3.7: 回路を含めた1ピクセル全体のレイアウト

を防ぐ為に、別々の階層の配線を繋ぐときは、必ず2つ以上のビアを使用して接続した。回路を動作させるデジタル信号の配線と、ピクセル外部へ入力信号を伝える配線を平行に配置すると、配線間の寄生容量が増えてしまい、ノイズが増えてしまうので、デジタル信号の為の配線は横に、アナログ信号の為の配線は縦に、お互いが直交するように配線した。

この1ピクセルのレイアウトを用いて 3×3 pixelsの配列をつくり、隣接するピクセルの回路素子とも干渉がないことを確認し、そして、 50×50 pixelsと並べて、有感領域となるピクセル部分のレイアウトを完成させた。

第4章 回路シミュレーションによる SOFIST1 ピクセル部分の回 路の動作確認

SOFIST1 のピクセル回路の動作確認を回路シミュレーションを用いて行った。ピクセル回路のブロック毎の挙動確認を行った後、ピクセル回路全体での動作確認を行った。最後に、環境温度が変化した時のプリアンプの振る舞いを確認した。

4.1 ソース接地増幅回路の増幅率

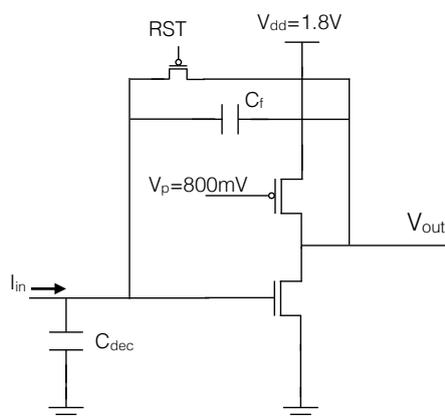


図 4.1: 回路シミュレーションに用いたソース接地増幅回路

図 4.1 はピクセル回路初段に搭載したプリアンプの回路図である。 C_{det} はセンサー容量で、ここでは 10 fF とした。帰還コンデンサとなる C_f は 5 fF を用いた。プリアンプの増幅率は、

$$V_{out} = \left(\frac{C_{det}}{C_f}\right)V_{in} \quad (4.1)$$

の関係より、二つの容量の比 $\frac{C_{det}}{C_f}$ で決まるため、入出力電圧の比としては2倍程度になる事が期待される。

そこで、1個の Minimum Ionizing Particle (MIP) がセンサーを通過すると $4000e^-$ つまり $6.4 \times 10^{-16}\text{ C}$ の電荷を生成すると仮定し、それに準じた電流 I_{in} を入力し、

プリアンプ後の電圧値との相関を調べた。1 MIP の場合、波高を 640 nA 、立ち上がり時間を 100 ps 、幅を 900 ps 、立ち下がり時間を 100 ps とした。2 MIP 以上に相当する電流を流す時は、立ち上がり時間、幅、立ち下がり時間を相応に長くした。入力信号を電圧にしなかったのは、センサーの電荷収集端子から入力される信号は電流として流れ込んでくるからである。

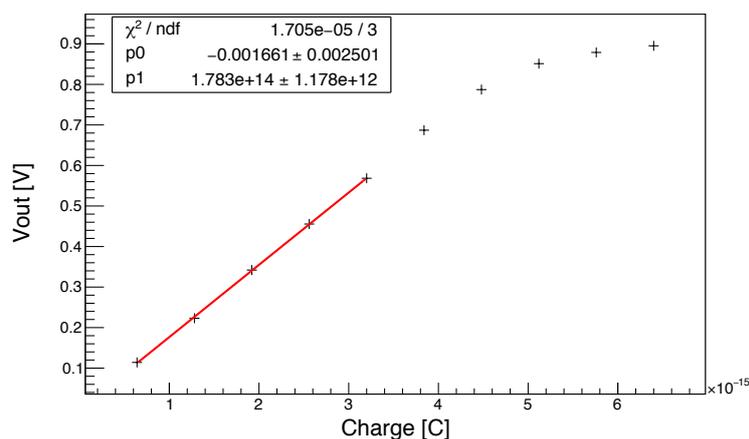


図 4.2: ソース接地増幅回路の増幅率

図 4.2 に、出力電圧 V_{out} と入力電流 (電荷) の関係を示す。縦軸の出力電圧はオフセット電圧の値を引いたものである。5 MIP 相当までの入力電流に対して線形に増幅する事が分かった。この直線の傾き $1.78 \times 10^{14} \text{ [V/C]}$ は、入力電荷を $C_{det} = 10 \text{ fF}$ から入力電圧に変化すると、約 1.78 となる。これにより 1 から 5 MIP 相当の電荷が入力された場合、増幅回路がおおよそ期待通りの増幅率を持って動作する事が確認できた。

4.2 アナログバッファの電荷蓄積時間

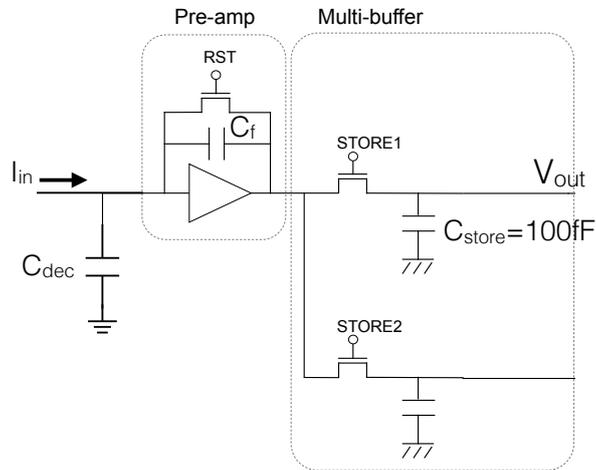


図 4.3: アナログバッファの回路シミュレーションに用いた回路概略図

搭載したアナログバッファは、同じ容量 100 fF のコンデンサ2つから構成される。しかし、バッファの電荷蓄積に要する時間を知らなければ、信号入力後どのタイミングで STORE1 と STORE2 のスイッチを切り替えればよいか分からない。そこで、STORE1 を close、STORE2 を open の状態で、入力信号を入れ、コンデンサ C_{store} にかかる電圧の時間経過を調べた(図 4.4)。十分に蓄積されたと言える時刻 $t=42.0 \text{ } \mu\text{s}$ での電圧値との差が 1 mV 以内になった時間を蓄積終了時刻として、バッファに信号を入力した時刻と蓄積終了時刻の差を電荷蓄積に要した時間と定義した。図 4.5 は、1 から 6 MIP 相当の入力電流(横軸)とアナログバッファの電荷蓄積に要した時間(縦軸)の関係を示したものである。このシミュレーションからアナログバッファの電荷蓄積の為に、信号が入力してから STORE1 スイッチを 160 ns 程度閉じていなければならない事が分かった。

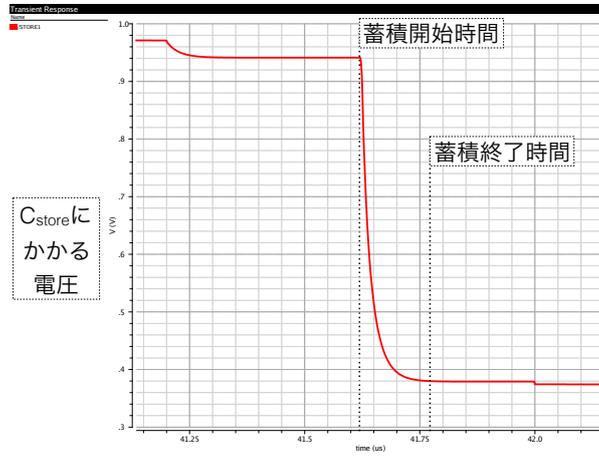


図 4.4: アナログバッファの電荷蓄積の様子 (5 MIP に相当する電流を入力)

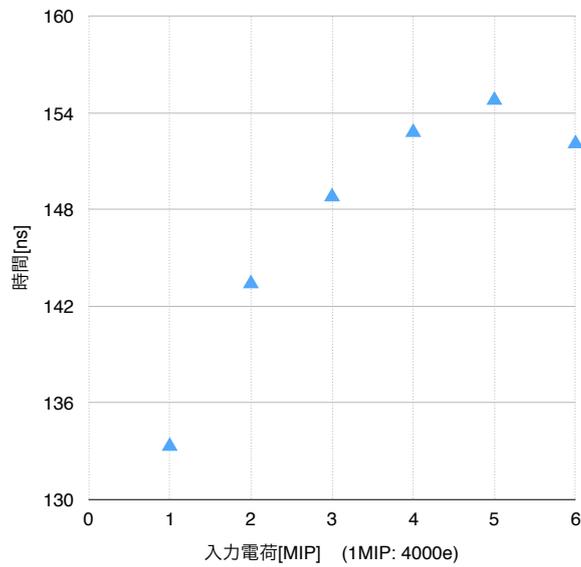


図 4.5: アナログバッファの電荷蓄積時間

4.3 ピクセル回路全体での動作確認

アナログバッファに蓄積された電荷情報は、図 3.4 の READ1、READ2 スイッチを切り替えて閉じると、配線 COL_OUT を通りピクセル外部へと伝わる。アナログバッファから COL_OUT までに、ソースフォロワ回路となる PMOS と、READ スイッチのための PMOS の、2 つの MOS がある。MOS の大きさや種類によっては、COL_OUT まで期待通りに信号が伝わらないこともあり得る。そこで、図 3.4 の回路を用いて、 $8 \mu s$ の間に $4 \mu s$ 間隔で 2 つの入力信号を入れ、その電荷情報を 2 つのアナログバッファにそれぞれ蓄積した後、COL_OUT に期待通りに伝わるかを確認した。図 4.6 にその様子を示した。

(1) 初めの $500 ns$ の間に、すべてのスイッチを閉じリセット信号を入れ、信号が伝わる配線の電位をそろえた。

(2) 次に、STORE1 スイッチを閉じ、プリアンプとアナログバッファ C_{store1} のみがショートしている状態で信号を入力し、 C_{store1} に電荷を蓄えさせた後、SOTRE1 スイッチを開き C_{store1} に電荷情報を約 $750 ns$ 保持させた。

(3) その後、READ1 スイッチをおよそ $500 ns$ 閉じ、その情報を電圧値として COL_OUT へ伝えた。

(4) そして、次の信号が入力される前に再びすべてのスイッチを閉じリセット信号を入れた。

(5) 次に来た入力信号について、今度はアナログバッファ C_{store2} に電荷が蓄えられる様に、同様のスイッチング ((2) から (4)) を行った。

プリアンプの増幅率を測定したときと同様に、COL_OUT の出力電圧を入力電荷の関数として測定すると、1 から 5 MIP 相当の入力電荷に対する増幅率は $1.76 \times 10^{14} [V/C]$ となった。プリアンプの増幅率 $1.78 \times 10^{14} [V/C]$ と比較して、COL_OUT での出力も増幅率は保たれていることが分かった。これにより、ピクセル回路が、プリアンプが増幅させた入力信号を、期待通りにピクセル外部へと出力する事が確認できた。

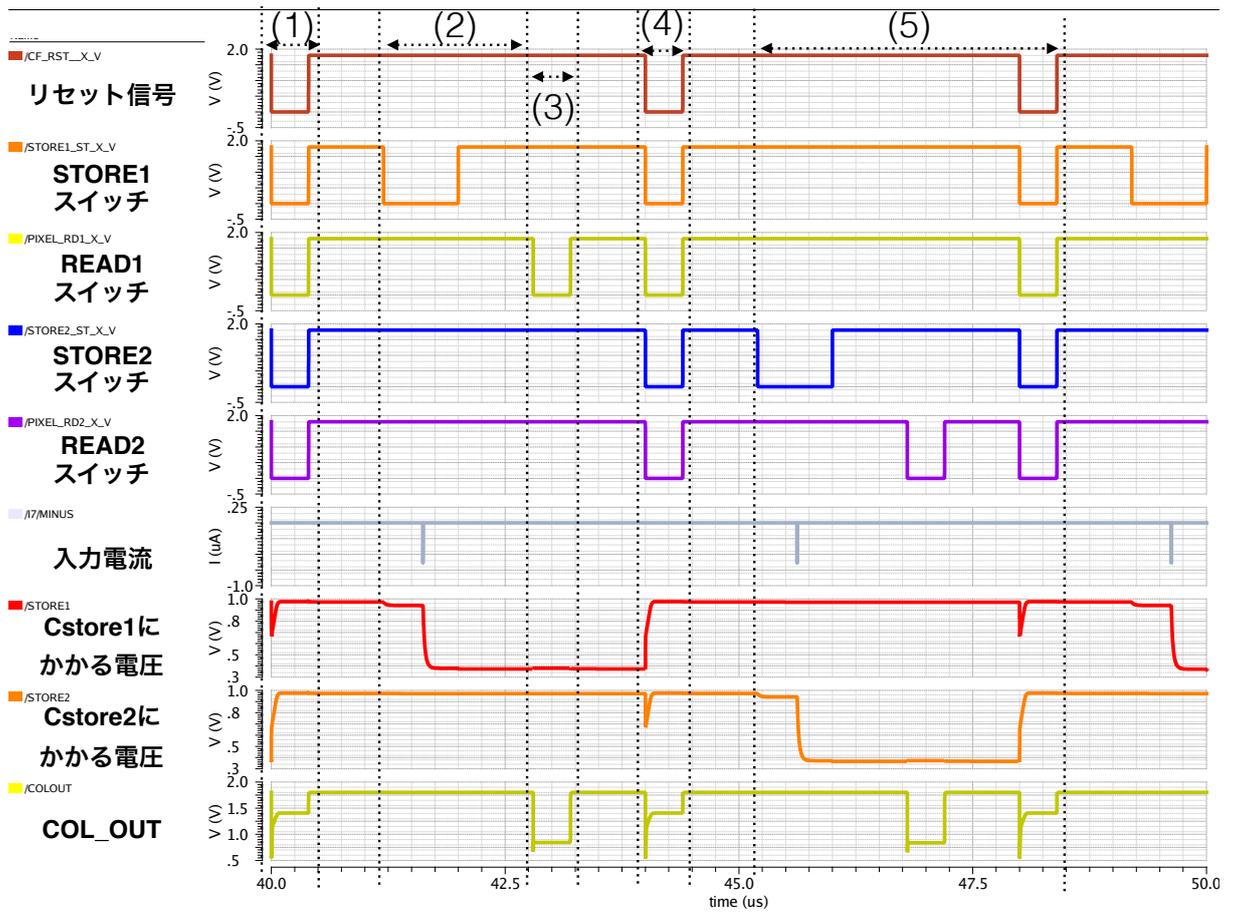


図 4.6: ピクセル回路全体でのタイミング図

4.4 プリアンプ増幅率の温度依存性

実機では、周りの環境変化によって期待通りの動作をしない場合がある。そこで、プリアンプ増幅率の温度依存性を調べた。図 3.4 においてプリアンプの帰還コンデンサを 5 fF とした回路を用いて、シミュレーションを行った。この時、STORE1 と READ1 のスイッチは常時閉じ、STORE2 と READ2 のスイッチは常時開けておいた。 $T = -40, 0, 25, 50, 75\text{ }^\circ\text{C}$ の時のシミュレーションの結果を図 4.7 に示す。

図 4.2 と同様に縦軸の出力電圧 V_{out} はオフセット電圧からの差である。但し、ここでの出力電圧は COL_OUT での電圧値、つまり入力信号とピクセル回路が外部へ出力する電圧の関係をみた。温度が上昇するにつれ、ダイナミックレンジが下がっているが、5 MIP 相当までの入力電流に対して出力電圧は線形であった。これにより、ピクセル回路は、測定した温度内ではプリアンプの増幅率を線形に保ち、増幅した信号をピクセル外部へと出力する事が分かった。

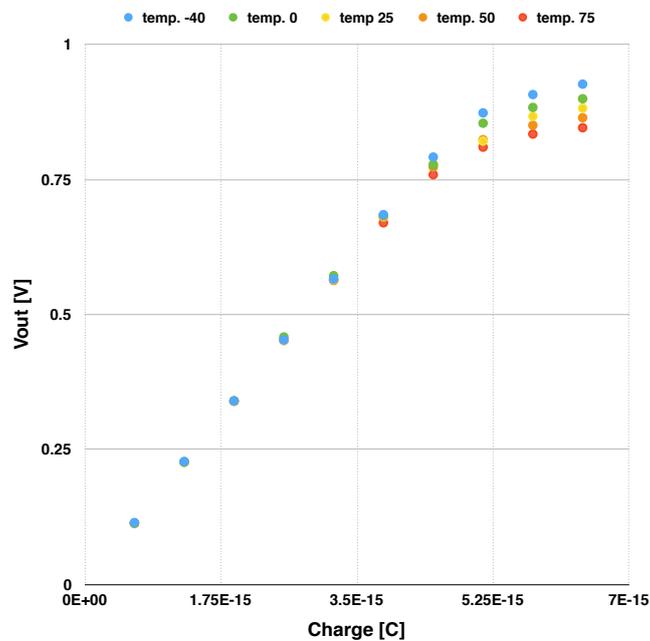


図 4.7: 温度を変えた時の入力信号とプリアンプ出力の関係

第5章 TCADシミュレーションによるSOFIST1センサーの基礎研究

SOFIST1は、各ピクセルの電荷量の重心位置を求める事によって高い位置分解能を得る為、電荷量の情報は重要である。そこで、TCADシミュレーションを用いて2次元でのSOFIST1のセンサー部分を模した構造を作り、ピクセル間での電荷分割、電荷収集時間について研究した。また、センサーにかかるべきバイアス電圧の見積もりと、クロストークの評価も行った。

図5.1は、TCADシミュレーションで用いた基本構造である。センサーの大きさは、深さ(厚さ) $50\ \mu\text{m}$ 、横 $60\ \mu\text{m}$ で、不純物としてホウ素を $2.40 \times 10^{12}\ \text{cm}^{-3}$ の割合でドーパさせた(n型半導体)。各ピクセル端子 (P_{s0}, P_{s1}, P_{s2} 、p型半導体) は $20\ \mu\text{m}$ 間隔で配置し、その周りにBPWを配置した。センサー厚を $50\ \mu\text{m}$ としたのは、この厚さが将来的に目指しているセンサー厚だからである。回路層は、トランジスタを置かない場合、酸化膜層と同様に SiO_2 で埋めた。この構造を基本として必要に応じ、BPWの幅、バイアス電圧 V_{bias} などを変更しシミュレーションを行った。また、議論のしやすさの為に、図中の様な座標系を定義した。この章では、この座標を用いて話を進める。

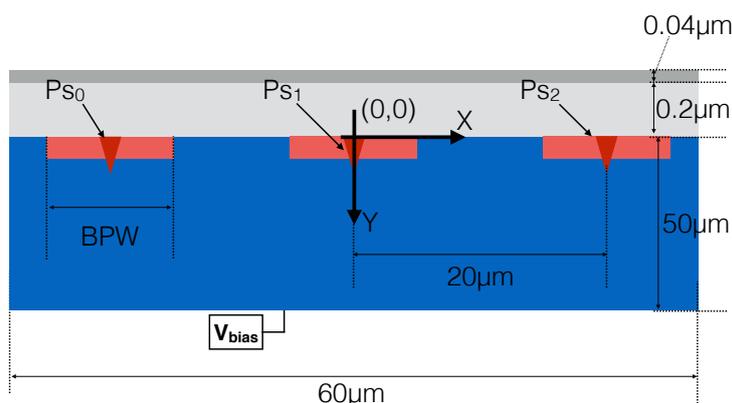


図 5.1: シミュレーションに使用したセンサー構造

5.1 センサーの全空乏化電圧

センサー裏面に与えるバイアス電圧 V_{bias} の変化が電荷分割に与える影響 (5.3.2 節) を調べる為に、まずはセンサーの全空乏化電圧を調査した。図 5.1 の構造に対して、センサー裏面に与えるバイアス電圧 V_{bias} を 10、25、40、50 V と変化させ、センサー内の電子濃度の様子を見た。

図 5.2 は、 P_{s1} と、 P_{s0} と P_{s1} の中点直下のセンサー深さ方向の電子濃度を見たものである。端子間 ($X = -10 \mu\text{m}$) での電子濃度はどのバイアス電圧でも変化があまり見られないが、端子直下では、センサーへのバイアス電圧が上がるにつれ、電子濃度が全体的に下がっていく事がわかる。バイアス電圧が上がるにつれ、センサー裏面へと電子が移動し、おおよそ $V_{bias} = 40.0 \text{ V}$ でその移動がなくなる。それ以上電圧を上げても、 P_{s1} 直下での電子濃度の変化はなくなる。この結果から、SOFIST1 のセンサーでは、 $V_{bias} = 40.0 \text{ V}$ で空乏層の広がり最大になる事が分かった。

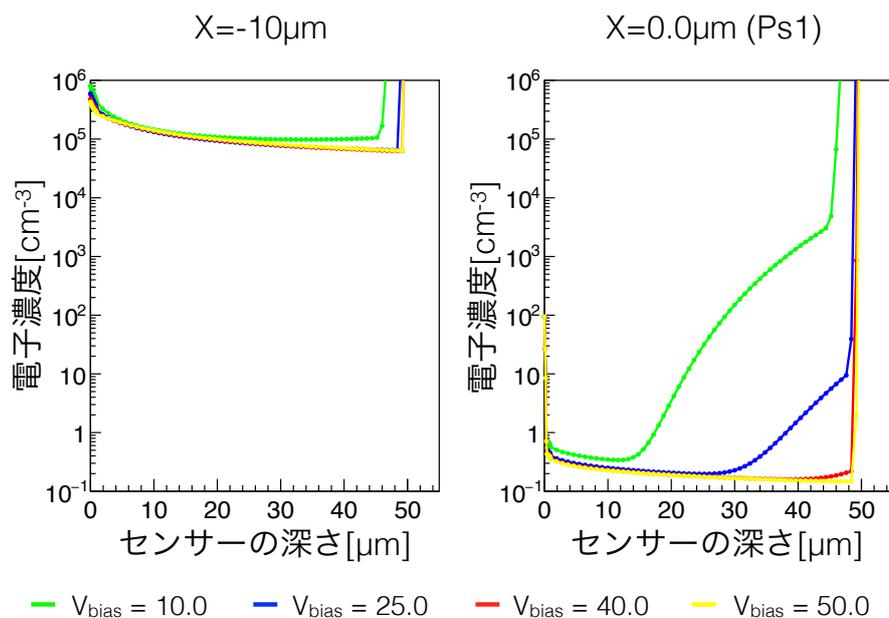


図 5.2: センサーの深さ方向 (Y 軸方向) の電子濃度 ($V_{bias} = 10, 25, 40, 50 \text{ V}$)

5.2 クロストーク

SOFIST1 に発生しうるクロストークが使用上問題ないかどうかを調べる為に、back gate 効果 (5.2.1 節) と、ピクセル間 (5.2.2 節) に発生しうるクロストークについてのシミュレーションを行った。

5.2.1 センサー・回路間のクロストーク

シミュレーションには図 5.3 の構造を用いた。NMOS トランジスタを模した構造を回路層につくり、配置する中心位置を変えていき、シミュレーションを行った。使用したトランジスタの構造の詳細は、付録.1 に載せた。また、それぞれの端子 (電極) に与える電圧値もシミュレーションに応じて変更した。

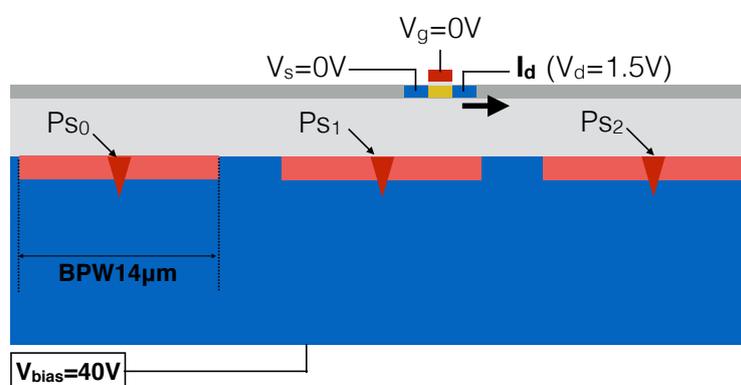


図 5.3: シミュレーションに使用したセンサー構造

2.1.2 節で、back gate 効果を BPW が抑制することは述べた。ただし、2.1.2 節では、センサーからの信号読み出し電極のビアに近い場所にトランジスタを配置してシミュレーションを行った。SOFIST1 だけに限らず、実際の SOI 検出器では BPW の直上に読み出し回路に必要な全てのトランジスタを配置することは難しく、BPW の端からはみ出して、トランジスタを配置する事がある。そこで、BPW からどの程度離れていても回路層のトランジスタが back gate 効果を受けずに期待通りに動作するかを調べた。

信号読み出し端子 Ps_0, Ps_1, Ps_2 にかける電圧は 0.5 V 、BPW は $X = -7\ \mu\text{m}$ から $X = 7\ \mu\text{m}$ まで配置し、トランジスタの中心を $X = 5$ から $10\ \mu\text{m}$ まで 0.5 あるいは $1.0\ \mu\text{m}$ 刻みで変えて、それぞれの場合でのトランジスタドレイン電流 I_d とセンサーバイアス電圧 V_{bias} の関係を調べた。図 5.4 がその結果である。トランジスタの中心位置が BPW からみ出していくにつれ、back gate 効果によりドレイン電流が増加する。BPW の端から $3\ \mu\text{m}$ はみ出したとき、最大で約 $0.18\ \text{pA}$ 流れる事が分かった。一方、シミュレーションに使用したトランジスタを駆動させるために約 $0.58\ \text{V}$ の電圧をゲートに印加した時のドレイン電流は約 $1\ \mu\text{A}$ であることから (付録 .1)、BPW の幅が $14\ \mu\text{m}$ であれば、センサーへのバイアス電圧が回路

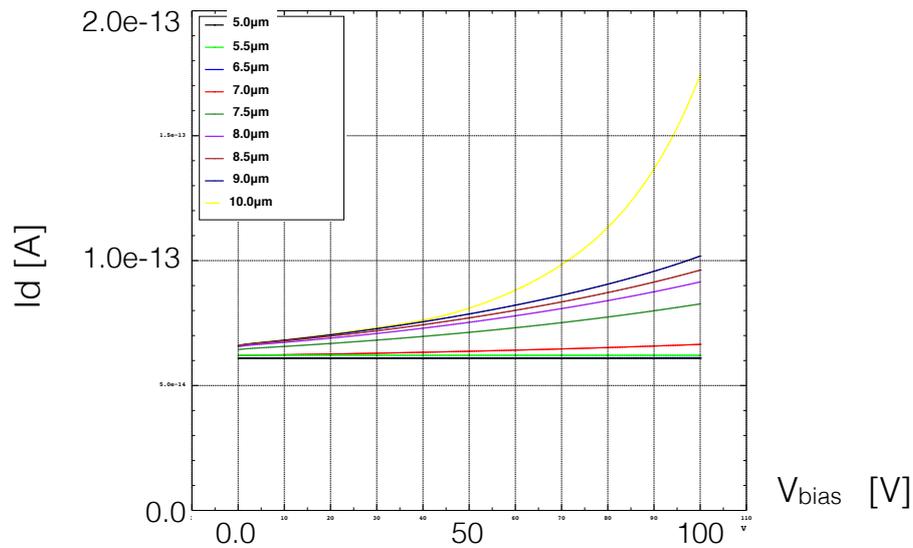


図 5.4: 回路層のトランジスタドレイン電流とセンサバイアス電圧の関係

へ与える影響は非常に小さいことが分かった。但し、これは今回シミュレーションに使用したトランジスタについてのみ言えることで、特性が異なるトランジスタについてはさらに調査が必要である。

センサーへのバイアス電圧を 40 V に固定し、BPW の幅が $12\ \mu\text{m}$ と $16\ \mu\text{m}$ の場合について、トランジスタを配置しなかった時のセンサー・酸化膜界面 ($Y = 0.5\ \mu\text{m}$) での電位を調べてみた。その結果が図 5.5 である。図中の BPW の幅 $0\ \mu\text{m}$ とは BPW がない場合、つまり back gate 効果が出てしまう場合の界面付近の電位である。それに比べて、BPW の幅が $12\ \mu\text{m}$ 、 $14\ \mu\text{m}$ 、 $16\ \mu\text{m}$ の時の電位はそれぞれ最大で、約 3 V 、 2 V 、 1.5 V と小さい。この結果に加えて、BPW の幅が $14\ \mu\text{m}$ の時のトランジスタへの影響の小ささを踏まえると、BPW の幅を $16\ \mu\text{m}$ とした場合は、トランジスタを回路層のどこに配置しても back gate 効果が小さいと期待できる。BPW の幅を $12\ \mu\text{m}$ とした場合については、界面付近の電位が何 V を越えると back gate 効果が無視できなくなるのか調査が必要である。

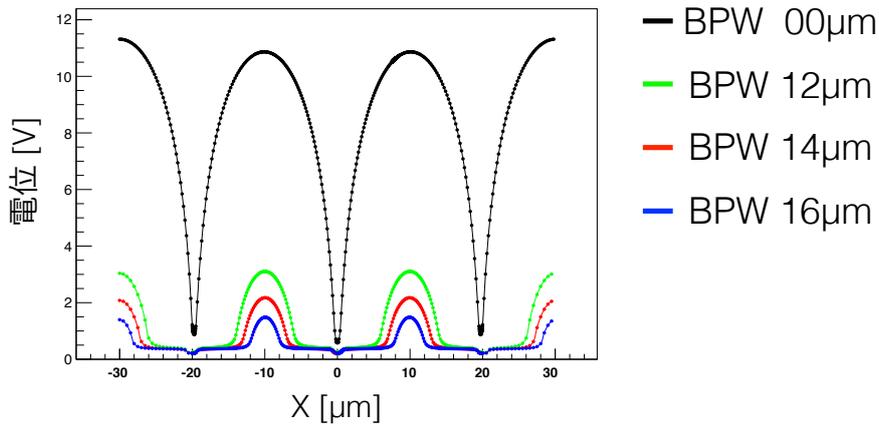


図 5.5: トランジスタを配置しなかった場合の界面付近 ($Y = 0.5 \mu m$) の電位

5.2.2 ピクセル間のクロストーク

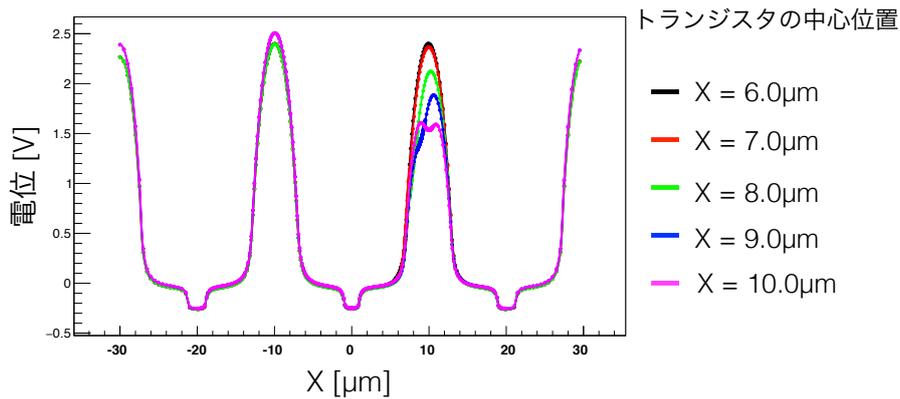


図 5.6: トランジスタを配置した場合の界面付近 ($Y = 0.5 \mu m$) の電位

図 5.3 の構造で、 P_{S0}, P_{S1}, P_{S2} は $0.0 V$ に固定し、バイアス電圧は $50.0 V$ を与え、BPW の幅を $14 \mu m$ をとし、回路層にトランジスタを配置した時の界面付近 ($Y = 0.5 \mu m$) の電位を図 5.6 に示した。このときトランジスタの位置は $X = 6.0 \mu m$ から $10.0 \mu m$ まで $1 \mu m$ ごとに変化させた。トランジスタが BPW の端から離れるにしたがい、徐々にセンサー・絶縁膜界面の電位の形状に変化が生じていくことがわかる。ピクセル間の電位が下がると、正孔が隣接するピクセル間を移動しやすくなり、クロストークが起きやすくなる。そこで、BPW の幅を $12 \mu m$ と $14 \mu m$ とし、トランジスタが BPW の直上からそれぞれ約 $2 \mu m$ 、そして約 $1 \mu m$ 外れるように、 $X = 7.5 \mu m$ にトランジスタを配置してシミュレーションを行った。また、回路層にトランジスタが無くても、BPW の幅が大きくなると、隣り合う BPW が近付き合うためクロストークが起きる。そこで、BPW の幅が $16 \mu m$ の場合もシミュレーションを行った。ただし、トランジスタが BPW の端からはみ出さないの

で、トランジスタは配置しなかった。電極の電圧は、 V_{Ps0}, V_{Ps2} は $0.5 V$ 、 V_{bias} は $40 V$ と固定し、 P_{s1} の電圧を -5 から $5 V$ まで変化させ、この変化に対して P_{s2} に流れる電流量の変化を調べた。図 5.7 がその結果である。それぞれの場合において、入力端子が、表 5.1 の電圧値以上になると、隣接する入力端子に電流が流れてしまう事が分かった。

SOFIST1 の実用において、入力端子電圧がどれくらいになるかを考える。1

表 5.1: 隣接する入力端子に電流が流れ始める電位

BPW $12 \mu m$ トランジスタあり	BPW $14 \mu m$ トランジスタあり	BPW $16 \mu m$ トランジスタなし
$4.5 V$	$3.5 V$	$2.5 V$

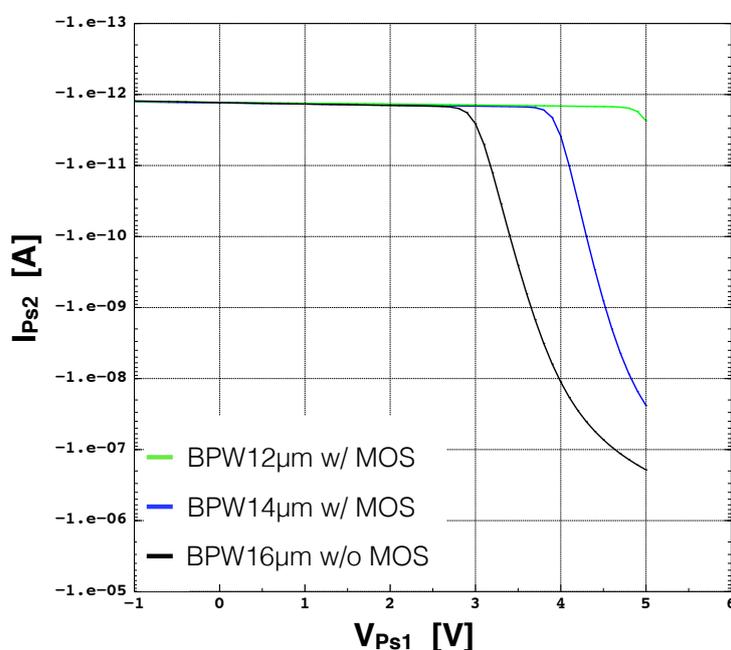


図 5.7: $I_{Ps2} - V_{Ps1}$ グラフ

MIP を $4000e^-$ ($6.4 \times 10^{-16} C$)、センサー容量 C_{det} を $10 fF$ と仮定すると、ピクセルに搭載したアンプの増幅率が線形に保たれる上限である 5 MIP に相当する電圧値は、 $0.38 V$ となる。また、回路シミュレーションから信号がないとき、入力端子の電位は約 $0.5 V$ に保たれている事が分かっている。つまり、アンプが入力信号を線形に増幅させるときの入力端子の電位は、 $0.5 V$ から $0.88 V$ の間である。よって、1つの入力端子に 5 MIP 相当までの信号が入っても、隣接する入力端子にクロストークはない。

5.3 SOFIST1における電荷分割、電荷収集時間についてのシミュレーション

SOFIST1では、各ピクセルに入った電荷量の重心位置を求める事で、入射した荷電粒子の位置を測定する。収集電荷となる正孔がセンサー内でより広がれば、分割電荷量は増え、位置分解能も良くなる。よって、荷電粒子の入射によって生成された電子正孔対がより広がるように、バイアス電圧をなるべく下げたいが、あまり下げ過ぎると電荷収集率が下がる。そこで、バイアス電圧を変化させ、電荷分割と電荷収集時間へ与える影響を調べた。次に、BPWの大きさの違いが電荷分割と電荷収集時間に変化を生むかを調べた。

実機ではBPWの大きさが $12 \times 12 \mu\text{m}^2$ の場合、ピクセル回路のトランジスタがBPWより約 $2 \mu\text{m}$ はみ出している。このはみ出したトランジスタにかかる電圧が、センサー内の電場の構造を変化させる。この変化が、電荷分割と電荷収集時間に与える影響を最後に調べた。

5.3.1 評価方法

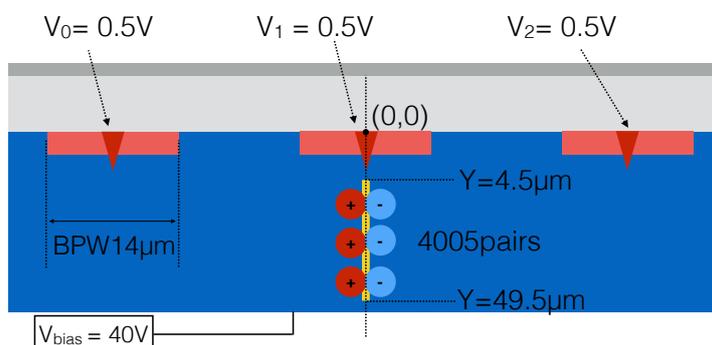


図 5.8: シミュレーションに使用したセンサー構造の例

センサー厚 $50 \mu\text{m}$ のSOFIST1における電荷分割と電荷収集時間についてシミュレーションでの過渡解析を行ったが、その際の評価方法を図 5.8 の構造を例にして述べる。TCADシミュレーションでは、任意の量の電子正孔対を指定した位置に発生させることができる。これを利用して、半導体検出器センサー部分に荷電粒子が入射した際に生成される電子正孔対を擬似的に生成させる。具体的には、始点 $(0, -4.0)$ と、終点 $(0, -49.5)$ を結ぶ直線上に4005対の電子正孔対を幅 $2 \mu\text{m}$ の領域内で生成させた。この擬似入射粒子は、この節を通して常にセンサー面に対して垂直とする。生成させた時間は、シミュレーション開始時刻を $t=0$ として、 $t = 1 \text{ ps}$ から $t = 2 \text{ ps}$ の間で三角波として生成させた。

このシミュレーションの一例を図 5.9 に示す。電流値を時刻 $t = 0.86 \text{ ps}$ から $t = 10 \text{ ns}$ まで積分した値を P_{s_0} あるいは P_{s_1} で収集した電荷量を Q_0 、 Q_1 とした。

図 5.9 の場合、 $Q_0 = 8.46 \times 10^{-18} \text{ C}$ 、 $Q_1 = 8.28 \times 10^{-16} \text{ C}$ となる。

生成させた電荷量以上の電荷が Ps_1 に収集されているが、これは過渡解析を行う際の時間刻み調整が適切に調整されていないことによる。この問題はシミュレーションの精度を上げる為に解決すべき問題であるが、本研究においては解決されておらず、ここで使用した時間刻みをこれ以降の全てのシミュレーションで使用した。

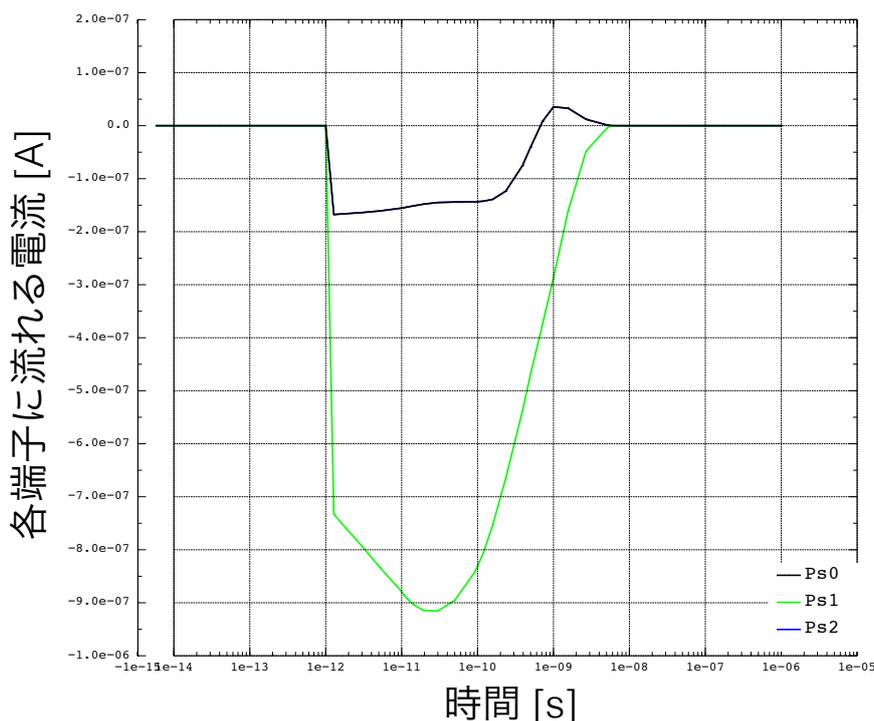


図 5.9: 各端子に流れる電流の時間経過

5.3.2 電荷収集のバイアス電圧依存性

SOFIST1 の位置分解能を向上させるために、バイアス電圧を下げてセンサー内の電場を弱め、正孔をより多くのピクセル電極で収集する試みがある。そこで、図 5.8 と同じ構造を用いて、電荷分割と電荷収集時間について調べた。センサーバイアス電圧を $V_{bias} = 10, 25, 40 \text{ V}$ とし、電荷生成位置は $X = -20$ から $0 \mu\text{m}$ と変えた。

図 5.10 は、縦軸を Ps_0, Ps_1 の収集電荷量から求めた電荷重心位置 $[\mu\text{m}]$ 、横軸を電子正孔対を生成させた X 座標 $[\mu\text{m}]$ として、その関係を見たものである。 V_{bias} が下がるにつれ、電荷の分割が顕著になっていることがわかる。

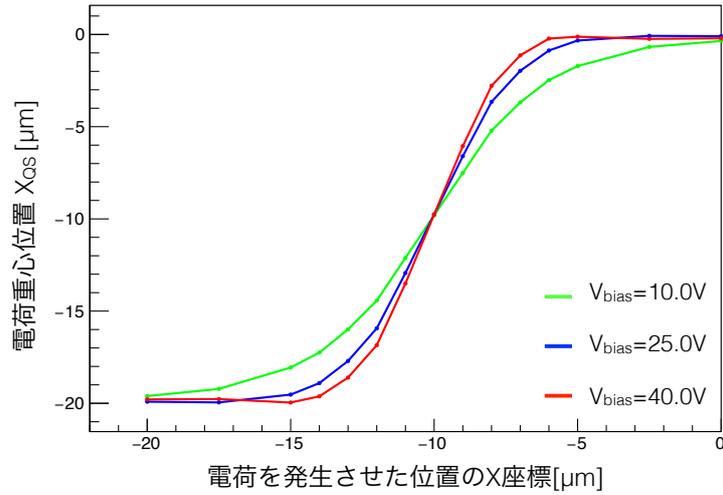


図 5.10: 2点での電荷重心をとった場合の重心位置 (V_{bias} 変化)

次に、図 5.11 に、正孔電子対生成位置 $X = 0 \mu m$ での収集電荷量の時間依存性を示した。ここでは $V_{bias} = 40 V$ と比較した相対的な収集電荷量を見る為に、 $V_{bias} = 40 V$ のときの全収集電荷量に対する比率を電荷収集率と定義した。 V_{bias} が下がるにつれ、センサー内の電場が弱まるので、各端子が正孔を収集するのにより多くの時間がかかっている。また、 V_{bias} が低いと、センサーの裏面側では電子が残り、空乏化していない領域があるため (図 5.2)、その領域で正孔と電子が再結合し、 $V_{bias} = 40 V$ の時に比べて、 $V_{bias} = 10 V$ の時は約 6 % の電荷損失が起きている。

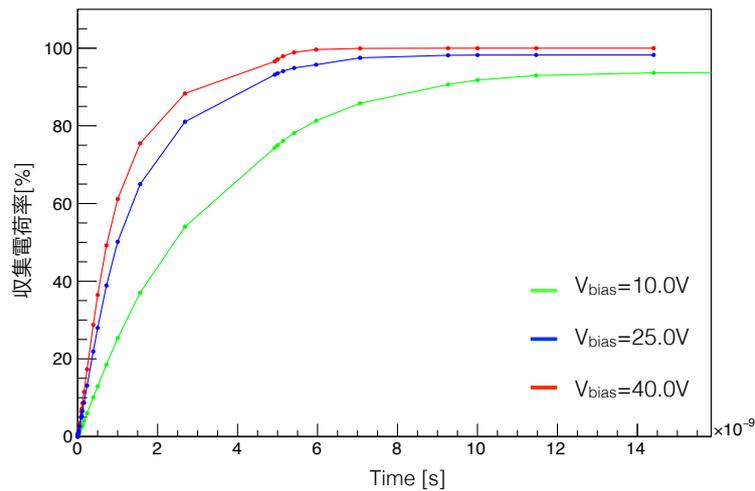


図 5.11: 収集時間無限大のときの $V_{bias} = 40 V$ での収集電荷量に対する時刻 t での収集電荷量の割合

5.3.3 BPWのサイズを変えた時の電荷収集についてのシミュレーション

SOFIST1にはBPWのサイズが3種類ある。このBPWのサイズの違いが、電荷分割と電荷収集時間に寄与するかを調べるためのシミュレーションを行った。シミュレーションに用いた構造は、基本的には図5.8と同じである。変更点は、BPWの幅を $12\ \mu\text{m}$ 、 $14\ \mu\text{m}$ 、 $16\ \mu\text{m}$ とした3つの構造を用いた点である。 $V_{bias} = 40\ \text{V}$ として、電子正孔対の生成位置を移動させてシミュレーションを行った。

図5.12は、縦軸を電荷重心位置 $[\mu\text{m}]$ 、横軸を正孔電子対生成位置 $[\mu\text{m}]$ としてその関係を見た図である。シミュレーションした3つのBPWの幅の違いでは、電荷分割に影響を及ぼさない事が分かった。

3種類の間では差が出ない事は分かったが、そもそもBPW自体が電荷分割に影響するかを調べる為に、BPWなしの場合との比較をした図が、図5.13である。BPWを配置した事により電荷分割は起きにくくなるが、その差は大きくはない。

次に、BPWの大きさが電荷収集時間に及ぼす影響を調べた結果を図5.14に載せた。ここでは、センサー内の電場形状の変化が顕著なピクセル間での収集時間を調べるために、正孔電子対生成位置は $X = -10\ \mu\text{m}$ とした。BPWの大きさが電荷収集時間に影響を与えないこと、かつ $t = 10\text{ns}$ の時、99.9%の電荷収集率となる事が分かった。

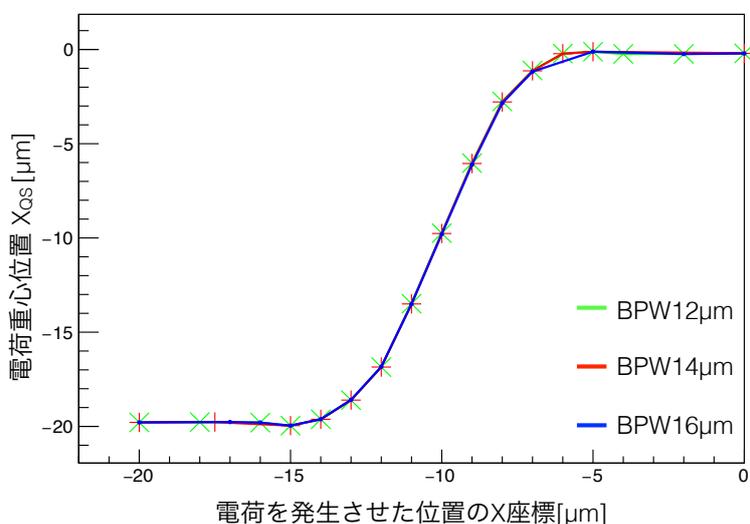


図 5.12: 2点での電荷重心をとった場合の重心位置 (BPWの幅変化)

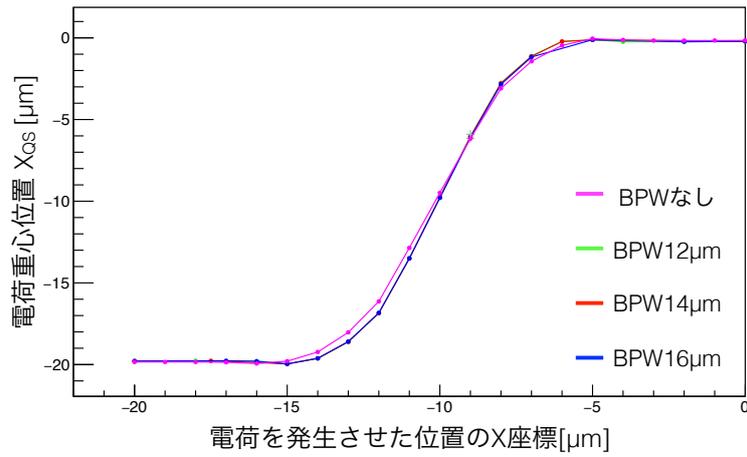


図 5.13: 2点での電荷重心をとった場合の重心位置 (BPWなしの場合を含む)

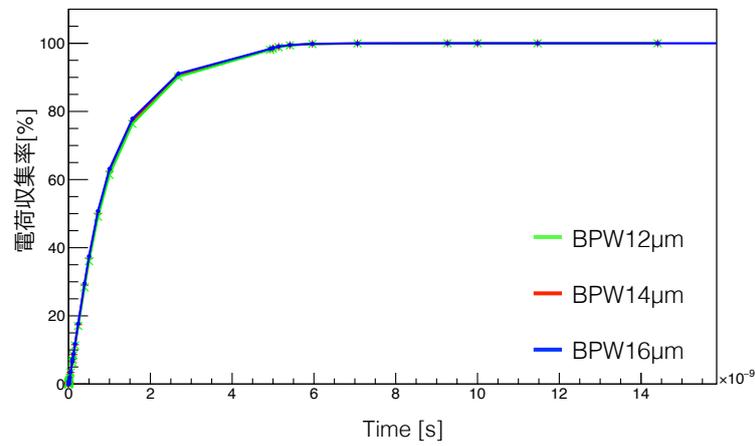


図 5.14: 収集時間無限大のときの収集電荷量に対する時刻 t での収集電荷量の割合 (電荷生成 X 座標 $-10.0 \mu m$)

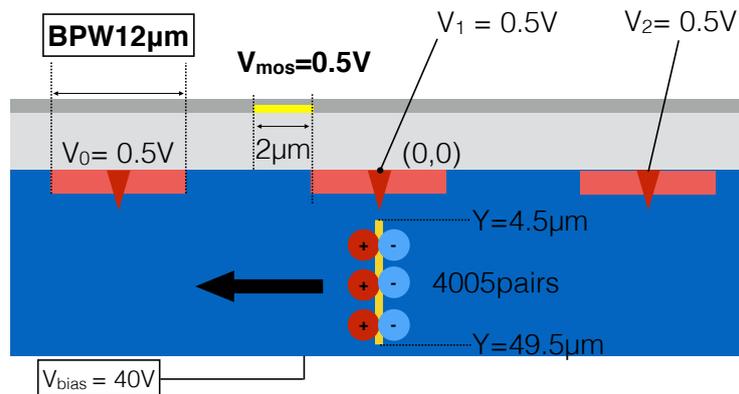


図 5.15: シミュレーションに使用したセンサー構造

5.3.4 回路素子を配置した場合の電荷収集についてのシミュレーション

シミュレーションに用いた構造を図 5.15 に示した。 $V_{mos} = 0.5 V$ の固定電圧を与えた電極を回路層の $X = -8$ から $-6 \mu m$ に配置した。この構造に対し、センサーバイアス電圧 V_{bias} を $40 V$ として、電子正孔対の生成 X 座標を変化させた。

図 5.16 は、回路層に電極を配置した場合と、無かった場合の、電荷重心位置 $[\mu m]$ と電子正孔対生成位置 $[\mu m]$ の関係である。図 5.17 は、対生成位置が $X = -8 \mu m$ の時の電荷収集の時間依存性である。電極がある場合はない場合に比べて、電荷分割が右側にシフトし、電荷収集に時間が掛かるということが分かった。

この原因を調査する為に、それぞれの場合のセンサー内の電場を調べた(図 5.18)。赤点線で囲ったところに違いがある。電極が無い場合、BPW へと電場が収束している。しかし、電極を配置した場合、電場が一度、電極直下へと伸びてから、迂回する様に BPW へと収束している。回路層に BPW の端からはみ出した電極があると、センサー内の電場の形状に変化を与え、電極直下に正孔の溜まり場を作った為に、電荷分割が右側にシフトし、電荷収集時間が伸びたと分かった。

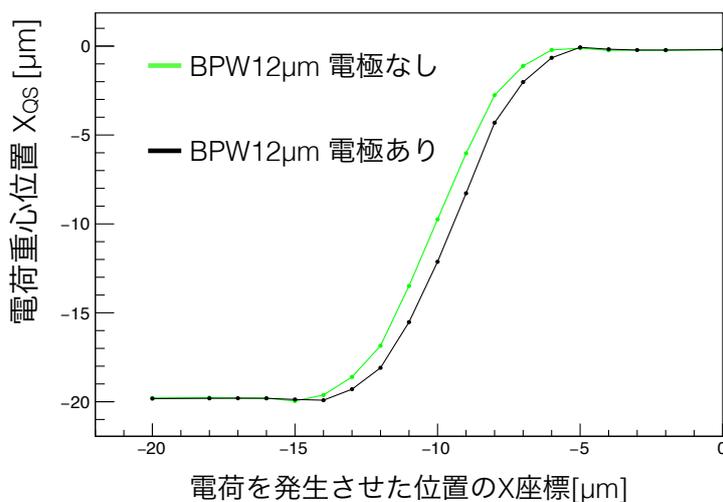


図 5.16: 2点での電荷重心をとった場合の重心位置

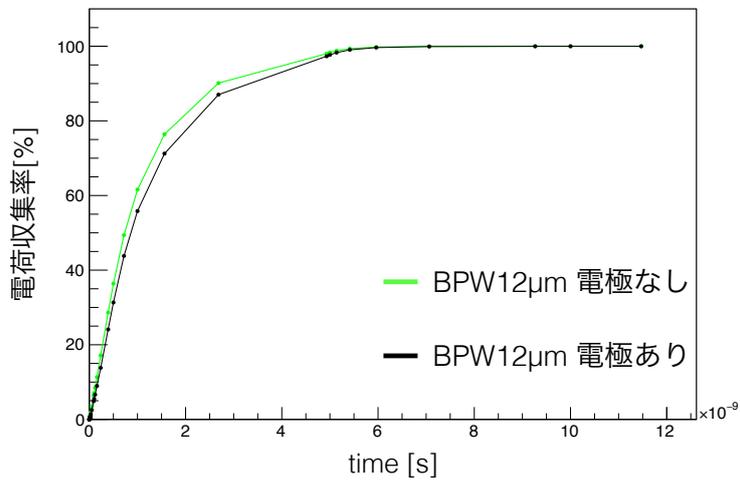


図 5.17: 収集時間無限大のときの収集電荷量に対する時刻 t での収集電荷量の割合

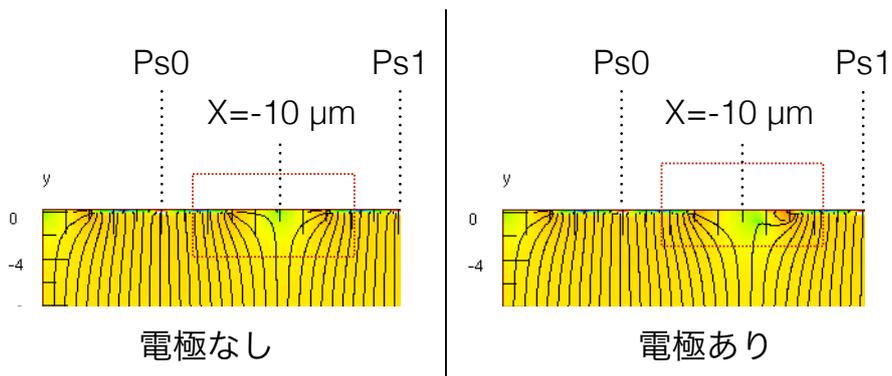


図 5.18: センサー内の電場構造の違い

5.4 考察と課題

この節では、TCADシミュレーションの結果の考察、また今後の課題を述べる。

5.4.1 BPWの大きさについての考察

BPWの大きさが $14 \times 14, 16 \times 16 \mu\text{m}^2$ の場合、回路層のどこにトランジスタを配置してもback gate効果が非常に小さく抑制できるとわかった。また、5 MIP相当までの信号が入った時の入力端子の電位では、隣接する端子に電流は流れない。さらに、SOFIST1でのBPWの大きさの変化は、電荷分割に影響を及ぼさないと分かった。しかし、回路層のトランジスタがBPWの端からはみ出していると、電荷分割に変化を与えてしまう。よって、BPWの大きさは、回路層のトランジスタをBPWからほぼはみ出さずに配置した $16 \times 16 \mu\text{m}^2$ が望ましい。

5.4.2 今後の課題

センサーへのバイアス電圧

バイアス電圧を下げると電荷収集速度が遅くなり、 $V_{bias} = 10 \text{ V}$ では、入力端子直下で電子正孔対が生成した場合でも、 15 ns 程度の時間を要する。評価試験の際に、バイアス電圧によっては、電荷収集時間が長くなることを考慮し、chipの信号処理を行わなければならない。

トランジスタのBPWの端からはみ出し

トランジスタがBPWの端からはみ出していると電荷分割に変化を与えてしまうことが分かった。はみ出したトランジスタが複数あると、さらに複雑な変化となる。これをシミュレーションで再現するのは難しい。その為、実機に対して評価試験を行い、はみ出したトランジスタの周りでの電荷分割の調査を重点的に行う必要がある。

そもそも、はみ出さないためにはどうすればよいかを考える。一つの案として、SOI技術を発展させた積層回路技術を利用する事が挙げられる。この技術は、複数の回路層を積層することで、より複雑な回路設計を可能にする事が期待されている開発段階の技術である [8]。この技術が実用可能となれば、1層あたりの回路素子の数を少なくすることで、BPWの端から回路素子をはみ出さずにレイアウトできるようになると期待できる。

第6章 結論

本研究では、SOI技術を用いて高エネルギー物理学実験用のピクセル半導体位置検出器SOFIST1のピクセル部分の回路の部分的な設計と、そのレイアウトを行った。回路シミュレーションを用いた動作確認を行い、回路が問題なく動作する事を示した。

センサー周りのクロストークと、電荷収集時における入力端子間での電荷分割と電荷収集時間についてTCADシミュレーションを用いて調査した。その結果、(1)BPWの大きさが $14 \times 14, 16 \times 16 \mu m^2$ の場合、センサーのバイアス電圧が回路層に与える影響は小さく、回路の動作上問題がない。

(2)ピクセル間のクロストークは、運用上問題がない。

(3)BPWの大きさの違いは、電荷分割と電荷収集時間に影響を及ぼさない。

(4)トランジスタがBPWの端からはみ出していると、電荷分割に変化を与える。

(5)SOFIST1にある3種類のBPWの大きさの中では、 $16 \times 16 \mu m^2$ が最適な大きさである。

以上の事が、分かった。

付録

.1 TCADシミュレーションに使用したトランジスタの特性

TCADシミュレーションに使用したNMOSトランジスタの構造を、図1に載せた。このトランジスタに $V_{source} = 0.0\text{ V}$ 、 $V_{drain} = 1.5\text{ V}$ の固定電圧を与え、 V_{gate} と $I_{drain} (I_d)$ の関係を調べ、図2を得た。図の直線部分のX切片を求めると、約 0.58 V であった。この時、約 $1\text{ }\mu\text{A}$ 程度の電流がドレインに流れている (図3)。

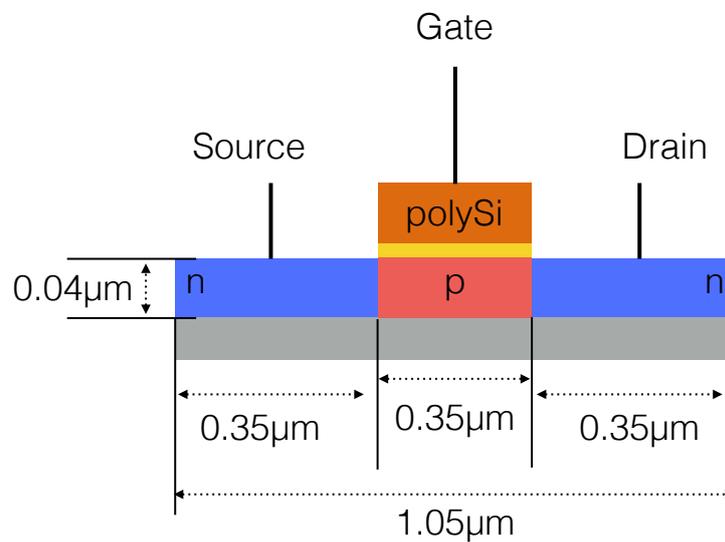


図 1: シミュレーションに使用した NMOS の構造

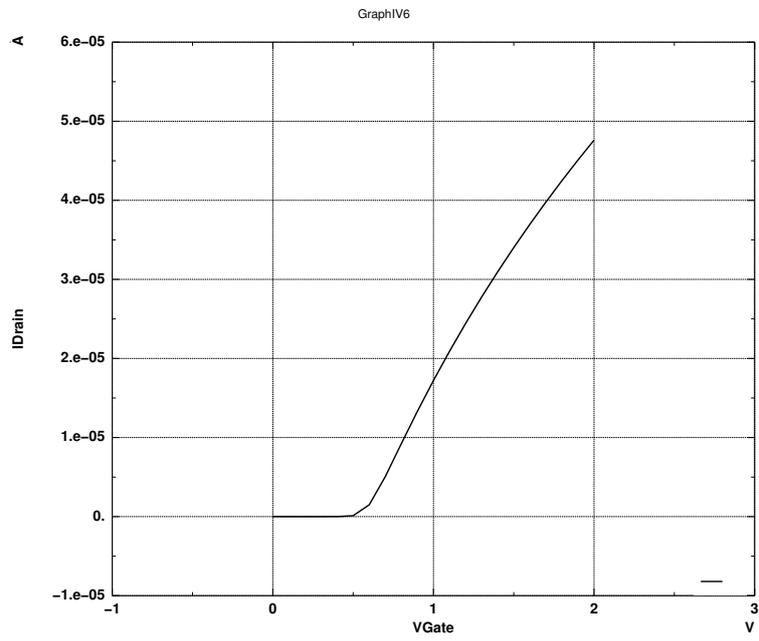


図 2: ドレイン電流とゲート電圧の関係

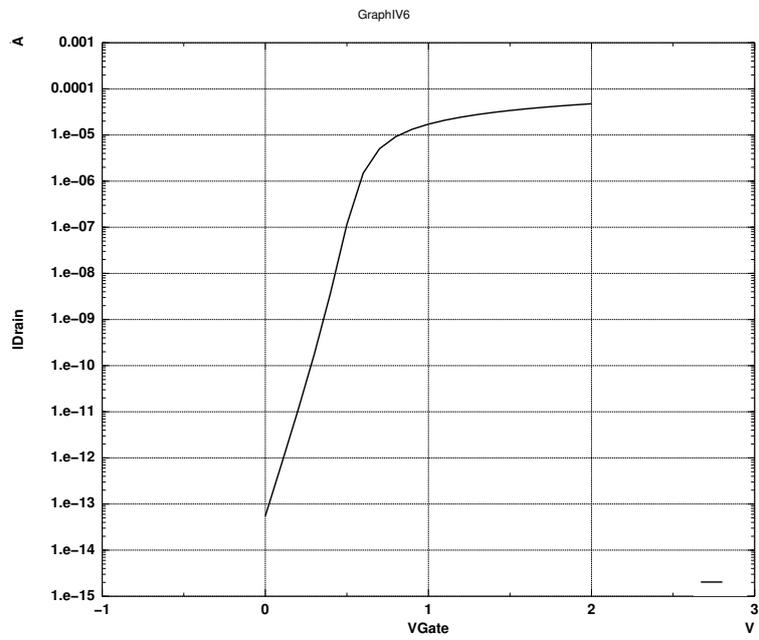


図 3: ドレイン電流とゲート電圧の関係 (縦軸は Log)

謝辞

大学院生活を送る上で、本当に多くの方々にお世話になりました。

山中卓教授には、研究環境を十分に整えて頂きました。また、研究だけに限らず、山中さんの話を聞いていて、楽しそうに話されているのを見て、自分も何事も新鮮に楽しみたいと思えました。ありがとうございました。

花垣和則特任教授には、SOFIST1の開発に携わる機会を作って頂きました。検出器開発の長い道のりのほんの一端にでも関わられて、良かったです。また、人への情報の伝え方をよく指導して頂きました。物事を順序立てて伝えるのが苦手な自分には大変ありがたかったです。花垣さんの添削のおかげで、何とか修士論文を形にできました。辛抱強く指導してくださり、ありがとうございました。

外川学助教には、研究に関して多くの助言を頂きました。私の計画性の無さを心配して下さり、その都度、助言を頂きました。進みが遅い私をいつも後押しして下さい、ありがとうございました。

KEK SOIグループの、新井康夫さま、坪山透さまには、SOFIST1のピクセル回路について多くの助言、資料を頂きました。難しいことも多く、話についていくのが大変なときは多々ありましたが、回路設計の楽しさを知れた気がします。ありがとうございました。

総研大の浜崎竜太郎さま、京都大学の武田彩希さまには、回路シミュレーション、そしてTCADシミュレーションのソフトウェアの使い方や、エラーメッセージへの対処方法など技術的な指導をたくさんして頂きました。お二人の具体的な助言がなければ、進むことはできませんでした。ありがとうございました。

山中卓研究室 SOI グループの小野峻さんには、回路の基本から、半導体検出器の原理まで本当にたくさんの事を教えて頂きました。勉強会を開いてくれたおかげで、回路設計の難しさと楽しさが少しだけでもわかり、回路に興味を持つ事ができました。また、修士論文の執筆の際にも、たくさんの助言をいただきました。ありがとうございました。後輩の森哲平くんには、なかなか先輩らしいところを見せてあげられず、申し訳ありませんでした。少しでも力になれていたのだったら、幸いです。

山中卓研究室 KOTO グループ、ATLAS グループ、4年生の皆さまには、僕の冗談に付き合ってもらっていたことが多かったように思います。苦しい研究生生活において、わざわざくだらない話に時間を割いてもらえるというのは大変嬉しかったです。ありがとうございました。山中卓研究室秘書の川原希恵さまには、諸手続きや出張に必要な書類などを滞りなく処理して頂き、書類提出の類が多かった私は、とても助かりました。ありがとうございました。

そして、研究生生活を送るために支援し続けてきてくれた、家族に感謝します。ここまで尽力してもらえた事に、心から感謝します。本当にありがとう。

最後に、大学院生活を通して会うことができた方々に感謝します。ありがとうございました。この気持ちが、ただの気持ちで終わらないように、精進いたします。

参考文献

- [1] 小野 善将, 高エネルギー実験のための SOI 技術を用いた PIXOR(PiXel OR) 半導体検出器の研究開発, 東北大学修士論文 (2012)
- [2] International Linear Collider Technical Design Report, <https://www.linearcollider.org/ILC/Publications/Technical-Design-Report>
- [3] 東野 聡, ATLAS 実験アップグレード用シリコン検出器試験のためのテレスコープ検出器開発, 大阪大学修士論文 (2013)
- [4] cadence 社 virtuoso, <https://www.cadence.co.jp/service/tec/virtuoso.html>
- [5] VDEC <http://www.vdec.u-tokyo.ac.jp>
- [6] KEK SOI グループ, <http://rd.kek.jp/project/soi/>
- [7] KEK SOI グループ B01-I 班 <http://soipix.jp/b-01-1.html>
- [8] KEK SOI グループ A01 班 <http://soipix.jp/a01.html>
- [9] 廣瀬 穰, SOI 技術を用いた一体型 Pixel 検出器用読み出しシステムの開発、及び積分型 Pixel 検出器の性能評価, 大阪大学修士論文 (2008)
- [10] 松村 英晃, 宇宙 X 線観測用 SOI ピクセル検出器における電荷収集効率の改善, 京都大学修士論文 (2015)