

ATLAS アップグレード用シリコン検出器試験用
システムの開発

大阪大学 大学院 理学研究科物理学専攻
山中研究室 博士前期課程2年

石島 直樹

February 4, 2014

概要

欧州原子核研究機構 (CERN) に建設された陽子-陽子衝突型の粒子加速器 Large Hadron Collider (LHC) は、7 TeV まで加速させた陽子同士を衝突させて、これまでにない高エネルギーでの素粒子反応を起こすことができる。我々は、LHC の衝突点の1つに建設した ATLAS 検出器を用いて、標準模型の検証や、それを超える物理法則の探索を行っている。

CERN では、統計量の増加を目的とした High Luminosity Large Hadron Collider (HL-LHC) 計画が 2024~2025 年の開始を目指して計画されている。ルミノシティが大幅に増加する HL-LHC に合わせて ATLAS 検出器もアップグレードを計画しており、現行の LHC で使用されている検出器よりも、より放射線耐性が高く、かつより微細化した新型シリコン検出器の開発を進めている。

本研究では、新型シリコン検出器の試験をするためのビームテスト用システムの開発として、3つの研究を行った。1つ目はビームプロファイルモニタとして制作予定のファイバートラッカーに用いる MPPC 読み出し用電子回路基板の開発である。開発する電子回路基板の仕様を決め、設計を行った。完成した試作モジュールの動作確認と性能評価を行い、正しく動作していることを確認した。2つ目は、試験する新型シリコン検出器への入射粒子の位置情報を高精度で測定するためのテレスコープと呼ばれる検出器の開発である。開発したテレスコープの動作確認と性能評価を行い、正しく動作していることを確認した。3つ目は、ビームテスト用データ収集システムの開発である。テレスコープの読み出しシステムをビームテスト用データ収集システムに組み込み、他検出器との同期試験を通して正しく動作している事を確認した。本論文は以上3つの研究についてまとめたものである。

目次

第1章 序論	7
1.1 LHC	7
1.1.1 現在までの状況	8
1.1.2 LHC アップグレード	8
1.2 ATLAS 検出器	9
1.2.1 ATLAS 内部飛跡検出器	9
1.2.2 内部飛跡検出器のアップグレード	11
1.3 HL-LHC 用シリコン検出器の試験	12
1.4 本研究の目的	13
第2章 MPPC 読み出し用電子回路基板の開発	14
2.1 MPPC 読み出し用電子回路基板開発の背景	14
2.2 EASIROC チップを使用した MPPC 読み出し用電子回路基板	15
2.2.1 MPPC 読み出し用 ASIC : EASIROC	15
2.2.2 東北大学と KEK による MPPC 読み出し用電子回路基板	15
2.2.3 新型モジュール開発のねらい	17
2.3 EASIROC MODULE の開発	18
2.3.1 部品の選定	18
2.3.2 回路図作成・モジュール製作	23
2.4 性能評価	26
2.4.1 入射電荷に対するプリアンプ及び波形整形器の反応の線形性	26
2.4.2 プリアンプ増幅率	29
2.4.3 S/N 測定	31
2.4.4 クロストーク	33
2.4.5 S-curve 測定	34
2.4.6 MPPC 用バイアス電源 : LT3482	36
2.4.7 電流・電圧・温度モニター	37
2.5 考察	38
第3章 テレスコープの開発	42
3.1 テレスコープ	42

3.1.1	要求性能	42
3.1.2	望遠鏡の概要	43
3.1.3	開発状況および本研究のねらい	44
3.2	望遠鏡の構成要素	45
3.2.1	シリコンストリップセンサー	45
3.2.2	シリコンストリップセンサーからの信号読み出し用 ASIC : SVX4	45
3.2.3	Soi EvAluation BoArd with Sitep : SEABAS	48
3.2.4	DAQ システム	48
3.3	センサー取り付け前の動作確認	49
3.3.1	ペDESTAL測定	49
3.3.2	入射電荷に対する SVX4 からの出力の線形性の確認	50
3.3.3	Data sparsification 機能	50
3.3.4	Read neighbor channel 機能と SVX4 複数読み出し	51
3.4	センサー取り付け後の望遠鏡の性能評価	53
3.4.1	ノイズ評価	53
3.4.2	トリガーレート耐性	54
3.4.3	β 線によるテスト	56
3.4.4	トリガーディレイと検出効率	59
3.4.5	全空乏化電圧	60
3.5	考察	61
第 4 章	ビームテスト用 DAQ の構築	66
4.1	SCTJDAQ	66
4.1.1	概要	66
4.1.2	開発状況	67
4.2	検出器間でのイベントの同期方法	68
4.3	イベントフラグメント	68
4.3.1	SCTJDAQ 共通フラグメント	68
4.3.2	望遠鏡のイベントフラグメント	68
4.3.3	イベントフラグメントの実装	71
4.4	望遠鏡と ABCN の同時読み出し試験	71
4.4.1	セットアップ	71
4.4.2	結果	71
4.5	考察	74
第 5 章	全体の考察と今後の課題	75
第 6 章	結論	77

目次

1.1	LHC	7
1.2	ATLAS 検出器	9
1.3	内部飛跡検出器	10
1.4	ビームテストの典型的なセットアップ。	12
2.1	EASIROC の回路図の概略 [3]。	16
2.2	ダイオードによる保護回路。	18
2.3	S/N 測定のセットアップ。	19
2.4	MPPC バイアス電源に GS610 を用いたときの MPPC 出力分布。	20
2.5	MPPC バイアス電源に LT3482 を用いたときの MPPC 出力分布。	20
2.6	MPPC バイアス電源に HAPM を用いたときの MPPC 出力分布。	20
2.7	LT3482 と HAPM の出力電圧の温度依存性。左が HAPM、右が LT3482	21
2.8	LT3482 の出力のゆらぎ。	22
2.9	HAPM の出力のゆらぎ。	22
2.10	LT3482 の高負荷時の性能の検証。	22
2.11	EASIROC MODULE の内部基板。	24
2.12	EASIROC MODULE の前面、背面パネルの概観。	25
2.13	EASIROC に MPPC の擬似パルスを入射するためのセットアップ。	26
2.14	入射電荷量と ADC 出力の関係。	27
2.15	EASIROC の最大入力許容電荷の測定。増幅率設定値を 10 倍 (緑)、30 倍 (赤)、150 倍 (黒) にして測定した。	28
2.16	ADC 値とプリアンプのゲイン設定の関係。黒が理論値、赤が測定値。	29
2.17	全チャンネルでの ADC 値とプリアンプのゲイン設定の関係。EASIROC の増幅率設定値を 150 倍 (緑)、50 倍 (黒)、10 倍 (赤) にして測定した結果 (左図) と、ADC 値 660 前後の拡大図 (右図)。	30
2.18	S/N 測定のセットアップ。	31
2.19	EASIROC MODULE で測定した LED を光源としたときの MPPC 出力。	32
2.20	ペDESTルからチャンネル 14 に 12 pC を入射した時の ADC 値を引いた値の分布。プリアンプ増幅率は 30 倍、信号立ち上がり時間は 50 ns。	33
2.21	S-curve 測定のセットアップ。	34

2.22	4種類の一定の電荷(160、320、506、640)を入射しながら閾値を変えていった時のS-curve。電荷を入射したのは1チャンネルのみで、測定は全てのチャンネルに対して行った。	35
2.23	DAC値とLT3482の出力電圧の関係。	36
2.24	モニター用ADCでのLT3482の出力電圧測定(左図)と、input DACの出力電圧測定(右図)。	37
2.25	S/Nのプリアンプ像倍率に対する依存性(左図)と、S/Nの信号の立ち上がり時間に対する依存性(右図)。	39
2.26	全チャンネルの検出効率が50%になるDAC値の分布。入射電荷が160 fCの時(左図)と、入射電荷が640 fCの時(右図)。	40
2.27	入射電荷量と検出効率が50%になるDAC値の関係。	40
2.28	S-curveのばらつき補正。2つのチャンネルに同じ電荷量(640 fC)を入射した時のS-curve(左図)と、チャンネル0に552 fC、チャンネル30に640 fC入射した時のS-curve(右図)。	41
3.1	テレスコープの全体像。	43
3.2	SVX4 board version3	44
3.3	SVX4の回路図の概略[7]。	47
3.4	SEABAS	48
3.5	79チャンネル目のADC分布を示すヒストグラム(左図)と、512チャンネル全てのADC分布を示す2次元ヒストグラム(右図)。	49
3.6	入射電荷量とADC値の関係。	50
3.7	閾値のADC値を120に設定したときのADC分布を示す2次元ヒストグラム。Data sparsification機能OFF(左図)と、Data sparsification機能ON(右図)。	51
3.8	Read neighbor channel機能をONにしたときのADC分布を示す2次元ヒストグラム。1チップ目(左図)と、2チップ目(右図)。	52
3.9	全チャンネルのペDESTALのRMS分布。	53
3.10	入射電荷長とADC値の関係(センサー有)。	54
3.11	オシロスコープで記録したデータ取得時のSVX4への入出力信号。	55
3.12	50 kHzのトリガーで取得したときのADC分布を示す2次元ヒストグラム。	55
3.13	β 線検出のセットアップ。	56
3.14	ランダムトリガーで取得したADC分布を示す2次元ヒストグラム。	57
3.15	シンチレーターによるトリガーで取得したADC分布を示す2次元ヒストグラム。	57
3.16	シンチレーターによるトリガーで取得した β 線のヒットマップ。2つのセンサーが両方ヒットしたイベントだけ見ている。	58

3.17	PMT、discriminator、gate generator からの信号の時間関係。	59
3.18	検出効率とトリガーディレイの関係。	60
3.19	シリコンストリップセンサーへのバイアス電圧と収集電荷量の関係。	61
3.20	電荷量による入射位置の測定。	62
3.21	各イベント毎のペDESTALの中央値(左図)と、全イベントのペDESTAL中央値と平均との差の分布と時間変化の様子(右図)。	63
3.22	センサーに 80V 印加したときの表のセンサーの収集電荷量の分布。左が β 線源なし、右が β 線源あり。	64
3.23	センサーに 80V 印加したときの表のセンサーの収集電荷量の分布。 β 線源ありで閾値は pedetal+5 σ 。	65
4.1	SCTJDAQ の全体像。	67
4.2	検出器間同期システムの概要。	69
4.3	テレスコープ 1 台を読み出した場合のテレスコープのイベントフラグメント。読み出す台数が増えると telescope number 以降のデータを台数分繰り返す。	70
4.4	同時読み出し試験のセットアップ。	72
4.5	テレスコープ読み出しプロセスからのデータ出力。	73
4.6	イベント再構成プロセスからのデータ出力。	73

表 目 次

2.1 XC7A100T-2FGG676 の主な仕様 [6]。	23
3.1 シリコンストリップセンサーの仕様。	45

第1章 序論

1.1 LHC

Large Hadron Collider (LHC) は、欧州原子核研究機構 (CERN) に建設された陽子-陽子衝突型の粒子加速器である。LHC は周長 27 km の円形をしており、7 TeV まで加速させた陽子同士を衝突させて、これまでにない高エネルギー (重心系エネルギー 14 TeV) での素粒子反応を起こすことができる。LHC には4つの衝突点があり、それぞれに測定器が設置されている。我々はそのうちのひとつである ATLAS 検出器を使って実験を行っている。実験の主な目的は、高いエネルギー領域での素粒子反応を観測する事により、標準模型の検証や、それを超える物理現象を探索することである。

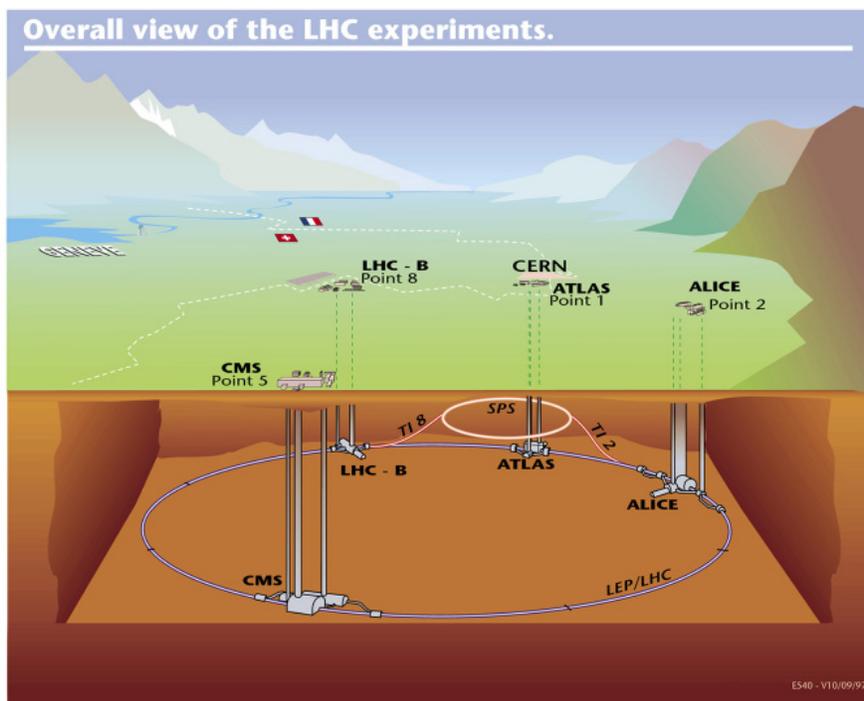


図 1.1: LHC

1.1.1 現在までの状況

LHCは2010年に稼働を開始し2012年の終わりまで、重心系エネルギー7 TeVおよび8 TeVで実験を行った。ピークルミノシティは設計値である $1.0 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ に近い $7.7 \times 10^{33} \text{cm}^{-2}\text{s}^{-1}$ を達成し、7 TeVで 5.2fb^{-1} 、8 TeVで 21.3fb^{-1} のデータを収集した。2012年には、これらのデータの解析からヒッグス粒子を発見した。ヒッグス粒子はヒッグス機構によって予言された粒子で、ゲージボソンおよびフェルミオンはヒッグス場との相互作用によりゲージ不変性を破ることなく質量を獲得する。このヒッグス粒子の発見によりヒッグス機構の正しさが証明され、2013年にはこれを受けて、ヒッグス機構の提唱者であるピーター・ヒッグスとフランソワ・アンゲレールにノーベル物理学賞が贈られた。

発見したヒッグス粒子はスピン、結合定数などの現在までの解析の結果、標準模型の予言するヒッグス粒子と無矛盾であるが、まだ統計量が不足しており、確実なことは言えない状況である。より統計を上げて高精度な測定を行うことで、標準模型からのずれがないかを検証し、新物理の発見を目指す。特に、未だ直接観測されていないヒッグス粒子とフェルミオンとの結合の検証は、近い将来の最重要課題である。また、超対称性模型 (SUSY) を始めとした標準模型を超える理論はヒッグス粒子以外の新しい粒子の存在を予言しているが、今のところヒッグス粒子以外の新粒子は発見していない。そこで、重心系エネルギーやルミノシティを上げて、未確認粒子探索感度の向上を図る。

1.1.2 LHC アップグレード

LHCは、重心系エネルギーを13ないしは14 TeVに上げて、2015年から2022年まで稼働する。途中で約1年半のシャットダウンをはさみ、ルミノシティを $2 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ 程度まで上げて、約 400fb^{-1} 相当のデータを2022年までに収集する予定である。

さらに、2024~2025年の稼働開始を目標に、ルミノシティを $5 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ に増加するHigh Luminosity Large Hadron Collider (HL-LHC) 計画が進められている。10年間の運転で約 3000fb^{-1} のデータを収集し、ヒッグス粒子の自己結合定数の測定を目指す。また、新物理探索の感度も大幅な向上を見込む。

1.2 ATLAS 検出器

A Toroidal Lhc ApparatuS (ATLAS) 検出器 [1] は LHC の 4 つの衝突点のひとつに置かれた高さ 25 m、全長 44 m、重さ 7000 tons の汎用検出器である。外側からミュオン検出器、トロイド磁石、ハドロンカロリメータ、電磁カロリメータ、ソレノイド磁石、そして内部飛跡検出器が、図 1.2 のように、陽子-陽子衝突地点を囲むように配置されている。

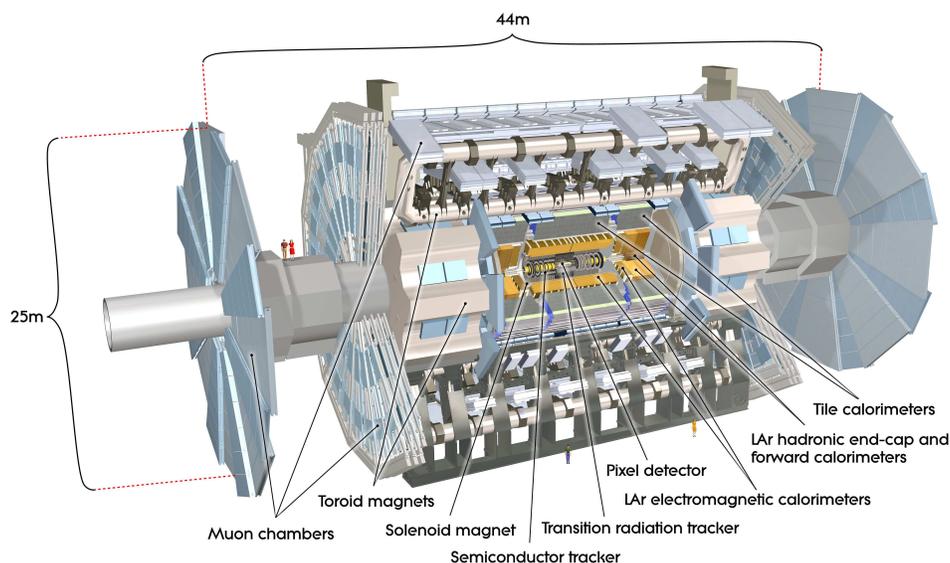


図 1.2: ATLAS 検出器

さらに、内部飛跡検出器は Pixel 検出器、SemiConductor Tracker (SCT)、Transition Radiation Tracker (TRT) といった構成要素をもち、図 1.3 のように配置されている。

1.2.1 ATLAS 内部飛跡検出器

内部飛跡検出器は陽子-陽子衝突で生成された荷電粒子の飛跡を測定し、陽子-陽子衝突点の位置を測定したり、荷電粒子の運動量を測定するための検出器である。

Pixel 検出器

Pixel 検出器は $400 \mu\text{m} \times 50 \mu\text{m}$ (ビーム軸方向×ビーム軸垂直方向) の微小なシリコン検出器 (Pixel) の集合体で構成されている。細かくピクセルに分けることにより、

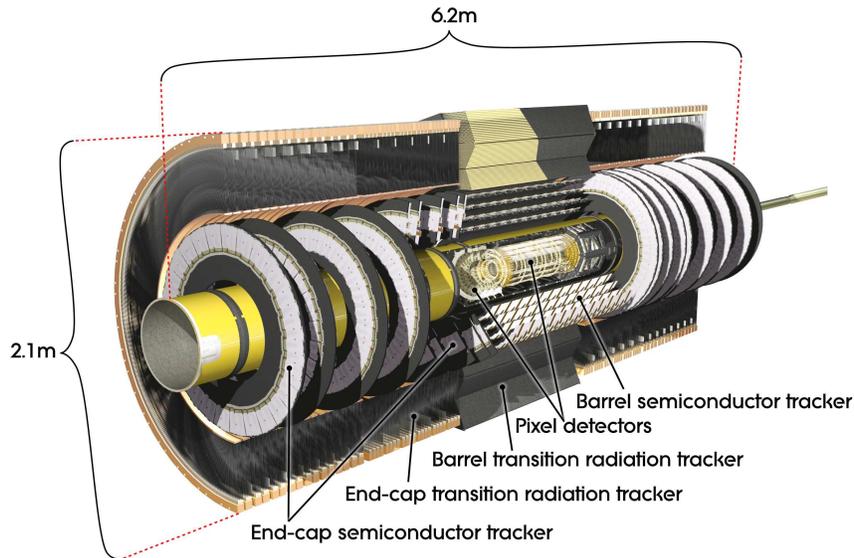


図 1.3: 内部飛跡検出器

1チャンネル辺りの粒子のヒット数 (Hit occupancy) の増加を抑え、高い分解能を達成している。47232 ピクセルの集合をモジュールと呼び、全部で1744個のモジュールをバレル状に3層、エンドキャップ状に3層並べて Pixel 検出器を構成している。

SCT

SCT は間隔 $80 \mu\text{m}$ 、長さ 128 mm のシリコンストリップを 768 本持つシリコンストリップセンサーを用いた検出器である。1つのモジュールは、シリコンストリップセンサー2枚からなっており、それぞれのセンサーを 40 mrad 傾けて配置することにより2次元の位置情報を取得できる。バレル状に配置された 2112 個のモジュールと、9層のエンドキャップ状に配置された 1976 個のモジュールによって SCT を構成している。

TRT

TRT は内部にタングステンのワイヤーを1本持つ、半径 4 mm のストローチューブ約 750 万本から構成されている。チューブの中は Xe , CO_2 , O_2 の混合ガスで満たされており、荷電粒子とガスとの衝突により生成された電荷を、ワイヤーを通じて検出する。

1.2.2 内部飛跡検出器のアップグレード

ATLAS実験では、LHCがHL-LHCにアップグレードすると同時に、検出器もアップグレードする [2]。ここでは、そのアップグレード計画のうち内部飛跡検出器に話を絞る。

HL-LHCではルミノシティを現在のLHCの設計値の5倍である $5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ まで上げる予定である。ルミノシティが5倍になると、単純に考えて5倍の粒子が生成され内部飛跡検出器を通過することになる。現在のPixel検出器とSCTでは、ルミノシティが $3 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ を超えた辺りからHit Occupancyの増加によるデータの読み出し時間の増加等によって不感時間が発生し、 $5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ では検出効率が30%近くまで低下してしまう。また、ルミノシティの増加に伴い、放射線による検出器へのダメージも約10倍に増加するため、検出器の放射線耐性も上げなくてはならない。

これらの問題に対応するために、データの転送速度を上げ、より細分化した放射線耐性の高いシリコン検出器の開発をATLASグループでは進めている。TRTは現行のLHCにおいてもHit Occupancyの大きさが問題となっているため、HL-LHCでは使用しない。HL-LHC用の内部飛跡検出器はPixelとストリップ型のシリコン検出器のみで構成する予定である。

開発中のPixel検出器

HL-LHC用Pixel検出器はモジュールをバレル状に4層、エンドキャップ状に6層並べて構成する予定である。ピクセルサイズを現行の $400 \mu\text{m} \times 50 \mu\text{m}$ から、バレル部分の内側2層を $150 \mu\text{m} \times 25 \mu\text{m}$ 、外側2層とエンドキャップ部分を $250 \mu\text{m} \times 50 \mu\text{m}$ まで細分化し、単位面積あたりのチャンネル数を増やすことによってHit occupancyを下げる。また、放射線耐性を現在の約 $1.7 \times 10^{15} \text{n}_{\text{eq}}/\text{cm}^2$ から約 $1.4 \times 10^{16} \text{n}_{\text{eq}}/\text{cm}^2$ まで上げる¹。

開発中のSCT

HL-LHC用SCTはモジュールをバレル状に5層、エンドキャップ状に7層並べて構成する予定である。ストリップ間隔を $80 \mu\text{m}$ から $74.5 \mu\text{m}$ 、ストリップ長を 128mm からバレル部分の内側3層で 24mm 、外側3層とエンドキャップ部分で 48mm に細分化し、Hit occupancyを下げる。さらに、現行のn-in-pタイプからp-in-nに変更することで放射線耐性を約 $2.0 \times 10^{15} \text{n}_{\text{eq}}/\text{cm}^2$ まで上げる。

¹ n_{eq} は1MeVの中性子1個が物質に与える放射線損傷に等しい

1.3 HL-LHC用シリコン検出器の試験

新たに検出器を開発する上で必要となるのが、試作した検出器の動作試験や性能評価である。そのために、加速器によるビームや宇宙線、放射線源から放出される粒子など使い、検出効率や位置分解能等を測定する。以下では、ビームを使った試験(ビームテスト)について説明する。

試験する検出器の有感領域や位置分解能を評価するためには、試験する検出器に入射する粒子の位置を正確に知る必要がある。そのために、図 1.4 に示すように、試験する検出器を挟むように複数の位置検出器をおいて、数 μm の精度で入射粒子の位置を測定する。この目的に使用する検出器をテレスコープと呼ぶ。また入射しているビームの概形を知るためにビームプロファイルモニタという 1 mm 程度の分解能を持つ位置検出器を用いる場合もある。データ収集システム (DAQ) でこれらの検出器からのデータを読み出し、試験する検出器の性能を評価することができる。

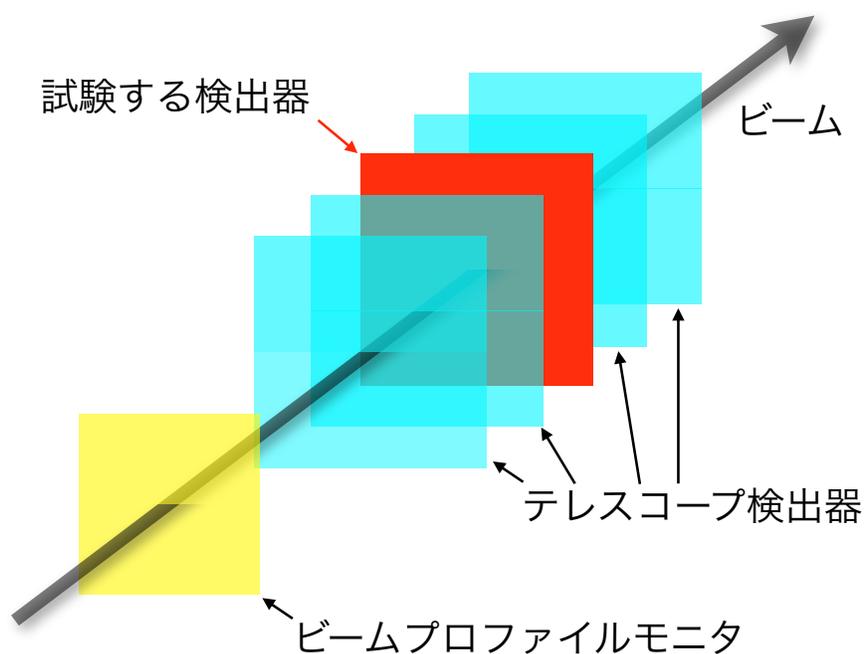


図 1.4: ビームテストの典型的なセットアップ。

ビームテストが可能な研究施設は世界に数カ所存在し、それぞれの研究施設にはビームテスト用に独自のビームテスト用システムが設置してあることが多い。しかしそれらを使用する為には、試験する検出器の DAQ を各研究施設の DAQ に適合させる必要がある。また、用意されているビームプロファイルモニタやテレスコープ

も研究施設毎に違うため解析の際に手間がかかる。そこで我々は、独自のビームテスト用システムを開発することにした。このシステムにより、準備時間の節約や場所に依存しない安定したセットアップを供給する事ができる。

1.4 本研究の目的

HL-LHC用シリコン検出器の試験のためのビームテスト用システムを開発する。そのために本研究では以下の3つの研究を行った。

- ビームプロファイルモニタに用いる MPPC 読み出し用電子回路基板の開発をした。既存の MPPC 読み出し用電子回路基板の試用結果から出てきた問題・改良点を克服する為に、設計の見直しと機能の追加を行い、新たに電子回路基板を作成した。その後、動作確認と性能評価をした。
- テレスコープの開発をした。前任者である東野聡氏により開発途中であったテレスコープを完成させ、動作確認、性能評価をした。
- ビームテスト用 DAQ の開発をした。高エネルギー加速器研究機構 (KEK) と京都教育大学が開発中であるビームテスト用 DAQ にテレスコープを組み込み、DAQ の動作試験をした。

本稿はこれら3つの研究についてまとめた論文である。本論文の構成は以下の通りである。第2章で、開発した多チャンネル MPPC 読み出し用モジュールの設計、仕様について説明し、性能評価の結果を述べる。第3章で、テレスコープの説明と性能評価の結果を述べる。第4章でビームテスト用 DAQ についての説明とテレスコープを組み込んだ DAQ の動作試験の結果を述べる。第5章で開発したビームテスト用システム全体についての考察と今後の課題、第6章で結論を述べる。

第2章 MPPC読み出し用電子回路基板の開発

ビームプロファイルモニタとしてファイバトラッカーを開発する予定である。ファイバーからの光は Multi Pixel Photon Counter (MPPC)¹によって検出する。そこで、MPPC読み出し用に開発されたチップである EASIROC を用いて MPPC からの信号読み出し用電子回路基板を設計し、それを NIM モジュール化したものを開発した。これを EASIROC MODULE と呼ぶ。本章では EASIROC MODULE を開発するに至った経緯と EASIROC チップの概要について説明した後、EASIROC MODULE の仕様を含めた開発の詳細について述べる。その後、完成したモジュールの動作試験および性能評価について述べる。

2.1 MPPC読み出し用電子回路基板開発の背景

ビームプロファイルモニタでビームの概形を得る為には 1 mm 程度の分解能とビームより大きな有感領域が必要になる。テストに使用するビームのレートは不特定であるが、ある程度高いレートにも耐えるものでなければならない。また、ビームテストを行う場所も様々であるため、簡単に運搬できることが望ましい。そこで、1 mm 程度の位置分解能と数 cm² の有感領域を持ち、10 kHz 程度で読み出し可能、かつコンパクトで持ち運びが容易なファイバトラッカーを開発予定である。

ファイバーからの光検出には MPPC を用いるが、ここで問題となるのは MPPC からの信号読み出しシステムである。各 MPPC ごとにアンプや信号遅延回路が必要のため、多チャンネルの MPPC の信号を読み出すには非常に多くの回路を準備するか、専用の読み出し回路が必要となる。

上記の背景を元に、EASIROC という MPPC 読み出し用チップを用いて、東北大学と KEK が共同で、ファイバトラッカー用の MPPC 読み出し用電子回路基板を開発した。この基板の仕様は我々の要求にほぼ合致していた。しかし、基板の試験結果から解決すべき問題点・改良点が提示されていた。そこで、この基板を元に

¹浜松ホトニクスが開発したガイガーモード APD ピクセルから成る小型(数 mm²)の光検出器。優れたフォトンカウンティング能力を持ち、低電圧(～100 V)動作する。また、磁場の影響を受けないなどの特徴がある。

様々な改善をほどこした MPPC 読み出し用モジュール：EASIROC MODULE を開発することにした。

2.2 EASIROC チップを使用した MPPC 読み出し用電子回路基板

2.2.1 MPPC 読み出し用 ASIC：EASIROC

EASIROC は Extended Analogue Silicon pm Integrated Read Out Chip の略称であり、フランスの Ω グループが開発した汎用の MPPC 読み出し用 ASIC である [3]。省電力 (5 mW/ch) で、32 個の MPPC を同時に読み出す事ができ、増幅率調節可能なアンプ、波形整形増幅器、discriminator を各チャンネルが有している。また、inputDAC と呼ばれる内蔵 DAC により 0~4.5 V の範囲で 32 個の MPPC に印加するバイアス電圧を個別に調節できる。

内部回路の概要を図 2.1 に示す。入力信号 (正電圧) は 2 つのコンデンサによって High gain と Low gain に 10:1 の割合で分割される。その後に置かれたプリアンプによりそれぞれの信号を増幅し、波形整形器へと送り出す。波形整形器としては、電荷測定用の slow shaper と時間測定用の fast shaper が用意されている。fast shaper は high gain 側にのみ用意されていて、信号の立ち上がりが早い (15 ns 程度)。波形整形後の出力は discriminator へと送られる。一方、slow shaper で整形された信号のある瞬間の電圧が register でのスイッチングによって後段のコンデンサに保持される。電圧保持のタイミングは外部からの信号 (HOLD 信号) によって決める。32 チャンネルそれぞれに保持された電圧はスイッチングによって 1 チャンネル目から順番に外部へ出力される。

2.2.2 東北大学と KEK による MPPC 読み出し用電子回路基板

東北大学と KEK によって開発された MPPC 読み出し用電子回路基板 (東北大 KEK ボード) [4] では、EASIROC から出力された電圧を基板上に配置した ADC によってデジタル化し FPGA へ送る。また、時間測定用の discriminator 出力を FPGA と基板上の LVDS ドライバに送れるようになっているため、FPGA 内に TDC を実装すればその TDC を使うことができ、LVDS ドライバからの出力を外部の TDC に渡すこともできる。

PC との通信には SOY と呼ばれる外付けの基板を用いる。ここには SiTCP という技術が使われている。SiTCP は KEK で開発されたシステムで、FPGA 内にネットワークの処理を行うモジュールを実装し、イーサネットによって PC と通信することができる [5]。

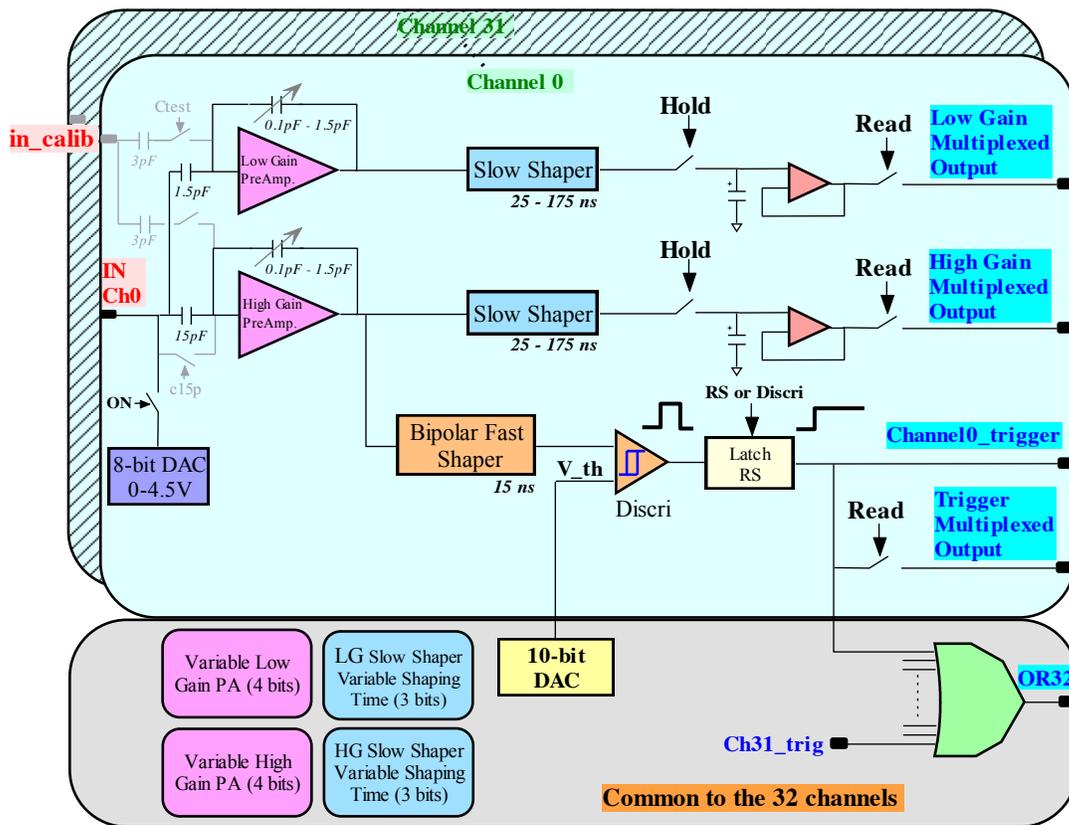


図 2.1: EASIROC の回路図の概略 [3]。

2.2.3 新型モジュール開発のねらい

前述の MPPC 読み出し電子回路基板の開発により、EASIROC の制御方法は確立された。しかし実際に使用する上での問題点・改善点もあった。以下ではそれについて述べる。

EASIROC では MPPC バイアス電圧調整用の input DAC が信号線と直接つながっている。そのため、MPPC の極性を間違えるなどして過電流が信号線に流れると、DAC を通じて過電流が EASIROC に流れ込み、EASIROC 自身が破損してしまう。東北大 KEK ボードでは、これによって EASIROC を破損する事例が数多く起こった。

また、東北大 KEK ボードでは MPPC 用のバイアス電圧を外部から供給する必要がある、大量のチャンネル数を扱うことが多い MPPC では基板 1 つ 1 つに電源を用意するのは煩雑である。そこで我々は、基板上で 100 V 程度の電圧を生成することができれば、セットアップ準備の負担が軽減できると考えた。

その他にも、チャンネル数の増加、各種環境情報のモニタリング、基板保護と電源の汎用性確保のための NIM モジュール化、などの要望を踏まえ、以下の仕様で新型モジュールを開発することにした。

- EASIROC チップを 2 個搭載
 - 64 個の MPPC の同時駆動
 - 各チャンネルの MPPC への印加電圧を 0~4.5 V の間で調節可能
 - MPPC 出力を 10~150 倍の間で調節可能
 - MPPC 出力の立ち上がり時間を 25~175 ns の間で調節可能
- MPPC 出力を 12bitADC で取得可能
- LVDS 出力、もしくは FPGA による TDC データの取得
- MPPC への印加電源の内蔵
- MPPC 印加電圧 (0 ~ 90 V) の制御と各種環境状況 (温度、バイアス電圧、電流) のモニタリング
- Ethernet 経由での PC からのモジュール制御、データ取得
- Digital I/O による他機器との同期
- NIM、もしくは AC アダプタ電源 (+ 6 V)

2.3 EASIROC MODULEの開発

前述した問題点の解決および改善のために、新たに EASIROC MODULE を開発した。以下では、新しく使用する部品の選定、回路図の作成、モジュールの設計について述べる。

2.3.1 部品の選定

EASIROC 保護回路

極性を逆にして MPPC を回路に接続すると大量の順方向電流が流れてしまう。そこで、図 2.2 のように保護ダイオードを接続することにより、ダイオードの順方向降下電圧+電源電圧を超える電圧が信号線に印加された場合、電流は保護ダイオード電源に流れ込むようにした。使用する保護ダイオードには、小型で低い順方向降下電圧 (0.97 V) を持っていることから、TOSHIBA 社の 1S362 というダイオードを採用した。この保護ダイオードにより、EASIROC 内部にかかる電圧は 0~5.97 V (順方向降下電圧+電源) の範囲に制限できる。

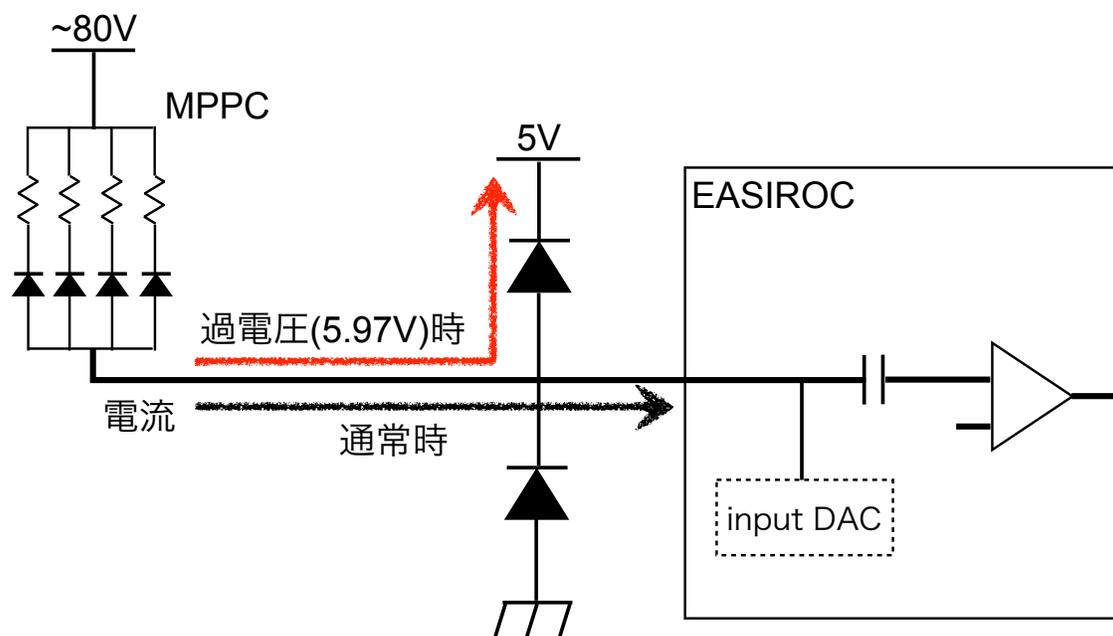


図 2.2: ダイオードによる保護回路。

バイアス電圧生成用 IC

基板上で MPPC への印加電圧 (~ 100 V) を生成するための IC として、リニアテクノロジー社の LT3482 と松定プレジジョン社の HAPM を候補とした。これらの IC は共に 2.5~16 V の電源から最大 90 V を出力でき、0~1.25 V のコントロール電圧を与えることによって出力を制御できる。LT3482 は IC 周辺の回路を自分で設計する必要があるのに対し、HAPM は周辺の回路があらかじめ組み込まれているため単体で動作する。MPPC 用電源として使用するにあたり、これらの IC とソースメーター (ケースレー社 GS610) を用いた場合との比較試験を行うために、LT3482 の評価ボードと HAPM を購入し、試験を行った。

まず、図 2.3 に示すセットアップを用いて、各電源で MPPC にバイアス電圧を印加したときの S/N を測定した。パルスレーザーを MPPC (型番:S10362-11-050C) に照射し、MPPC から 0~1 p.e.² に相当する電荷が出力されるようにレーザーの光量を調節した時の MPPC 出力の ADC 分布を図 2.4 ~ 図 2.6 に示す。ADC 情報は CAMAC によって取得していて、ADC のゲートはレーザーのパルスに同期している。ペDESTAL と 1 p.e. のピークをそれぞれガウス関数でフィットし、ピーク位置の差をシグナル、ペDESTAL のピーク幅をノイズとして、S/N を求めた。その結果ソースメーターを使ったときの S/N が 6.83 ± 0.18 、LT3482 を使ったときの S/N が 6.69 ± 0.27 、HAPM を使ったときの S/N が 6.91 ± 0.17 となり誤差の範囲内で S/N は一致した。

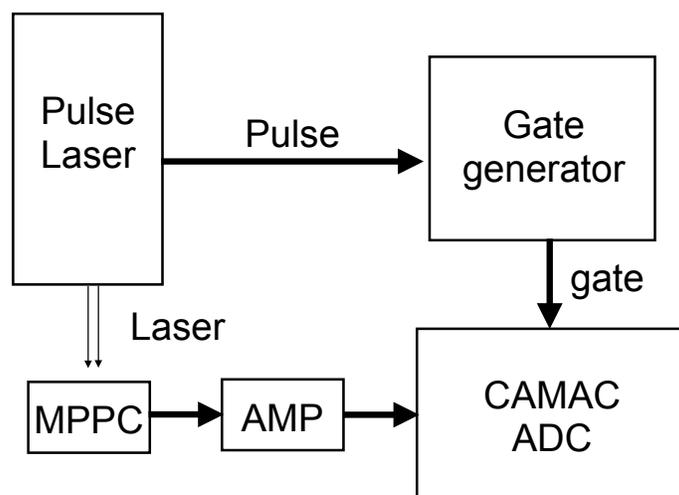


図 2.3: S/N 測定のためのセットアップ。

²photoelectron の略。ここでは MPPC 内部で光電効果によって生成された光電子を指す。

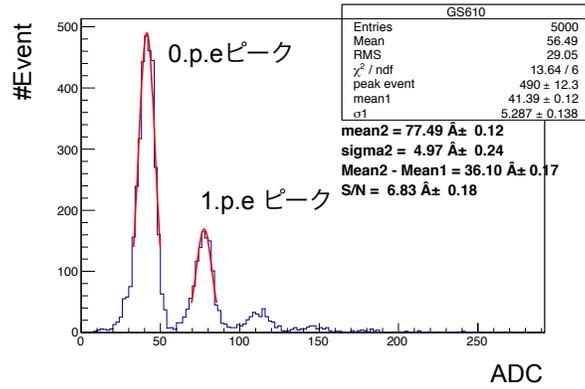


図 2.4: MPPC バイアス電源に GS610 を用いたときの MPPC 出力分布。

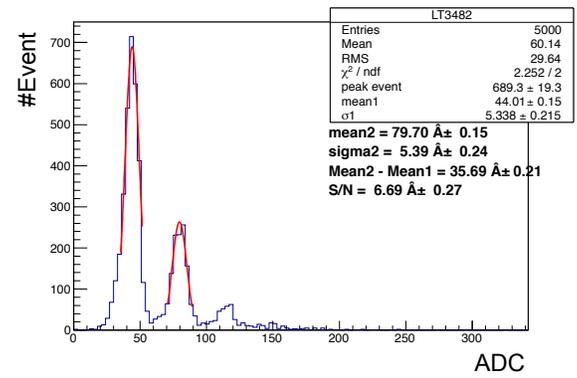


図 2.5: MPPC バイアス電源に LT3482 を用いたときの MPPC 出力分布。

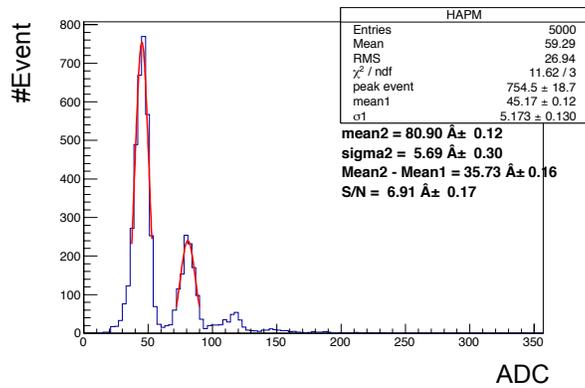


図 2.6: MPPC バイアス電源に HAPM を用いたときの MPPC 出力分布。

MPPCはバイアス電圧が $O(10\text{mV})$ 変わると、増幅率が $O(0.1\text{倍})$ 変わるためバイアス電圧は安定していることが要求される。そこで、LT3482とHAPMを恒温槽に入れ、温度を変えながら出力電圧を測定し温度依存性を調べた。結果を図2.7に示す。得られた結果を直線でフィットし、温度依存性を計算した。その結果LT3482が $7.0 \pm 0.1\text{mV}/^\circ\text{C}$ 、HAPMが $67.8 \pm 2.3\text{mV}/^\circ\text{C}$ であった。

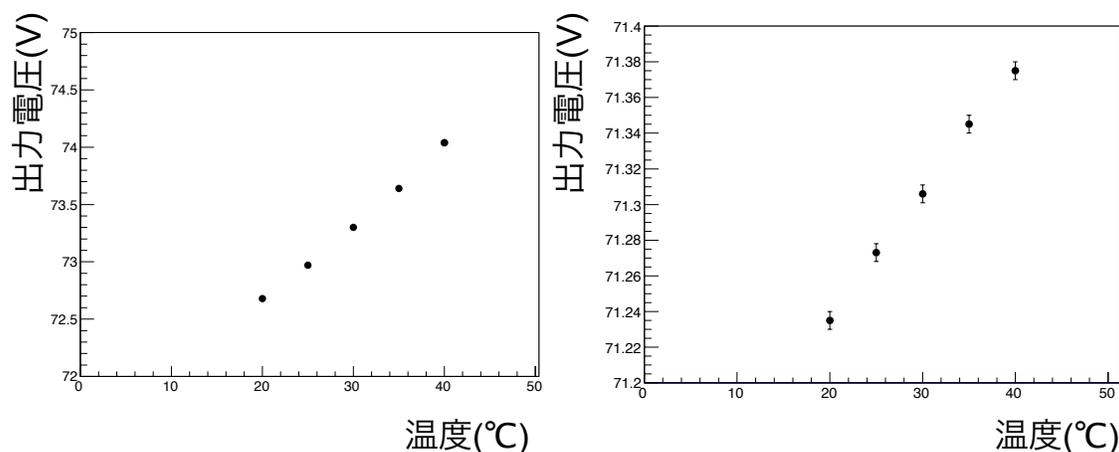


図 2.7: LT3482 と HAPM の出力電圧の温度依存性。左が HAPM、右が LT3482

次に、負荷電流を流した時の各 IC の出力電圧の安定性を調べた。図 2.8、図 2.9 は負荷抵抗を用いて各 IC に電流を流したときの出力電圧のゆらぎをオシロスコープで見たものである。HAPM では常時 4mV 程度のゆらぎがあるのに対し、LT3482 の方はゆらぎが少なく安定していることが分かる。ただし、LT3482 の方では 2mA 流した時に鋭いピークのノイズが見られる。これは LT3482 の昇圧スイッチングによるもので、スイッチングの周波数 1.1MHz に同期している。このノイズが MPPC シグナルにどの程度影響を及ぼすかを調べる。

LED に幅 20ns 程度のパルスを与え、MPPC から $0\sim 1\text{p.e.}$ に相当する電荷が出力されるように調節し、LT3482 に負荷抵抗による電流を流しながら MPPC に電圧をかけたときの MPPC 出力の ADC 分布を図 2.10 に示す。ADC 情報は東北大 KEK ボードによって取得していて、HOLD 信号は LED 駆動用のパルスに同期している。先ほどと同様の評価方法で、電流が $15\mu\text{A}$ と 2mA の場合の S/N を比較すると、 $15\mu\text{A}$ の時の S/N が 10.8 ± 0.31 、 2mA の時の S/N が 10.7 ± 0.30 となり、誤差の範囲内で一致した。

以上の結果から、より出力の安定している LT3482 を MPPC のバイアス電圧用電源として使うことに決定した。

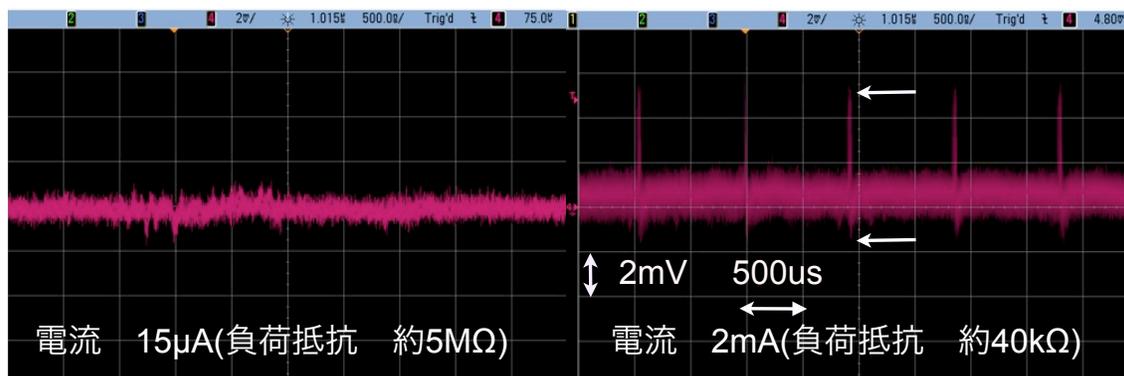


図 2.8: LT3482 の出力のゆらぎ。

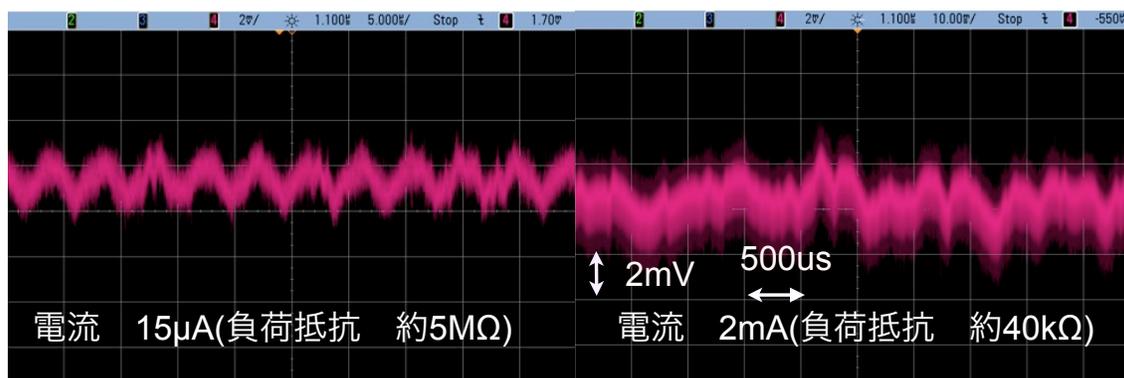


図 2.9: HAPM の出力のゆらぎ。

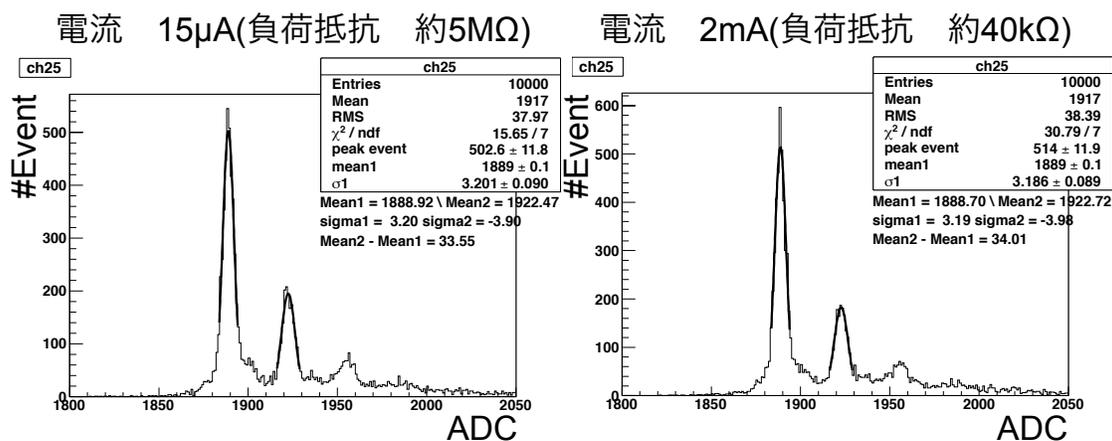


図 2.10: LT3482 の高負荷時の性能の検証。

FPGA

新型モジュールでは、SiTCP と EASIROC を1つのFPGAで制御し、専用のボードを外付けする必要をなくしたい。東北大KEKボードにはXilinx社SPARTAN6ファミリXC6SLX25-2FGG484Cが使用されているが、東北大KEKボードの全機能を実装するとスライスと呼ばれるFPGA内の記憶容量の75%を占有する。そのため、SiTCPを追加で実装するには容量が足りない。また、XilinxがSPARTANシリーズの開発を停止したため、今後の入手性を考慮し、スライスの容量がXC6SLX25-2FGG484Cの約5倍であるXilinx社Artix7ファミリXC7A100T-2FGG676を使用することにした。以下の表2.1にXC7A100T-2FGG676の主な仕様をまとめる。

表 2.1: XC7A100T-2FGG676 の主な仕様 [6]。

ロジックセル	101,440
ブロックRAM	4.86 Mb
DSP スライス	15,850
DSP の最大処理速度	929 GMAC/s
最大シリアル帯域幅 (全二重)	211 Gb/s
PCIe インターフェイス	x4 Gen2
メモリ インターフェイス	1,066 Mb/s
I/O ピン数	300
I/O 電圧	1.2 V、1.35 V、1.5 V、1.8 V、2.5 V、3.3 V

各種環境情報 (温度、バイアス電圧、電流) のモニタリング用 ADC

各種環境情報をPC経由で取得するために、新たにADCを基板上に配置することにした。選定の上で重要視したのは、EASIROCのinputDACによるバイアス電圧調整値のモニタリングである。正常動作時、信号線にはほとんど電流が流れない($O(10\ \mu\text{A})$)ため、高い入力インピーダンスを持つADCでなければ測定できない。そこで入力部にバッファを持つアナログデバイス社のAD7795を採用した。これは各チャンネル16bitで6チャンネルからなるADCである。

2.3.2 回路図作成・モジュール製作

部品選定の後、2.2.3で述べた仕様に基づいて回路図を作成し、モジュールの設計を行った。チャンネル数を増やすためにEASIROCを2個用いることにしたが、その影響で基板上の信号線が大幅に増加し、FPGA周りの配線が煩雑にならないよう

に配置する必要があった。特に、高電圧のかかる MPPC の信号線は密集しがちであるが、十分な間隔 (1 mm 程度) で配置しなければならないため、慎重な設計が必要であった。

また、ファイバートラッカー用に特化するのではなく、MPPC を用いての測定に広く対応できることも念頭において作成したため、汎用性の高いモジュールとなった。MPPC の測定に必要な機能はほぼ全て内蔵されており、持ち運びも容易である。

モジュールの作成はジー・エヌ・ディー社に依頼し、設計にも協力して頂いた。以下の図 2.11、図 2.12 に完成したモジュールの概観を示す。

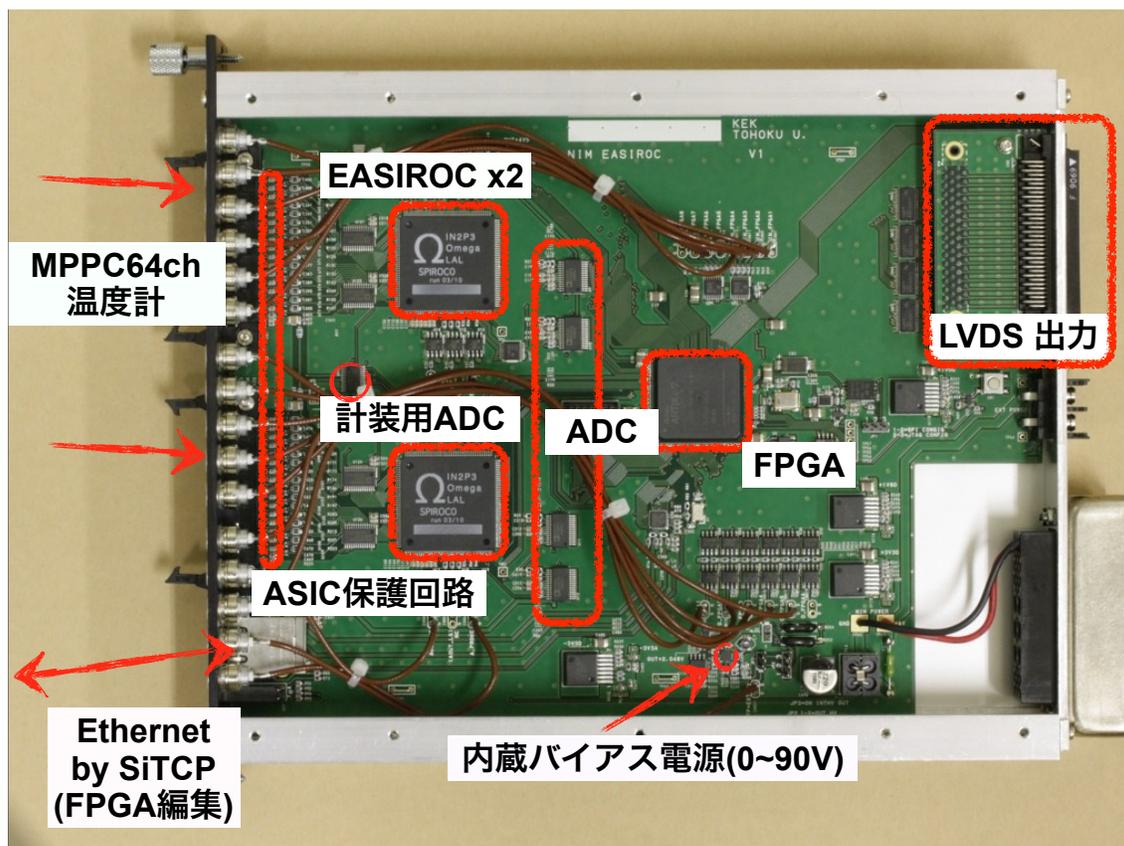


図 2.11: EASIROC MODULE の内部基板。

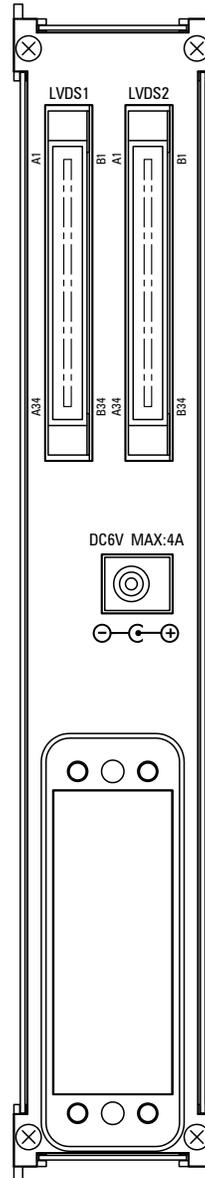
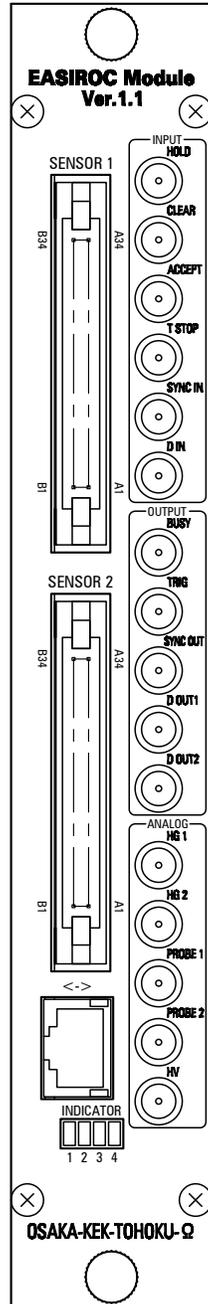


図 2.12: EASIROC MODULE の前面、背面パネルの概観。

2.4 性能評価

完成したモジュール試作品の回路に不備がなく EASIROC が正常に動作するか、基板回路によるノイズの影響を含めて十分な性能を発揮できているかどうかを確認するために動作試験及び性能評価を行った。以下ではその結果について述べる。

2.4.1 入射電荷に対するプリアンプ及び波形整形器の反応の線形性

入射電荷に対するプリアンプおよび波形整形器の反応の線形性を調べた。図 2.13 のようにファンクションジェネレータ、アッテネータ、コンデンサを配置し、MPPC の擬似パルスを EASIROC に入射した。ADC の非線形性は十分小さいと仮定し、入射電荷量と ADC 出力の関係を測定した。図 2.14 に ADC 値の入射電荷量依存性を示す。160 fC は MPPC の増幅率が 10^6 程度の時の 1 p.e. の MPPC 出力に相当する。ADC 値の入射電荷量依存性を直線でフィットし、非線形性が 0.5% であることを確認した。

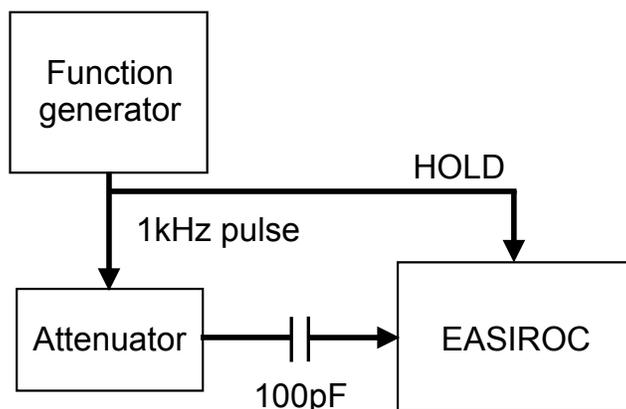


図 2.13: EASIROC に MPPC の擬似パルスを入射するためのセットアップ。

入射電荷量を大きくしていくと、ある電荷量を境に ADC 値の出力が 3500 程度で飽和する。ADC の測定限界値は 4096 であるから、飽和しているのは EASIROC であると考えられる。EASIROC は増幅した信号のある時点の電圧を、読み出し用のコンデンサに保持する仕組みのため、信号がある電圧を超えるとそこで飽和する。公称値によると信号がこの電圧を超えるのは入射電荷量とプリアンプの増幅率の積が 320 pC 以上になった時である。図 2.15 にプリアンプの増幅率を変えながら入射電荷量と ADC

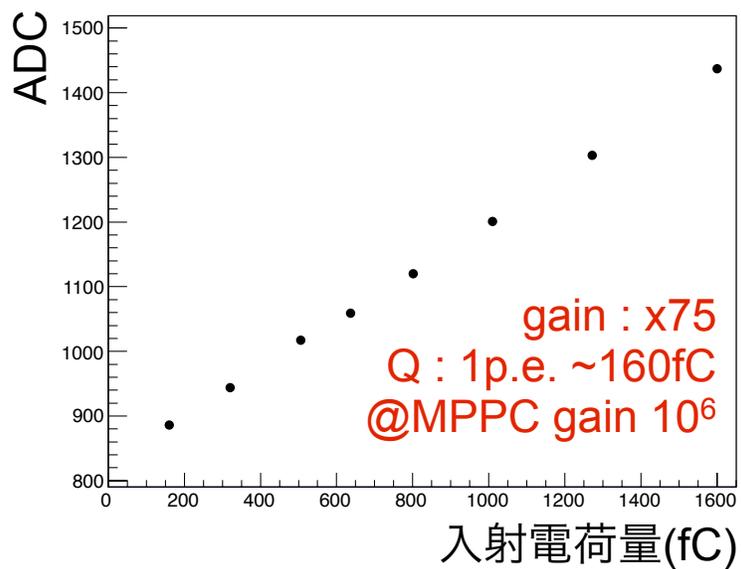


図 2.14: 入射電荷量と ADC 出力の関係。

出力の関係を測定した結果を示す。入射電荷量とプリアンプの増幅率の積が公称値通り 320 pC となるところで飽和することが確認できた。

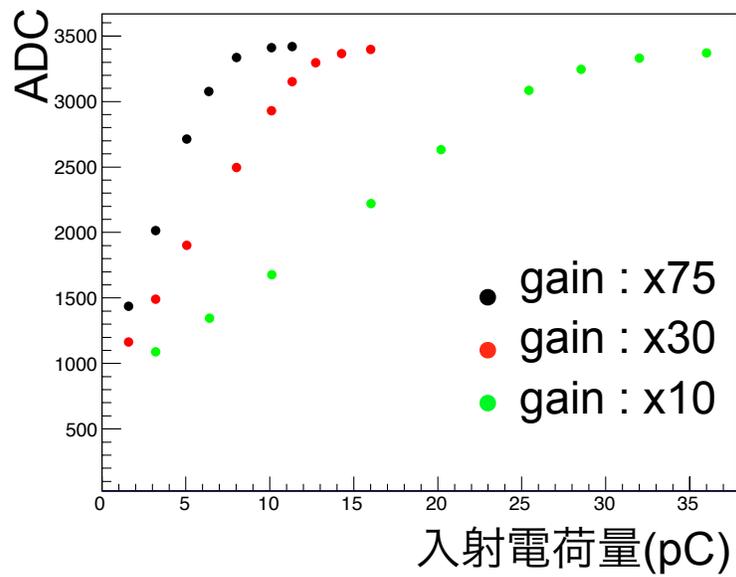


図 2.15: EASIROC の最大入力許容電荷の測定。増幅率設定値を 10 倍 (緑)、30 倍 (赤)、150 倍 (黒) にして測定した。

2.4.2 プリアンプ増幅率

プリアンプの増幅率が設定しているはずの値と同じかどうかを調べるために、入射電荷に対するプリアンプおよび波形整形器の線形性測定と同じセットアップを用いて、1600 fC の電荷を EASIROC に入射したときの ADC 値とプリアンプのゲイン設定の関係を測定した。図 2.16 にプリアンプのゲイン設定に対する ADC 値の依存性を示す。ただし、ADC 値からはペDESTAL の値を引いてある。結果をみると、設定値を変えても実際の増幅率は設定値通りに変化していない。EASIROC のプリアンプはフィードバックコンデンサを用いた反転増幅回路であり、フィードバックコンデンサの値を変えることで増幅率を決定する。例えば、増幅率を 150 倍にするときのフィードバックコンデンサの値は 100 fF でなければならないが、実際には 100 fF になっていない可能性をこの測定結果は示唆している。

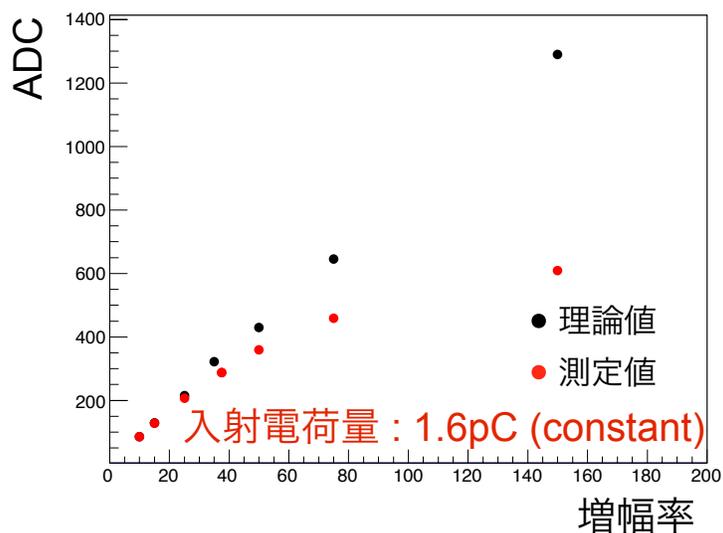


図 2.16: ADC 値とプリアンプのゲイン設定の関係。黒が理論値、赤が測定値。

次に、この問題が1つのチャンネルについてだけなのか、全てのチャンネルで共通の傾向であるのかを調べるために、同様の測定を全チャンネルで行った。図 2.17 にプリアンプ増幅率の設定値に対する ADC 値依存性を全チャンネルについて調べた結果を示す。結果を見ると、全チャンネルで設定値と測定した増幅率が異なっているが、測定した各チャンネルの増幅率のばらつきは増幅率 150 倍の時に ADC 値 40 以内に収まっている。これは、理論値からのずれ約 600 カウントに対して 0.07%程度と十分小さい。よって増幅率の設定値からのずれは全てのチャンネルで共通であると推察する。また、各チャンネルの ADC 値から実際の増倍率を求めると、最大で 81 倍、最小で 76 倍となり 6%程度のばらつきがあるが、MPPC のバイアス電圧を各チャンネルごとに最大 4.5V 変えることができるので補正可能である³。

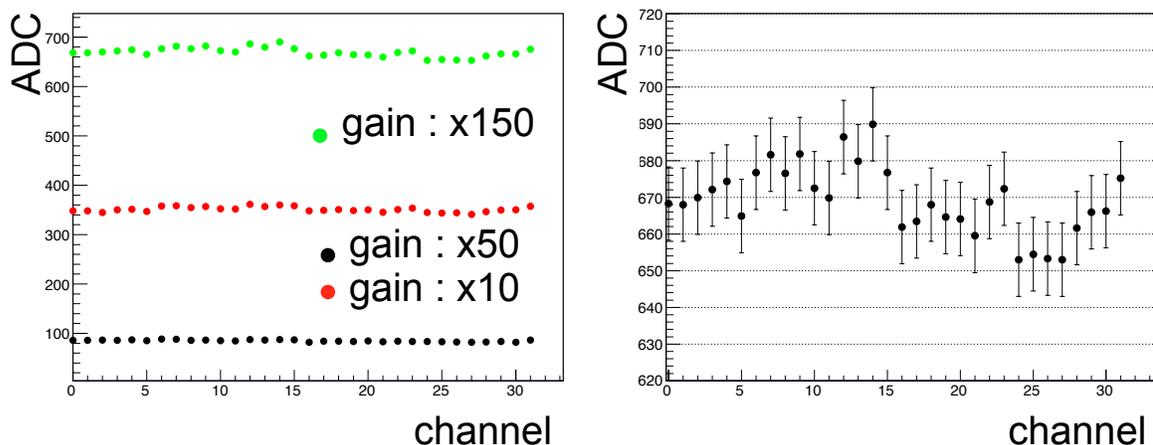


図 2.17: 全チャンネルでの ADC 値とプリアンプのゲイン設定の関係。EASIROC の増幅率設定値を 150 倍 (緑)、50 倍 (黒)、10 倍 (赤) にして測定した結果 (左図) と、ADC 値 660 前後の拡大図 (右図)。

³MPPC の増倍率のバイアス電圧依存性は 1~2 倍/V 程度である。(MPPC の種類によって多少異なる)

2.4.3 S/N測定

モジュール化によるノイズの増加がないかどうかを調べるために、図 2.18 に示すセットアップを用いて EASIROC MODULE の S/N を測定した。LED に幅 20 ns 程度のパルスを与え、MPPC(型番:S10362-11-050C) から 0~1 p.e. に相当する電荷が出力されるように調節した。MPPC に印加した電圧は 70.85 V で、このときの MPPC の増幅率は 7.5×10^5 である。また、EASIROC への HOLD 信号は LED 駆動用のパルスと同期させた。図 2.19 に得られた ADC 分布を示す。分布中の 0 p.e. と 1 p.e. に対応するピークをそれぞれガウス関数でフィットし、2つのピーク位置の差をシグナル、ペDESTルのピーク幅をノイズとして S/N を評価すると 8.54 ± 0.41 となった。EASIROC の公称値 (MPPC の増幅率が 7.5×10^5 の時で $S/N = 7.5$) より大きい値が出ている。よって、モジュール化によるノイズの増加はない。また、EASIROC の増幅率および信号立ち上がり時間への S/N への依存性について得た興味深い結果については考察で述べる。

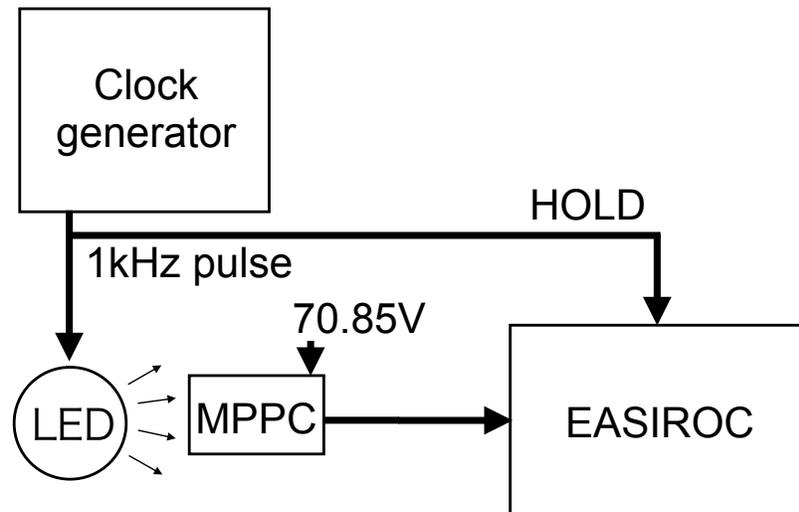


図 2.18: S/N 測定のセットアップ。

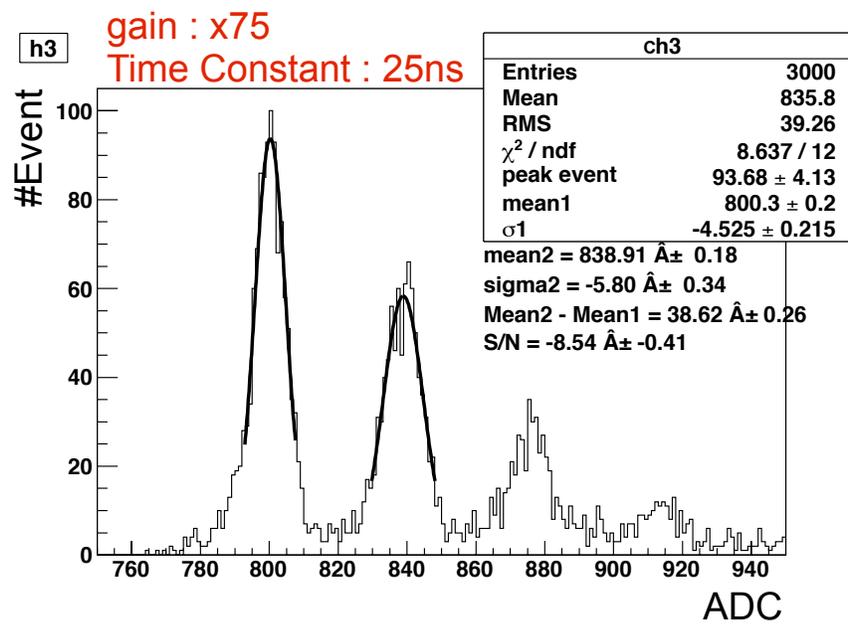


図 2.19: EASIROC MODULE で測定した LED を光源としたときの MPPC 出力。

2.4.4 クロストーク

チャンネル間のクロストークがどれだけあるか、モジュール化によるクロストークの増加があるかどうかを調べた。入射電荷に対するプリアンプ及び波形整形器の反応の線形性の測定と同様のセットアップで電荷をある1つのチャンネルに入射し、その時の他のチャンネルの反応を測定した。チャンネル14に12 pCを入射した時の全チャンネルのADC値を測定し、ペDESTALからそのADC値を引いた値の分布を図2.20に示す。全てのチャンネルでADC1カウント程度のクロストークが見えている。チャンネル14に隣接するチャンネル13と15では他のチャンネルより大きいクロストークが見える。最も差の大きいチャンネル15での入射電荷量に対するペDESTAL変化量を計算すると、相対比にして約0.2%であった。各測定値の誤差は $O(0.001)$ で十分小さい。また、EASIROCの公称値が0.3%であるから、モジュール化によるクロストークの増加はない。図2.20が示す特徴についての考察は後述する。

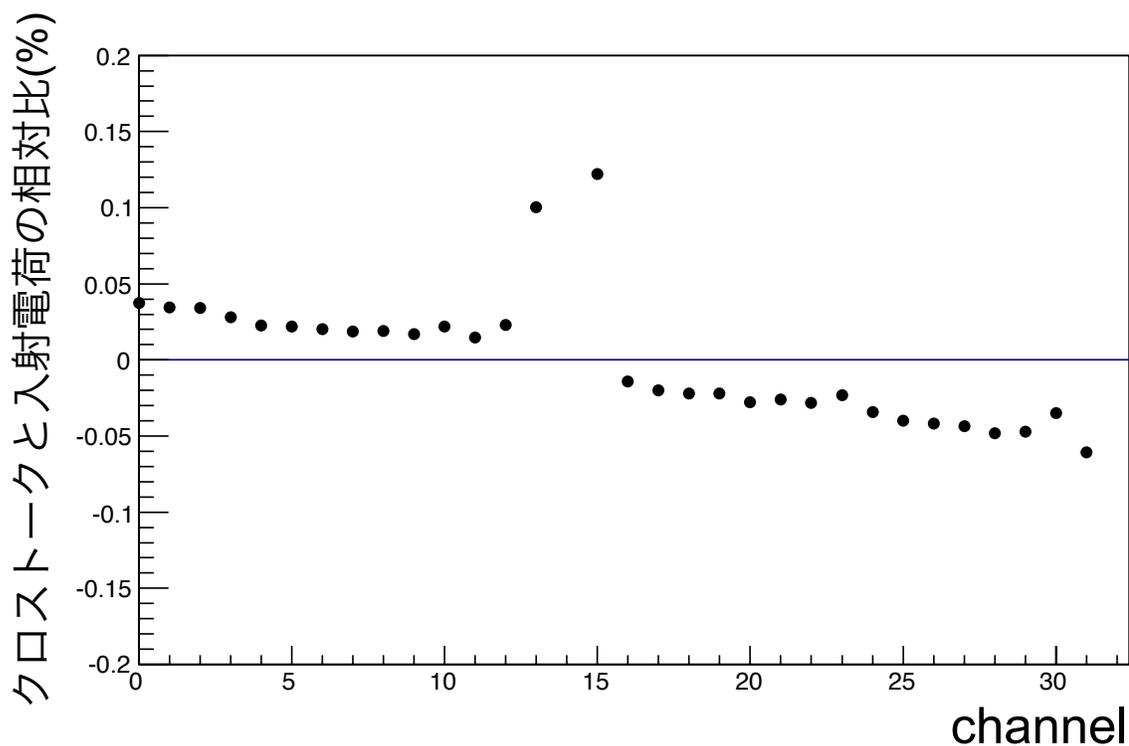


図 2.20: ペDESTALからチャンネル14に12 pCを入射した時のADC値を引いた値の分布。プリアンプ増幅率は30倍、信号立ち上がり時間は50 ns。

2.4.5 S-curve 測定

discriminator の閾値は 32 チャンネル共通で、1 つの DAC 出力で全ての discriminator の閾値を決定する。セルフトリガーに用いられる、32 チャンネルの discriminator 出力の論理和である OR32 が正常にモジュールから出力されているかどうかを調べる。測定のセットアップを図 2.21 に示す。ファンクションジェネレーターを用いて 1 kHz の同期したパルスを出し、片方をアッテネータとコンデンサを介して EASIROC に入射した。もう片方のパルスと OR32 の出力をスケーラーに入力し、測定したパルスの入射回数に対する OR32 の出力回数の比を検出効率と定義する。一定の入射電荷量に対して閾値を変えていき、検出効率の変化 (S-curve) を測定した。図 2.22 に測定した S-curve を示す。入射する電荷が大きくなる程 S-curve のチャンネル間のばらつきが大きくなっているが、閾値の設定は正しく行えている。ばらつきに関しては考察で述べる。

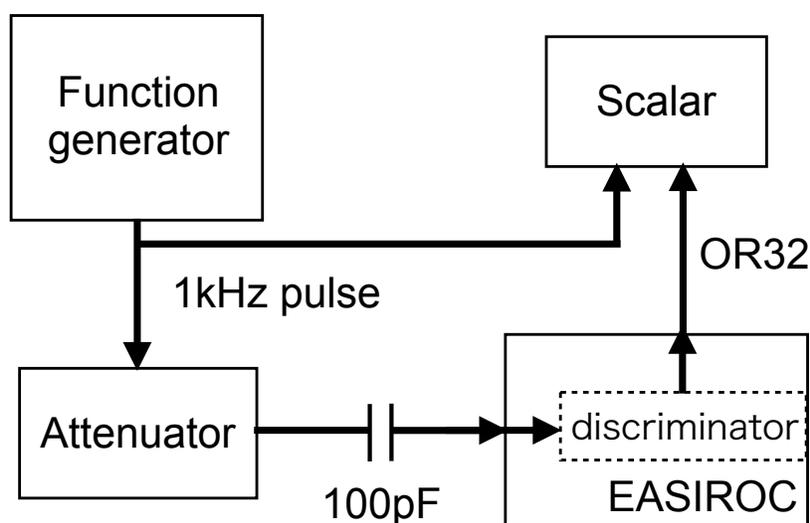


図 2.21: S-curve 測定のセットアップ。

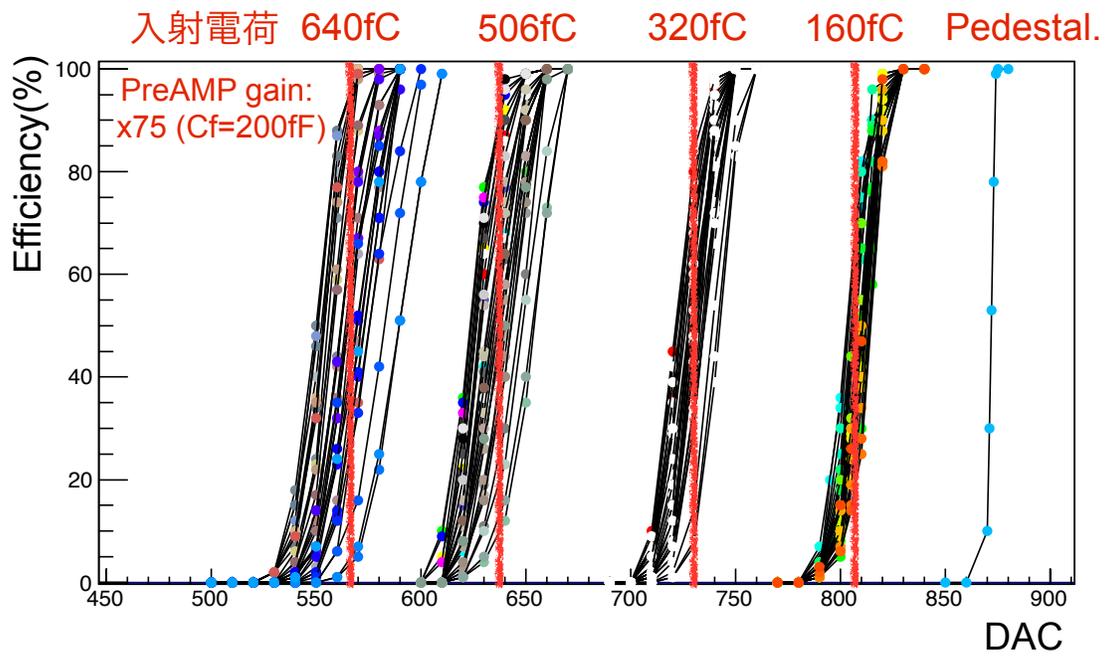


図 2.22: 4 種類の一定の電荷 (160、320、506、640) を入射しながら閾値を変えていった時の S-curve。電荷を入射したのは 1 チャンネルのみで、測定は全てのチャンネルに対して行った。

2.4.6 MPPC用バイアス電源：LT3482

MPPC用バイアス電源として内蔵したLT3482が正常に動作していて、出力を制御できるかどうかを確かめるための測定を行った。LT3482の出力電圧は専用に配置した16bitのDACの値を変えることで制御できる。図2.23にDACの値を変えた時のDACの値とLT3482からの出力の関係を示す。0~90VまでDACによって出力電圧値を想定通り制御できていることを確認した。また、DAC値40,000までを直線フィットすると非線形性は1%で、傾きはDAC値1に対して 2.38 ± 0.02 mVであった。このことから出力電圧を10 mV以下の精度で制御できることも確認できた。

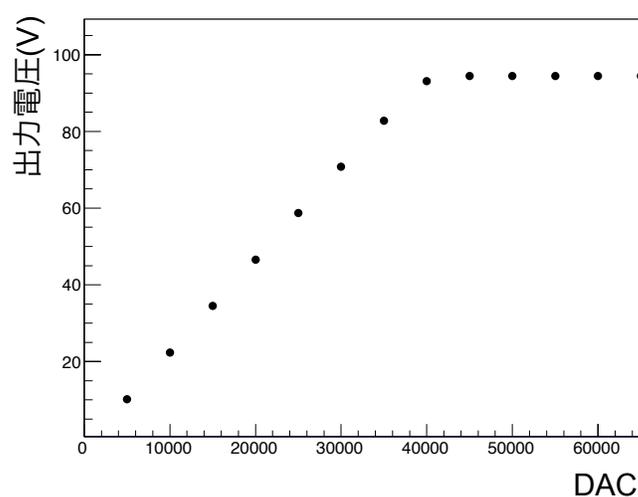


図 2.23: DAC 値と LT3482 の出力電圧の関係。

2.4.7 電流・電圧・温度モニター

電流・電圧・温度モニター用に実装した ADC が正常に動作しているかどうかを確認するために、LT3482 の出力を、デジタルテスターと試験する ADC で測定し、その 2 つの測定結果を比較した。図 2.24 の左に、デジタルテスターでの測定値と ADC での測定値の関係を示す。2 つの測定値には強い相関があり、直線でフィットすると非線形性は 0.1% であった。さらに、input DAC の値が ADC で正常に読み出せるかどうかを確認した。input DAC の出力はデジタルテスターでは測定できないため、DAC の設定により出力電圧が 0~4.5 V の間で調整できていると仮定する。図 2.24 の右に EASIROC の DAC 設定値と ADC で測定した DAC からの出力電圧の関係を示す。DAC の出力は想定通り 0~4.5 V の間で調整できている。これらから ADC の読み出しは正常にできていることが確認できた。

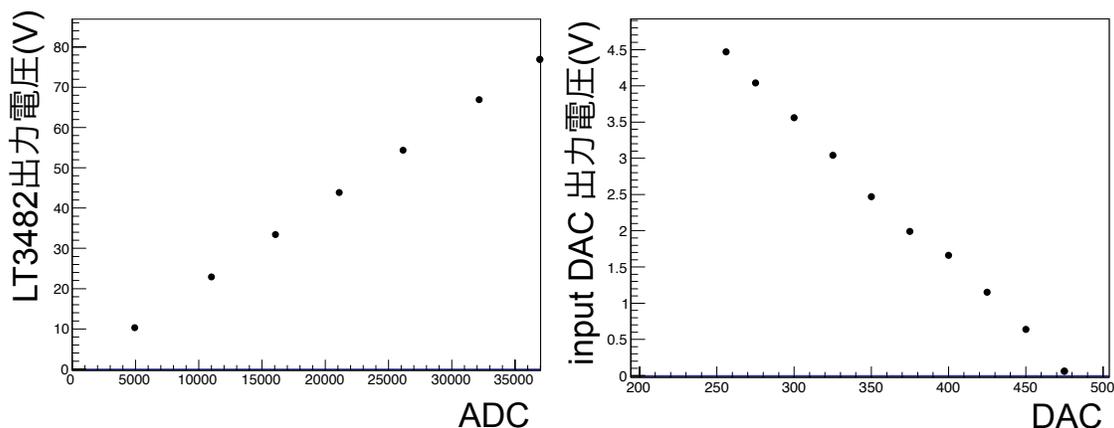


図 2.24: モニター用 ADC での LT3482 の出力電圧測定 (左図) と、input DAC の出力電圧測定 (右図)。

2.5 考察

保護回路について

EASIROC MODULEの完成後、バイアス線と信号線を導線で直結し、電圧を(0~80 V)を印加する実験を行った。その結果、信号線にかかる電圧は想定どおり0~5.97 Vの範囲に制限されており、EASIROCが破損することはなかった。しかし、通常通りにバイアス電圧をかけた状態からバイアス線と信号線が触れるなどして突然短絡した場合、EASIROCは破損してしまった。これは瞬時に電圧が印加され、ダイオードの応答が間に合わなかったためであると考えられる。この問題への対策は今のところないため、測定中に短絡が起らないように十分に注意する必要がある。

ノイズの成分

ノイズが何に起因しているのかを調べるために、ノイズのプリアンプ増幅率依存性と信号立ち上がり時間に対する依存性を調べた。セットアップはS/N測定の時と同様で、MPPCへの印加電圧は70.85 Vである。図2.25にプリアンプの増幅率を一定にした時のS/Nの信号立ち上がり時間に対する依存性と、信号立ち上がり時間を一定にした時のS/Nのプリアンプの増幅率に対する依存性を示す。信号の立ち上がり時間が長くなるにつれてS/Nが小さくなっており、プリアンプの増幅率が上がるにつれてS/Nは大きくなっている。プリアンプや波形整形器に起因するノイズがないと仮定すると、信号とノイズは同様に増幅、整形されるため、S/Nへの依存性は見られないはずである。結果がそうならないことから、プリアンプや整形器からは増幅率あるいは立ち上がり時間に依存しない一定のノイズが発生しており、ノイズの原因として大きな割合を占めていると推測する。

クロストークについて

チャンネル間のクロストークの大きさは問題ない程度であったが、図2.20にはいくつの特徴が見られる。まず、チャンネル14に電荷を入射することによって、チャンネル0~15ではペDESTALが増加したが、チャンネル16~31ではペDESTALが減少した。チャンネル0~15とチャンネル16~31では基板上に配線されている層が違うため、クロストーク発生の過程が異なるのではないかと推察するが原因の解明には至っていない。次に、電荷を入射したチャンネルの隣を除くと、チャンネル0とチャンネル31のクロストークが大きく、チャンネル16に向けてクロストークは徐々に小さくなっている。基板上の配線を考えても、電荷を入射したチャンネル14に対してチャンネル0とチャンネル31が特別に近いということはないので、現在のところ原因は不明である。

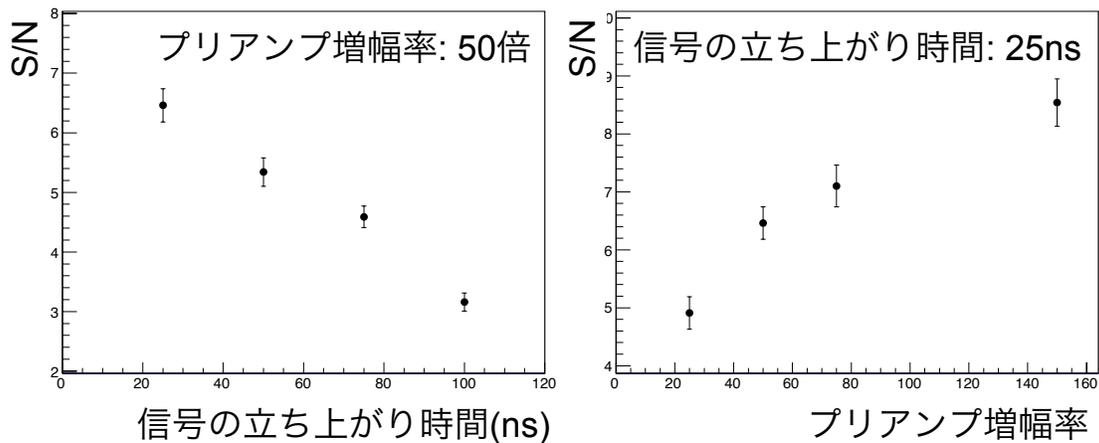


図 2.25: S/N のプリアンプ増幅率に対する依存性 (左図) と、S/N の信号の立ち上がり時間に対する依存性 (右図)。

S-curve のチャンネル毎のばらつき

S-curve 測定の際に、入射する電荷が大きくなる程チャンネル間のばらつきが大きくなった原因について考察する。まず、求めた S-curve を相補誤差関数でフィットし、検出効率 50% になる DAC の値をヒストグラムにしたものを図 2.26 に示す。640 fC 入射時の、もっともばらつきの大きい 2 つのチャンネルの ADC 値を測定し比較したが、ADC 値は誤差の範囲内で一致しており、違いは確認できなかった。次に、この 2 つのチャンネルから求めた検出効率が 50% になる DAC の値を、入射電荷量に対してプロットしたものを図 2.27 に示す。2 つのチャンネルともに閾値と検出効率の線形性は保たれているが、傾きが異なっている。ADC と discriminator に入る波形はそれぞれ異なる波形整形器を通過しているため、これらの結果は discriminator の前に置かれた波形整形器の増幅率がチャンネル毎にばらついている事を示唆している。そこで、MPPC 増幅率の調整を擬似的に行うために、その 2 つのチャンネルに対して閾値が一致するようにチャンネル 0 に入射する電荷量を 0.8 倍にして S-curve を測定した。その結果を図 2.28 に示す。ばらつきは小さくなっており、MPPC の増幅率を調整することでばらつきを DAC 値で 40 から 5 まで補正できた。1p.e. の DAC 値が大体 60 であるから補正後のばらつきは 1p.e. に対して 8% 程度であり実用の範囲内であるといえる。EASIROC では input DAC によってバイアス電圧を 0~4.5 V の範囲で調節できるため、増幅率は大体 $O(1)$ 倍で調節できるので、波形整形器のばらつきは $O(0.1)$ 倍は十分補正可能である。ただし、S-curve の方を補正すると ADC 値の方がばらついてしまうため、十分留意する必要がある。

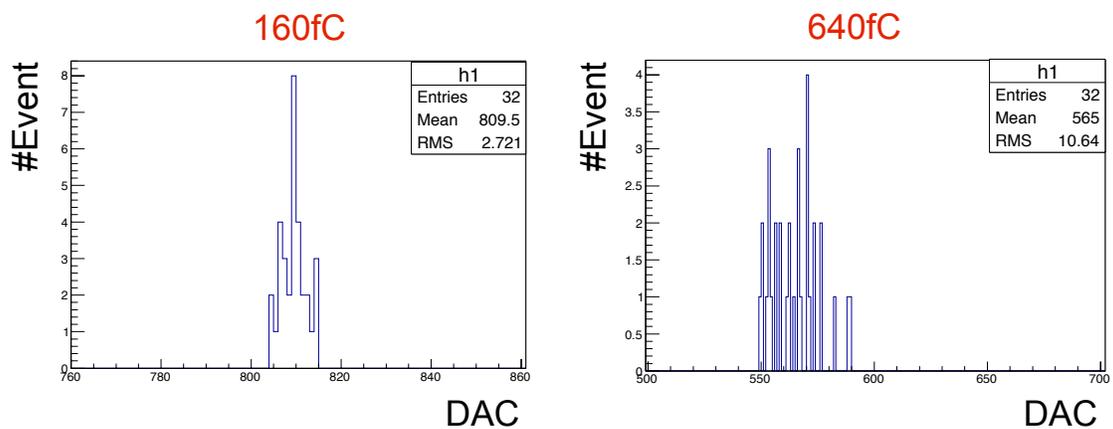


図 2.26: 全チャンネルの検出効率が 50%になる DAC 値の分布。入射電荷が 160 fC の時 (左図) と、入射電荷が 640 fC の時 (右図)。

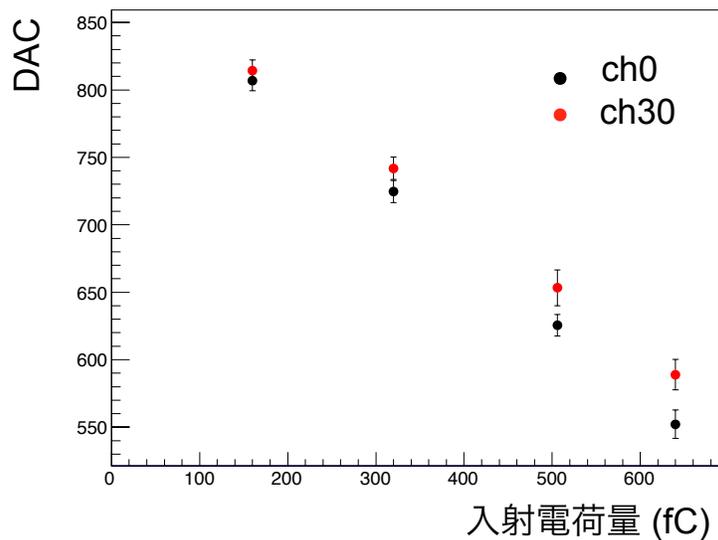


図 2.27: 入射電荷量と検出効率が 50%になる DAC 値の関係。

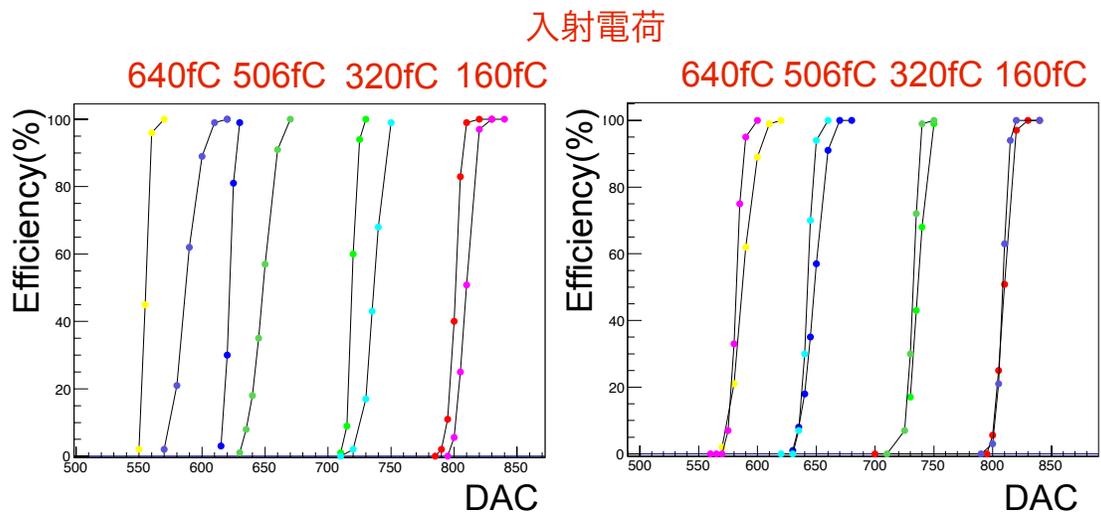


図 2.28: S-curve のばらつきの補正。2つのチャンネルに同じ電荷量 (640 fC) を入射した時の S-curve(左図) と、チャンネル 0 に 552 fC、チャンネル 30 に 640 fC 入射した時の S-curve(右図)。

第3章 テレスコープの開発

本章では、テレスコープの概要について述べてから、テレスコープを構成するシリコントリップセンサー、センサーからの信号読み出し用 ASIC (SVX4)、そして ASIC を制御しデータを読み出すための電子回路基板 (SEABAS) についてそれぞれ説明する。その後、開発したテレスコープの動作確認・性能評価の結果を述べる。

3.1 テレスコープ

3.1.1 要求性能

HL-LHC に向けて開発中の新しいシリコン検出器は $O(10 \mu\text{m})$ の微細な構造を持つため、テレスコープは少なくとも $10 \mu\text{m}$ 以下の位置分解能を必要とする。また、シリコン検出器は $O(10 \text{ ns})$ の速い信号応答を持ち不感時間が短いため、データ収集速度に制限をかけることがない。そのためテレスコープもシリコン検出器と同等かそれ以上の信号応答速度を持っていなければならない。さらに、放射線耐性の試験時は、放射線による損傷を受けたセンサーの暗電流を抑制し、センサーの型変換¹の進行を防ぐために低温で行う。テレスコープは試験するシリコン検出器の近くに置くため、同じく低温で動作する必要がある。また、試験を行う場所も様々であるため、簡単に運搬できることが望ましい。そこで必要性能として以下を目標とした。

- $10 \mu\text{m}$ 以下の位置分解能
- 10 mm^2 程度の有感領域
- $O(10 \text{ ns})$ 程度の信号応答速度
- 10 kHz 程度で読み出し可能
- 低温 (-40°C 程度) で動作
- コンパクトで持ち運びが容易

¹放射線が物質を通過すると結晶格子欠陥などを引き起こし、不純物濃度を変化させる。そのため、一定の放射線を受けると n 型半導体が p 型半導体になる。

3.1.2 テレスコープの概要

前節で述べた要求性能を満たすために、我々はシリコンストリップセンサーを使ったテレスコープの開発を行うことにした。シリコンセンサーを選んだのは試験するシリコン検出器と同程度の信号応答速度で10 kHz以上のトリガーレートに対応するためである。シリコンストリップのヒット情報を読むだけではストリップ幅程度の分解能しか達成できないため、SVX4というASICを用いてストリップの位置情報だけでなく電荷の情報も取得することにした。電荷情報の取得によって電荷分割法による位置検出ができ、ストリップ間隔よりも高い位置分解能が得られる。また、SVX4の制御とデータ読み出しをPCで行うためにSEABASという汎用読み出し基板を用いることにした。

テレスコープの概略図を図3.1に示す。シリコンストリップセンサー1枚では1次元の情報しか得られないため、90°ずらして2枚重ねることによって2次元情報を得られるようにした。センサーから信号を読み出すためのSVX4は表面に2枚、裏面に2枚配置してあり、専用のドーターボードを介してSEABASと接続する。SVX4はSEABASからの21種類の信号線によって動作制御、データ収集を行うことができる。センサーで生成された信号はSVX4で増幅、デジタル化され、SEABAS上のFPGAにバッファされた後、イーサネットを介して順次PCへと送信される。

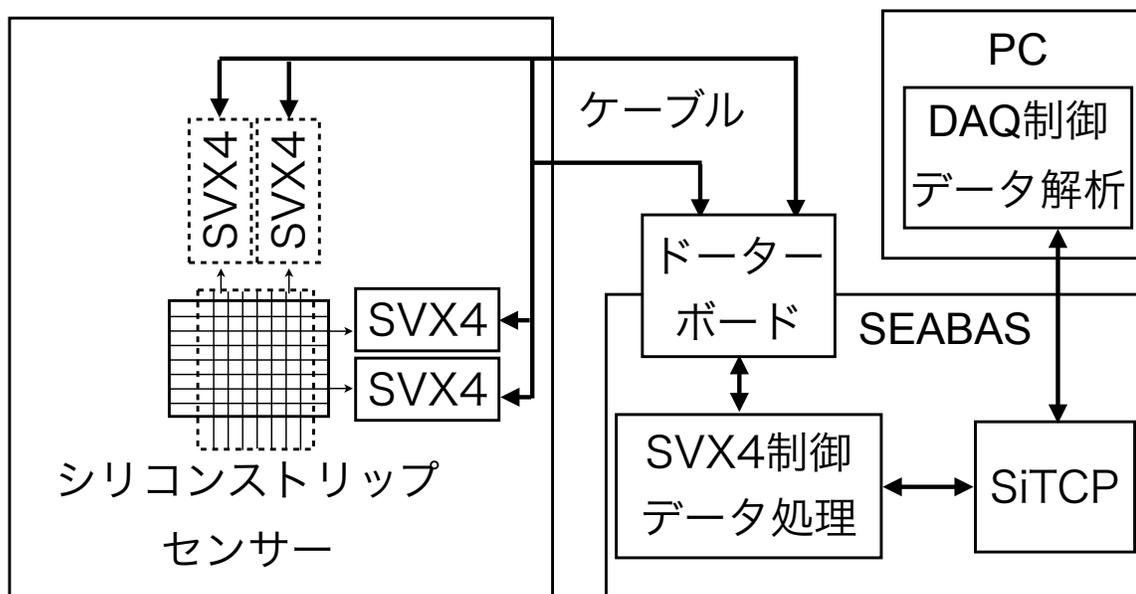


図 3.1: テレスコープの全体像。

3.1.3 開発状況および本研究のねらい

SVX4 を搭載した 3 種類の基板は昨年、東野聡氏によって製作されている [9]。最初の 2 台はシリコンストリップセンサーを搭載しない基板 (SVX4 board version1、version2) である。version1 では 1 個の SVX4 を用いて制御方法と信号読み出し方法を確立した。version2 では、2 個の SVX4 を用いての複数チップ制御方法を確立した。また、ドータボードから数 m のケーブルを介してもデータの送受信が可能となるようにドライバ、レシーバを使用した双方向 LVDS 通信の技術を確立した。3 番目の基板である SVX4 board version3 は version1 と 2 で確立した信号読み出し方法を元に、4 個の SVX4 を搭載し、センサーを取り付けることのできるテレスコープとして設計したものである。

本研究では、製作済み (センサーはなし) であったテレスコープ (SVX4 board version3) 用に SEABAS と PC によるデータ収集システムを 4 チップに対応させ、動作確認を行った。動作に問題がないことを確認した後、シリコンストリップセンサーを取り付け、 β 線を用いた性能評価を行った。

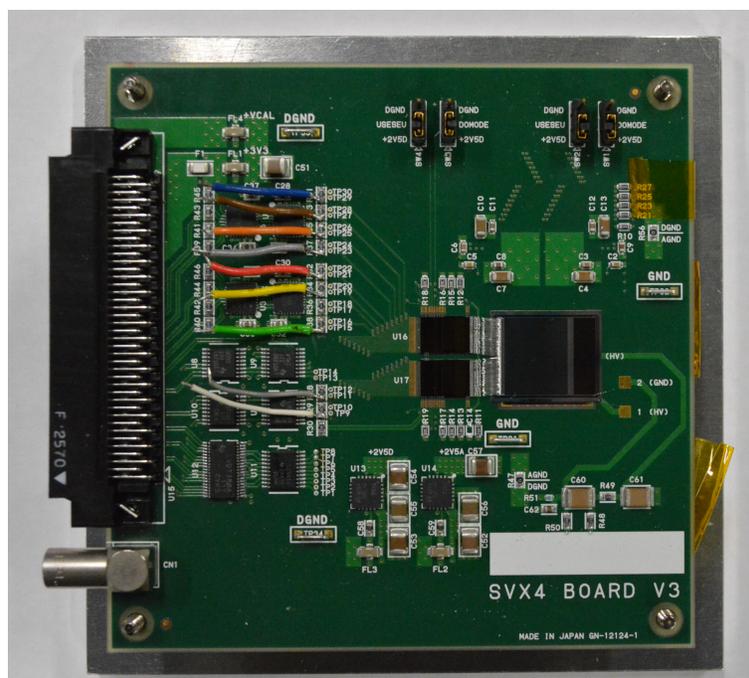


図 3.2: SVX4 board version3

3.2 テレスコープの構成要素

テレスコープの構成要素であるシリコンストリップセンサー、SVX4、SEABAS、データ収集システム (DAQ) についての詳細を説明する。

3.2.1 シリコンストリップセンサー

開発中のテレスコープに使用しているシリコンストリップセンサーは、 n バルクセンサーに p^+ ストリップを埋め込んだ p-in-n タイプのものであり、全空乏化電圧は約 80 V、厚さは 300 μm である。シリコン検出器で MIP に相当する荷電粒子が落とすエネルギーは 3.6 MeV/cm であり、粒子がこのセンサーを通過すると約 108 keV のエネルギー損失が起こる。その内の約 30% がシリコンに吸収され熱に変わるため、電子正孔対生成に使われるエネルギーは残りの約 70 %で、約 76 keV となる。1つの電子正孔対生成に 3.6 eV 必要であるから、このセンサーでは 1MIP あたり約 21,000 の電子正孔対が生成される。したがって、MIP により生成された信号を全て読み出せると、約 3.4 fC の電荷を得る。使用するシリコンストリップセンサーの仕様を表 3.1 にまとめる。

表 3.1: シリコンストリップセンサーの仕様。

ストリップ間隔	50 μm
ストリップの長さ	15.4 mm
ストリップ幅	10 μm
ストリップの負荷静電容量	約 1.5 pF
バイアス抵抗	200 M Ω
有感領域の面積	13 mm \times 15.4 mm
センサーの厚さ	300 μm
センサーのタイプ	p-in-n センサー
全空乏化電圧	約 80 V
読み出し方向	片面 (1次元の位置情報)
読み出しタイプ	AC 読み出し

3.2.2 シリコンストリップセンサーからの信号読み出し用 ASIC : SVX4

SVX4 は、Fermilab と LBL が共同で開発したシリコンストリップセンサーからの信号読み出し用 ASIC である [7, 8]。128 チャンネルの読み出しが可能で、それぞれ

のチャンネルがプリアンプ、パイプライン、ADCを持っている。内部回路の概要を図3.3に示す。シリコンストリップからの信号はまずプリアンプで増幅され、その後パイプラインに入っていく。パイプラインには47個のコンデンサがあり、1つはペDESTALに相当する電荷を収集するために用いられる。残りの46個のコンデンサはSVX4に供給するFront-end clock (FECLK) と呼ばれるクロック信号と同期して順番にプリアンプと接続する。プリアンプで増幅された信号は、その時接続しているコンデンサに蓄えられる。外部からトリガーとなる信号をSVX4に与えると、パイプラインのコンデンサに蓄えられた電荷からペDESTAL電荷を差し引いた電荷がADCに送られる。トリガーを受けた際にどのコンデンサから電荷を読み出すかはSVX4の設定によって決まる。

ADCに送られた電荷は8bitのデジタル信号に変換され、後段のFIFOに蓄えられる。FIFOには128チャンネル分の電荷情報が順番に詰め込まれており、8bitのBUSを通して1チャンネル目から順番に出力される。読み出すデータは何も指定しない場合は128チャンネル全てであるが、あらかじめ閾値を設定しておくことによって閾値を超えたデータだけを読み出す(Data sparsification) こともできる。SVX4の仕様を以下にまとめる。

- 128チャンネル読み出し
- 各チャンネルにプリアンプ(ダイナミックレンジ 200 fC)
- 各チャンネルに8bitのADC
- 各チャンネルへのテスト電荷入射用コンデンサ(25 fF)
- 各チャンネルにパイプラインを持ち、最大18 μ s程度のトリガー遅延に対応(FECLKの周波数に依存)
- 任意のチャンネルへの入力信号を無効にできる(Channel Mask/Disable)
- 閾値を超えたデータだけを読み出すData sparsification機能
- デイジーチェーンによる複数チップ読み出し
- 低ノイズ ($720 e^- + 80 e^- \times C$ [pF])での動作(最大帯域幅時)
- 消費電力は1チップあたり1 W未満

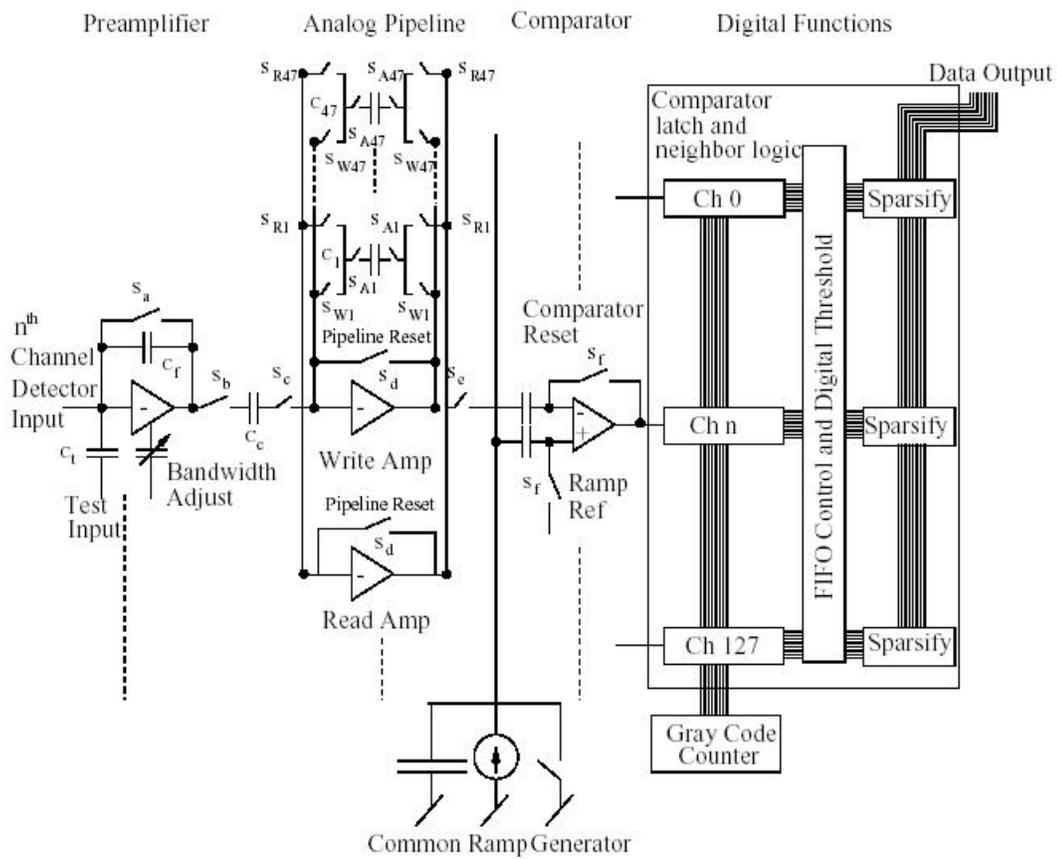


図 3.3: SVX4 の回路図の概略 [7]。

3.2.3 Soi EvALuation BoARd with Sitcp : SEABAS

SEABAS とは、Silicon-On-Insulator (SOI) 技術を応用したピクセル型半導体検出器を開発している KEK グループによって開発された汎用読み出し基板である [10]。SEABAS は FPGA を 2 個搭載している。1 個は第 2 章で述べた SiTCP を実装するためのもので、もう 1 個は任意のデバイスを制御するためにユーザーが開発したファームウェアを実装するためのものである (User FPGA)。ユーザーはファームウェアを実装してこれらを自由に使用することができる。また、64 ピンのコネクタが 4 個 FPGA につながっており、120 本の I/O が任意に使える。以上の機能によって、SEABAS に接続できる任意のデバイスを搭載した基板とファームウェアを開発すれば、PC による制御、データ収集が可能となる。その結果、SEABAS を用いた読み出しシステムでは CAMAC や VME クレートなどが不要となり、DAQ システムを小型化できる。

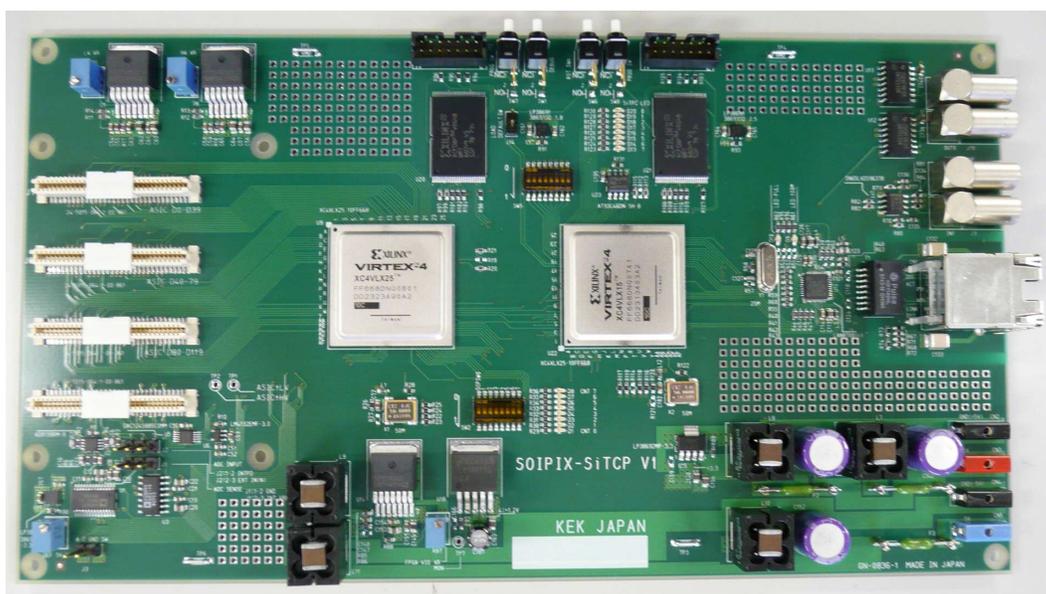


図 3.4: SEABAS

3.2.4 DAQ システム

テレスコープの DAQ の流れについて説明する。まず、システム全体をデータ収集可能な状態にするため、SVX4 と User FPGA の初期化を行う。初期化の後、ソフトウェアがデータ収集開始の信号を User FPGA に送ると、User FPGA はトリガー待機状態となり、同時に SVX4 も User FPGA からの信号によってトリガー待機状態になる。この状態で外部からのトリガーを User FPGA が受信するとそのトリガーを SVX4 へ送る。SVX4 はそれを受けてデジタル化したデータを User FPGA に送

る。User FPGA は受け取ったデータにイベントナンバー等のヘッダー情報を付加し、User FPGA 上の FIFO に記録する。記録されたデータは SiTCP により順次 PC へと送られ、デコード後、解析可能な状態にして保存される。

SVX4 を制御するために必要な 192bit の設定値や制御信号のビット列はテキストファイルとして用意する。ソフトウェアはこれらのテキストファイルを読み込んで User FPGA に送信し、User FPGA 内の RAM に保存する。ユーザーはテキストファイルを変更することで簡単に設定値や制御信号を変更することができるため、デバッグや、制御方法の修正を容易に行える。

3.3 センサー取り付け前の動作確認

本節では、センサー取り付け前の SVX4 board version3 の動作確認について述べる。

3.3.1 ペDESTAL測定

新しく作成したテレスコープの基板に回路上の問題がなく、制御信号の送信、SVX4 からのデータ受信が正常にできるかどうかを確認するために、全てのチャンネルのペDESTAL測定を行った。図 3.5 に得られた 512 チャンネルの ADC 値を示す。全てのチャンネルでほぼ同じ値をもつピークが確認できた。送ったトリガーの数と受け取ったイベントの数も等しく、データの欠損がなかったことから、回路に問題はなく、信号の送受信も正常に行われていることを確認した。

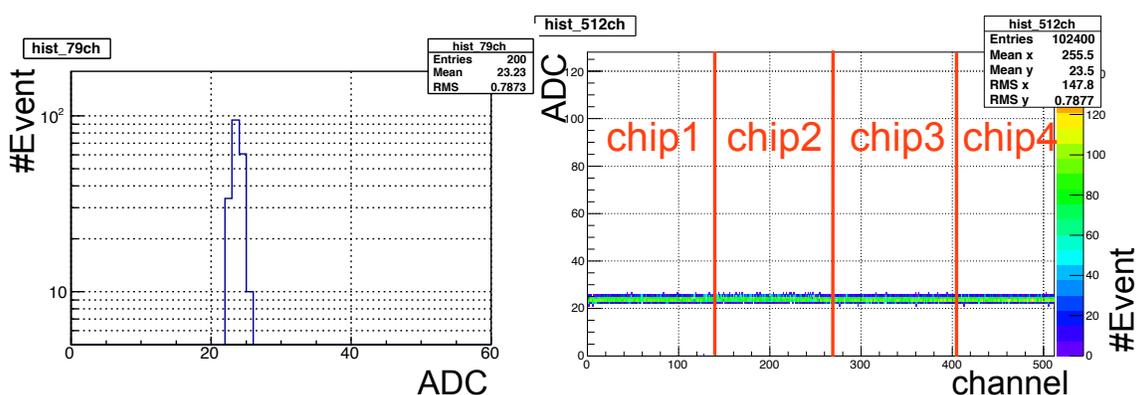


図 3.5: 79 チャンネル目の ADC 分布を示すヒストグラム (左図) と、512 チャンネル全ての ADC 分布を示す 2 次元ヒストグラム (右図)。

3.3.2 入射電荷に対する SVX4 からの出力の線形性の確認

SVX4が全体として正常に動作しているかどうかを確認するために、入射電荷に対する ADC 値の線形性を測定した。SVX4にはテスト電荷入射用の 25fF コンデンサがある。そのコンデンサに電圧を与える事によって任意の電荷をプリアンプに入射できる。図 3.10 に入射電荷量を $47 \times 10^3 e^-$ ずつ変化させていった時の入射電荷量と ADC 値の関係を示す。ADC 値の入射電荷量依存性を直線でフィットし非線形性が 1%以内であることを確認した。このことから SVX4 が入射電荷に正しく反応し、デジタル化したデータを送信できていることを確認した。

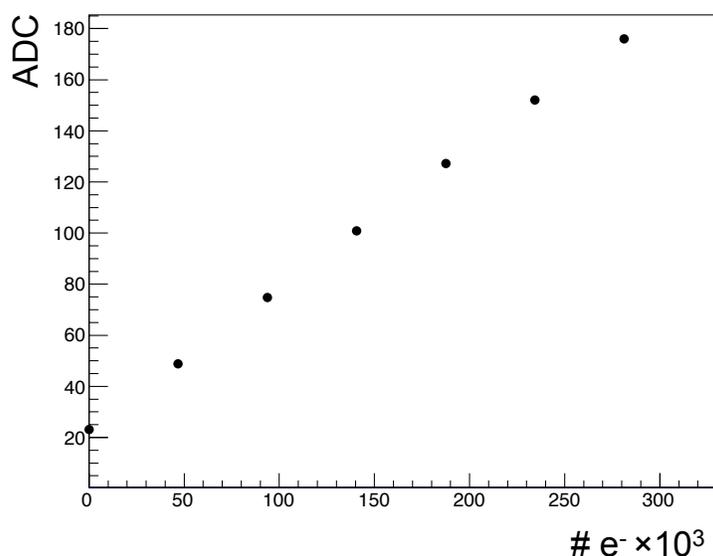


図 3.6: 入射電荷量と ADC 値の関係。

3.3.3 Data sparsification 機能

SVX4には、ADC 値に閾値を設定することで内部の FIFO から読み出すチャンネルを選別することができる Data sparsification 機能が搭載されている。この機能により、読み出し時間を短縮することができ、また、必要なデータだけ処理すればよくなるため、高いトリガーレートに対応する上で重要となる。

Data sparsification 機能が正しく動作していることを確認するために、ADC の閾値を 120 に設定し、ADC 値 150 に相当するテスト電荷を数個のチャンネルに入射した。図 3.7 にそのとき得られた ADC 値を示す。閾値を超えたチャンネルの ADC 値のみを読み出すことができている、Data sparsification 機能が正常に動作していることを確認した。

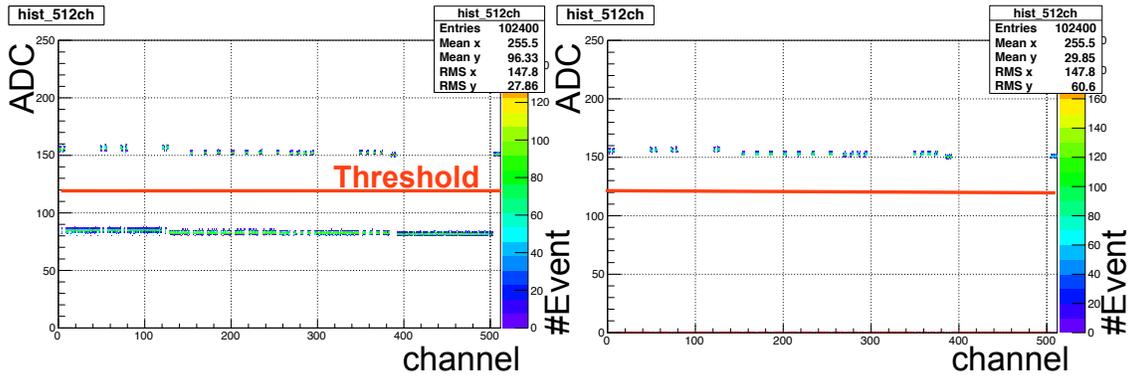


図 3.7: 閾値の ADC 値を 120 に設定したときの ADC 分布を示す 2 次元ヒストグラム。Data sparsification 機能 OFF(左図) と、Data sparsification 機能 ON(右図)。

3.3.4 Read neighbor channel 機能と SVX4 複数読み出し

Data sparsification 時に、あるチャンネルの ADC 値が閾値を下回っているときでも、隣のチャンネルが閾値を超えていればデータを読み出せる機能 (Read neighbor channel) が SVX4 にはある。この機能により、粒子がセンサーに落としたエネルギーをより高い精度で測定できるため、Data sparsification 時の位置分解能を高めることができる。また、複数の SVX4 を使う際、別のチップが隣にいることを認識させることができる。テレスコープでは、256 本のストリップからの信号を 2 つの SVX4 によって読み出すため、この機能が必要である。

Read neighbor channel 機能が正常に動作しているかを確認するため、前節と同様に、ADC の閾値を 120 に設定し Read neighbor channel 機能を ON にした状態でテスト電荷を数個のチャンネルに入射した。図 3.8 にそのとき得られた 1 チップ目と 2 チップ目の ADC 値を示す。閾値を超えたチャンネルとその両隣のチャンネルの ADC 値を読み出すことができている。また、1 チップ目の最後のチャンネルである 128 チャンネルが閾値を超えていることにより、2 チップ目の 1 チャンネル目が閾値を超えていないにもかかわらずデータを返している。これらの結果から複数の SVX4 間での連絡が正常に行われていると判断した。

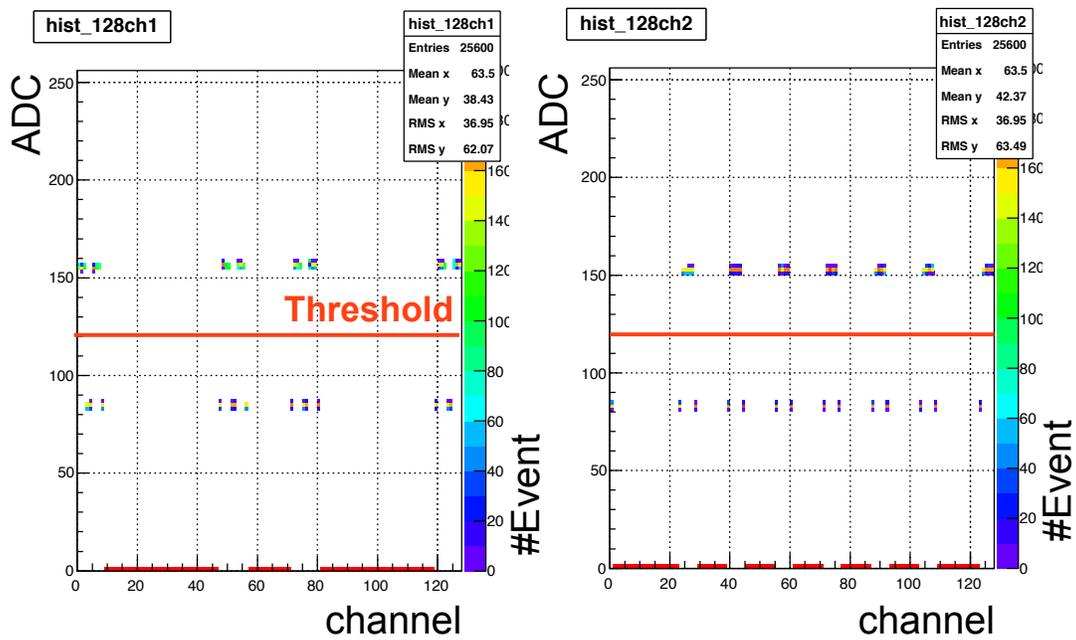


図 3.8: Read neighbor channel 機能を ON にしたときの ADC 分布を示す 2 次元ヒストグラム。1 チップ目 (左図) と、2 チップ目 (右図)。

3.4 センサー取り付け後のテレスコープの性能評価

3.3節に示したように、テレスコープの基板に問題はなく、配置したSVX4も正常に動作している事が確認できたため、シリコンストリップセンサーの取り付けを行った。本節では完成したテレスコープの性能を評価する。

3.4.1 ノイズ評価

シリコンストリップセンサー取り付け後、全チャンネルのペDESTALを測定し、ペDESTALの幅を電荷量に換算することによって、テレスコープのノイズ評価を行った。このとき、シリコンストリップセンサーに印加していた電圧は80 Vである。図3.9は全チャンネルのペDESTALのRMSの分布を示しており、RMSの平均は0.78であった。ADC値を電荷量に換算するために、前節と同様に、入射電荷に対するSVX4からの出力の線形性を測定した。その結果を図3.10に示す。直線フィットの傾きよりADC1カウント辺りの電荷量は $1816 \pm 12 e^-$ であった。したがって、ノイズの大きさは $1416 \pm 40 e^-$ である。SVX4のノイズは文献値によると $720 + 70 \times C$ (pF)程度である。ここでCはSVX4の入力につながっている負荷静電容量の合計値である。テレスコープに取り付けられたのシリコンストリップセンサーの負荷静電容量は約1.5 pFであるから、公称値から予想されるノイズは約 $850 e^-$ である。実測値のほうがこの予想値より約1.7倍大きい。

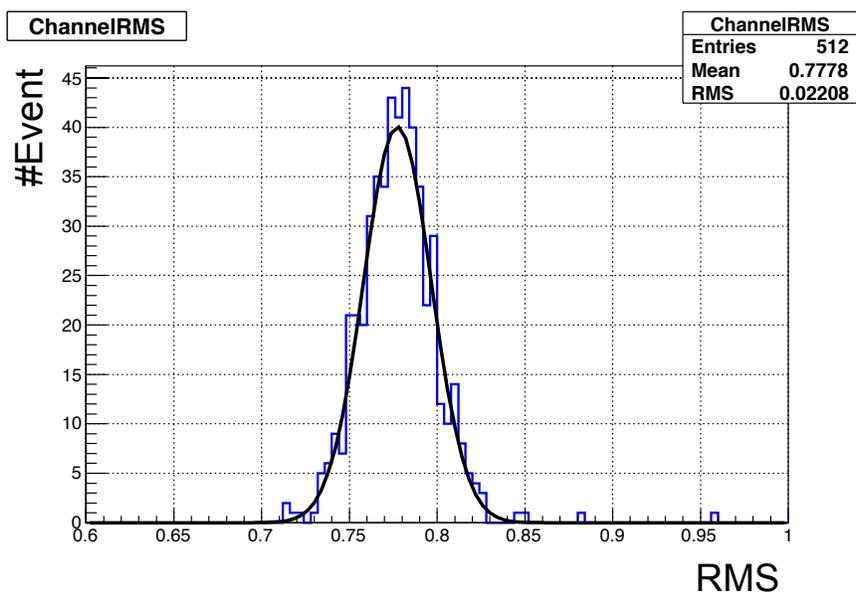


図 3.9: 全チャンネルのペDESTALのRMS分布。

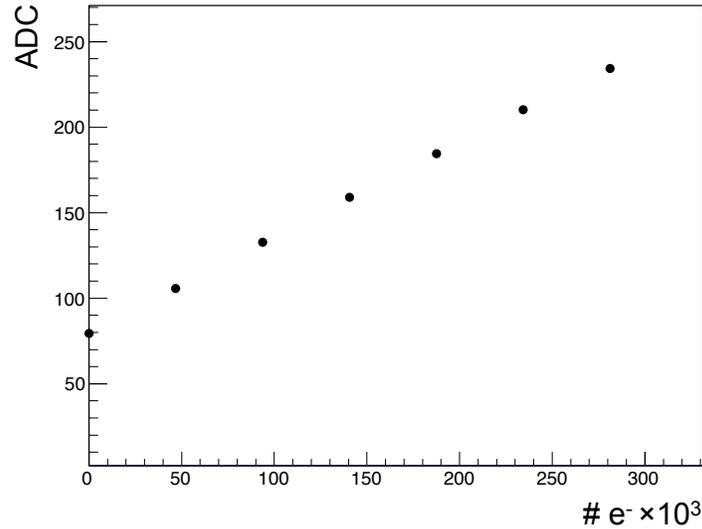


図 3.10: 入射電荷長と ADC 値の関係 (センサー有)。

3.4.2 トリガーレート耐性

テレスコープのトリガーレートを制限する主な要因は、SEABAS と PC 間での通信速度と SVX4 の不感時間である。1 イベントに対して 8 チャンネルのヒットを仮定すると、SVX4 の Data sparsification 機能を使った場合、1 イベントのデータ量は約 150bit である。SEABAS に搭載された SiTCP は 100Mbps で PC と通信することが出来るので、約 650kHz まで SiTCP による制限は受けない²。よって、テレスコープのトリガーレートを制限するのは SVX4 の不感時間である。図 3.11 に任意の 68 チャンネルにテスト電荷を入射した際の SVX4 の入出力信号を示す。SVX4 がトリガーを受け取ってからパイプライン内の電荷量をデジタル化するのに約 6 μ s、データの出力に約 6 μ s かかっている。したがって、現在の DAQ システムにおいて、テレスコープの不感時間は約 12 μ s であり、約 80 kHz までのトリガーレートに対応できるはずである。

ビームテストなどでは 1 イベントに対して数チャンネルのヒットが見込まれる。そこで、SVX4 から 8 チャンネル分のペDESTAL データが出力されるように設定して、クロックジェネレーターによる 50 kHz のトリガーで実際にデータを読み出せるかを試験した。図 3.12 に取得した ADC 値の分布を示す。合計 8 チャンネルのペDESTAL が測定できていることから、50 kHz でデータを読み出せることがわかった。

以上から、目標である 10 kHz 以上での読み出しは達成できたと結論する。

²今後テレスコープで使用予定の SEABAS 次期バージョンでは 1Gbps で PC と通信できるので制限はより緩やかになる。

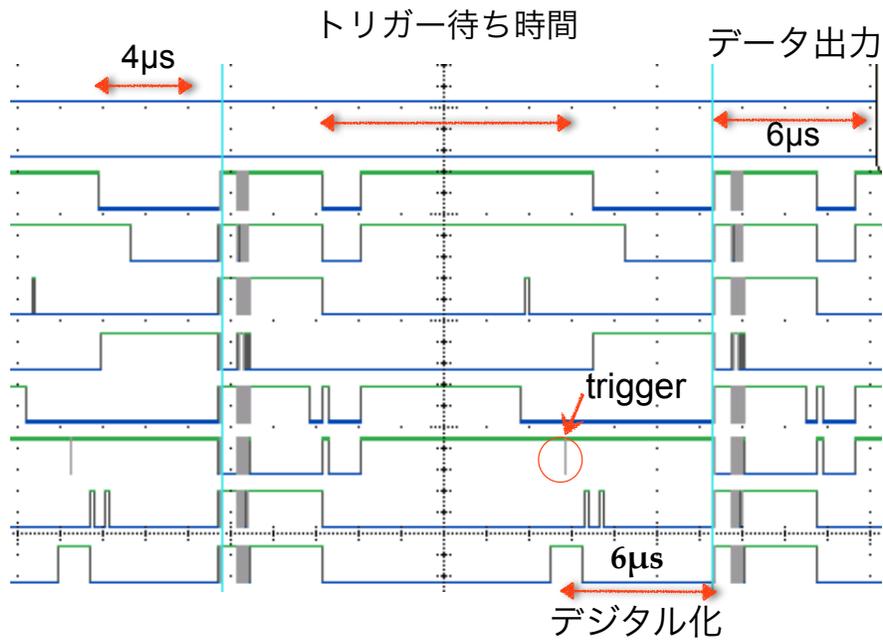


図 3.11: オシロスコープで記録したデータ取得時の SVX4 への入出力信号。

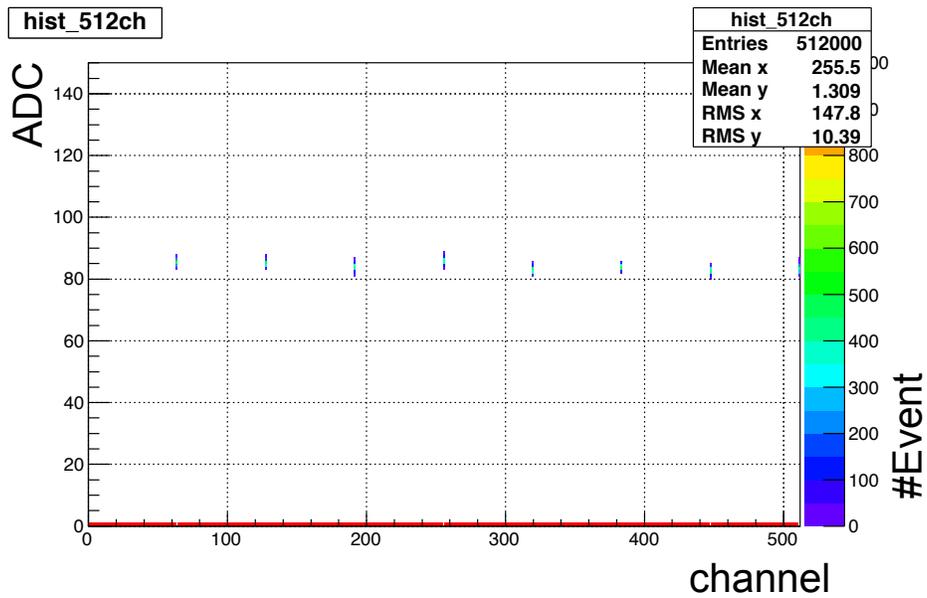


図 3.12: 50 kHz のトリガーで取得したときの ADC 分布を示す 2 次元ヒストグラム。

3.4.3 β 線によるテスト

シリコンセンサーに入射した粒子を検出できることを確かめるために、 β 線による読み出し試験を行った。その試験のセットアップを図 3.5 に示す。 β 線源 (^{90}Sr) をセンサーの上部に置き、センサーの下に設置したプラスチックシンチレーターの発光を PMT で検出し、discriminator を通してトリガー信号とした。 β 線源がない時の PMT のシングルレートは約 0.01 Hz であり、これは β 線源を置いたときのレート約 100 Hz に対して十分小さい。

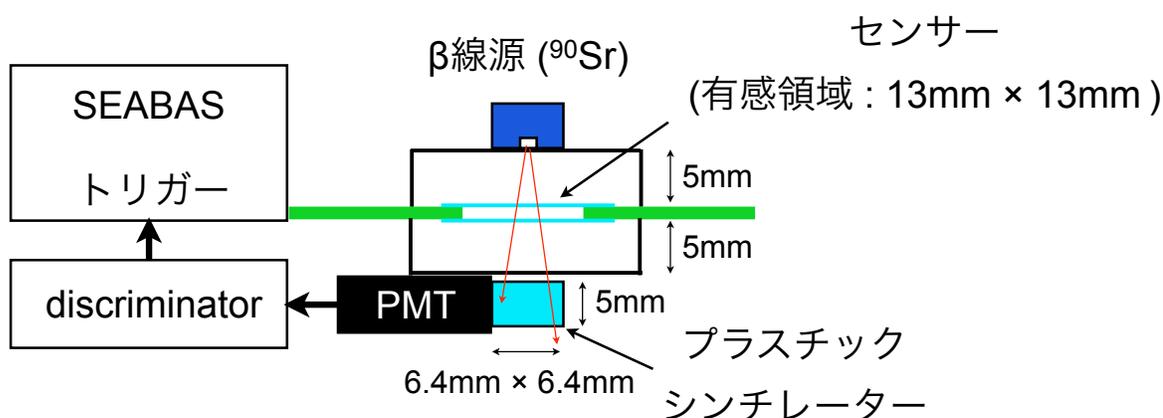


図 3.13: β 線検出のセットアップ。

シリコンセンサーに 70 V 印加し、ランダムトリガー (1 kHz) でデータ取得した際の ADC 値を図 3.14 に、シンチレータートリガーでデータ取得した際の ADC 値を図 3.15 に示す。ランダムトリガーではペDESTAL しか見えないのに対して、シンチレーターによるトリガーではペDESTAL より高い ADC 値が見える。また、ADC 値がペDESTAL + 3σ (σ はペDESTAL 分布の RMS で、ADC 値に換算すると約 0.8 カウント) の閾値を超えたストリップをヒットと定義して、センサー両方にヒットがあった時のイベントのヒットマップを図 3.16 に示す。これを見るとヒットがシンチレータを表す枠の中に集中していることがわかる。これらのことからテレスコープが β 線を検出したと考える。

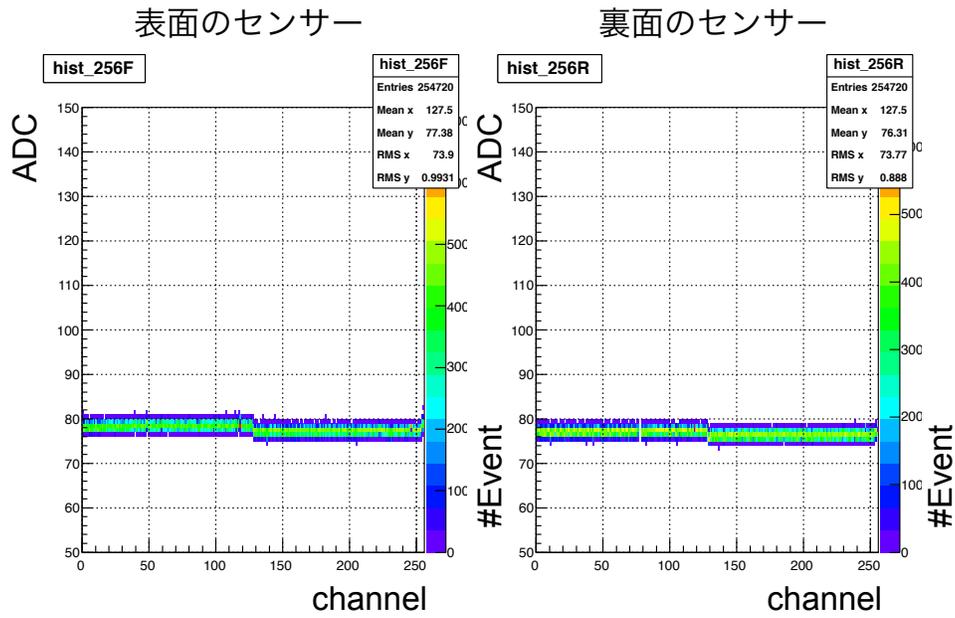


図 3.14: ランダムトリガーで取得した ADC 分布を示す 2次元ヒストグラム。

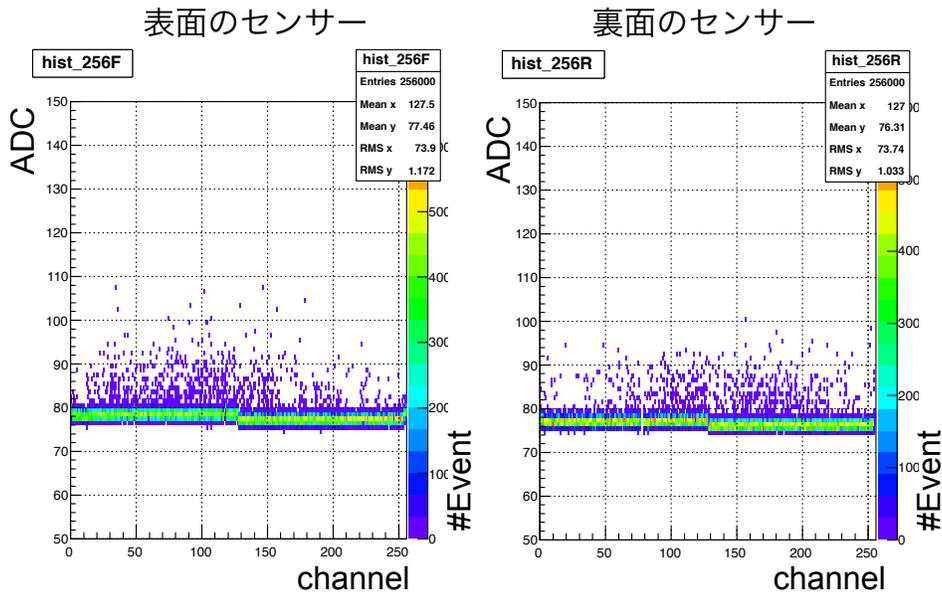


図 3.15: シンチレーターによるトリガーで取得した ADC 分布を示す 2次元ヒストグラム。

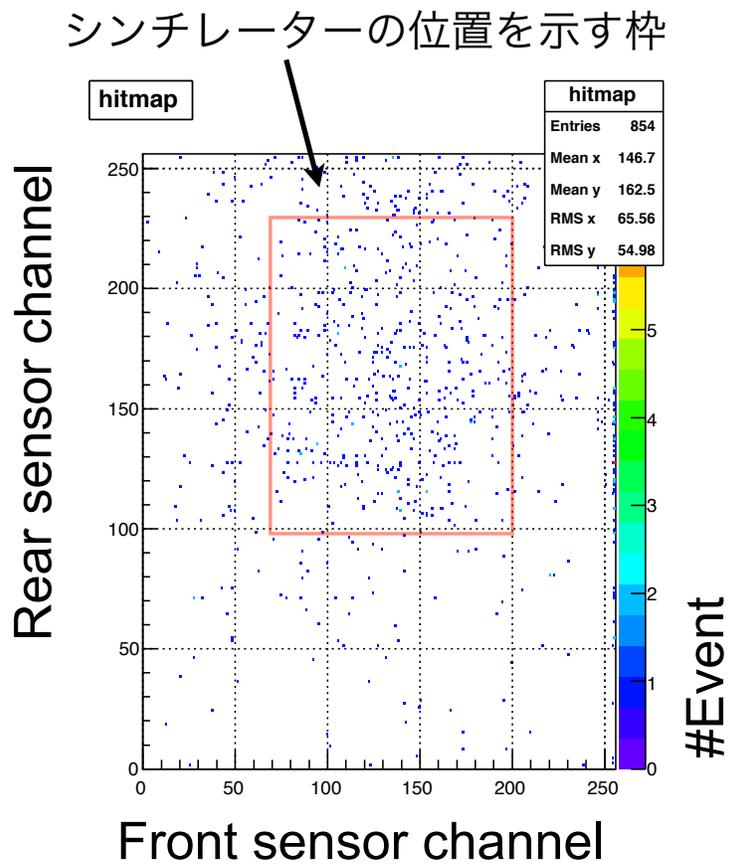


図 3.16: シンチレーターによるトリガーで取得した β 線のヒットマップ。2つのセンサーが両方ヒットしたイベントだけ見ている。

3.4.4 トリガーディレイと検出効率

β 線がセンサーに入射してから SVX4 がトリガーを受け取るまでには一定の時間がかかる。そこで、discriminator と gate generator の信号時間差を変化させながら検出効率の測定を行い、トリガーの遅延によって検出効率がどう変化するかを調べた。シンチレーターから得られた PMT の信号と、それが discriminator、gate generator を通った後の信号の時間関係を図 3.17 に示す。検出効率は、閾値以上の ADC 値を示すチャンネルが両方のセンサーに少なくとも 1 つあった事象数をトリガー数で割ったものと定義した。測定時の設定では、1MIP が約 16ADC カウントに相当する。そこで、チップ毎にペDESTALの平均値をとり、ペDESTAL + 2σ をチップ毎の閾値とした。測定の結果を図 3.18 に示す。時間差が 147 ns の時の検出効率が最も高かったため、以下の測定にはこの時間差設定を用いることにする。

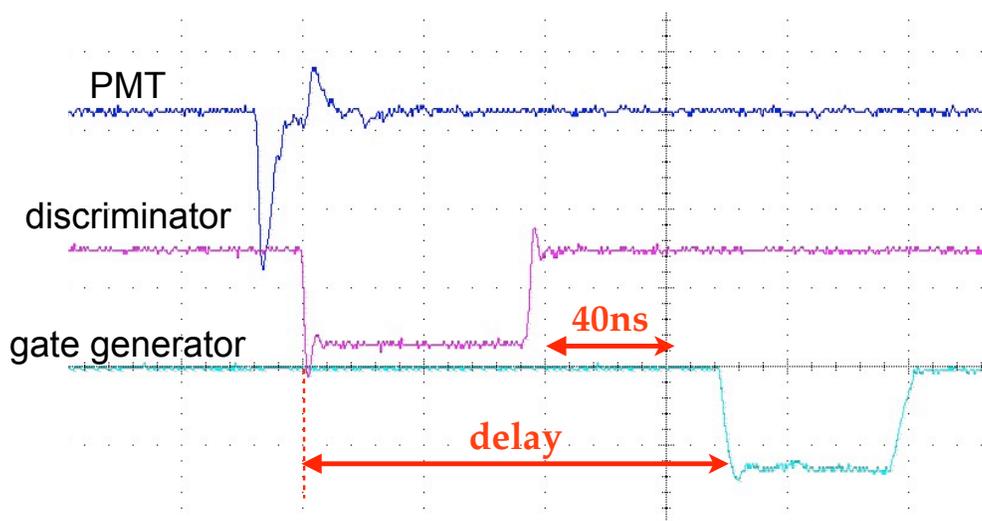


図 3.17: PMT、discriminator、gate generator からの信号の時間関係。

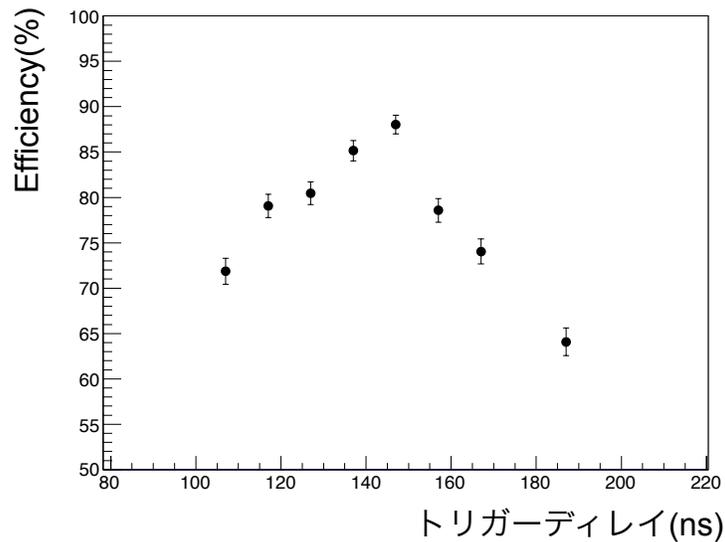


図 3.18: 検出効率とトリガーディレイの関係。

3.4.5 全空乏化電圧

シリコンストリップセンサーの全空乏化電圧を調べるために、センサーに印加する電圧を変えながらテレスコープの収集電荷量の測定をおこなった。収集電荷量は、2枚あるシリコンストリップセンサー両方に閾値 (ペDESTAL + 2σ) を超えたチャンネルが1つ以上ある時、そのADC値からペDESTALを引いた値に1カウントあたりの電荷量 ($1416 e^-$) をかけて求めた。複数の連続したチャンネルにヒットがある場合は全てのチャンネルの収集電荷量を足し合わせている。図 3.5 にセンサーに印加する電圧を10 V ずつ変えていったときの2つのシリコンストリップセンサーの平均収集電荷量の変化の様子を示す。80 V を超えた辺りから、平均収集電荷量に変化がなくなり、 $22000 e^-$ 程度の電荷量を収集できている。このことから、テレスコープに使用しているシリコンストリップセンサーの全空乏化電圧は公称値通り約80 Vであることを確認した。

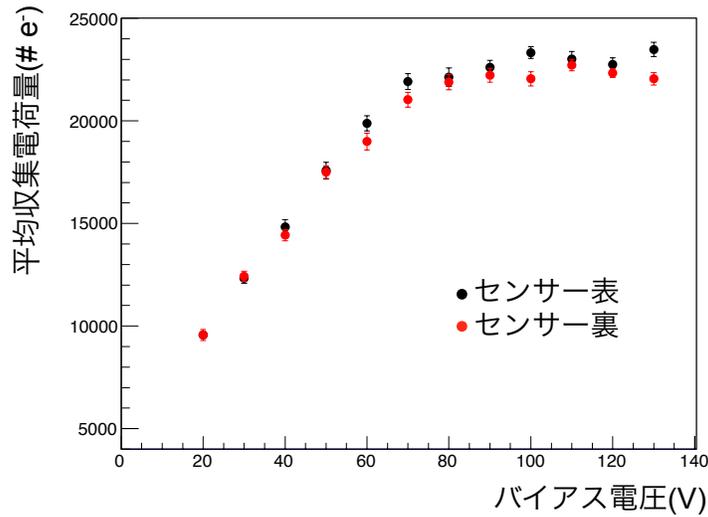


図 3.19: シリコンストリップセンサーへのバイアス電圧と収集電荷量の関係。

3.5 考察

テレスコープの分解能

シリコンストリップセンサーを用いたテレスコープでの分解能について説明する。図3.20のように2本のシリコンストリップの間を荷電粒子が通過した場合について考える。

粒子が通過した位置と左側のストリップとの間の距離を x とし、左側のストリップで収集した電荷を Q_L 、右側で収集した電荷を Q_R とする。粒子が通過した位置は、それぞれの電荷の値の重心をとることで求められる。ストリップの間隔を d とすると、粒子の入射位置 x は、

$$x = \frac{Q_R}{Q_R + Q_L} d \quad (3.1)$$

と求められる。入射した粒子の生成する電荷が常に MIP に等しいと仮定し、その値を S とすると $Q_R + Q_L = S$ と置くことができ、 x は Q_R のみの関数

$$x = \frac{Q_R}{S} d \quad (3.2)$$

となる。 x の不定性 δx は誤差伝搬則により、

$$\delta x = \sqrt{\left(\frac{\partial x}{\partial Q_R}\right)^2 \delta Q_R^2} = \frac{\delta Q_R}{S} d \quad (3.3)$$

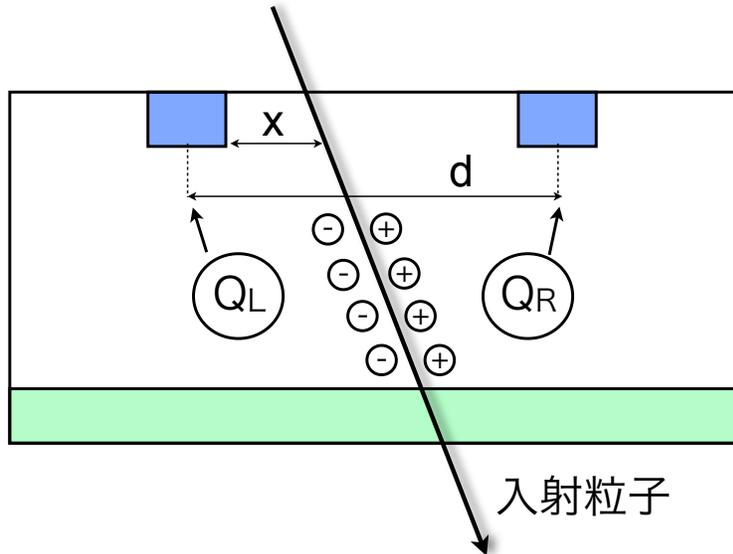


図 3.20: 電荷量による入射位置の測定。

となる。 δQ_R は電荷読み出し時のノイズ程度と考えると、ノイズ評価の結果($1416 \pm 43 e^-$)から $\delta Q_R \sim 1400 e^-$ となる。我々の使うセンサーのストリップ間隔である $50 \mu\text{m}$ と、MIPにより生成される電子数である約 $22,000 e^-$ を式 3.3 に代入すると $\delta x = 3.2 \mu\text{m}$ となる。この値が正しいかどうかを性能が既知の位置検出器を用いて試験するのが今後の課題である。

ノイズについて

本研究の結果では、テレスコープ全体のノイズは予想値の約 1.7 倍であった。テレスコープでは電源を数 m のケーブルによってドーターボードから供給しているため電源のグラウンドが不安定になりやすく、コモンモードノイズが原因となっている可能性がある。そこで、各イベント毎のペDESTALの平均値と全イベントで計算したペDESTAL平均との差を調べた(図 3.21)。各イベント毎と全イベントでのペDESTALの平均値の差が 4 つのピークを作っていて、時間で周期的に変化している。

図 3.21 左の RMS をコモンモードノイズの大きさと仮定し電荷に換算すると $1034 e^-$ となる。全体のノイズ (σ_{tot}) は、各チャンネルのノイズ (σ_{ch}) とコモンモードノイズ (σ_c) を用いて、

$$\sigma_{tot} = \sqrt{\sigma_c^2 + \sigma_{ch}^2} \quad (3.4)$$

で表される。 σ_{ch} が SVX4 とセンサーによるノイズ ($850 e^-$) と考えると、 σ_{tot} は $1338 e^-$

となる。ノイズ評価でペDESTALの幅から見積もったノイズが $1416 \pm 40 e^-$ であるから、コモンモードノイズが原因の全てではないが、それなりの割合を占めていると推察する。今後はコモンモードノイズ発生原因の究明および接続の強化による軽減を図りたい。また、コモンモードノイズの大部分は解析により軽減できるはずであり、そのためのアルゴリズムの開発を今後の課題とする。

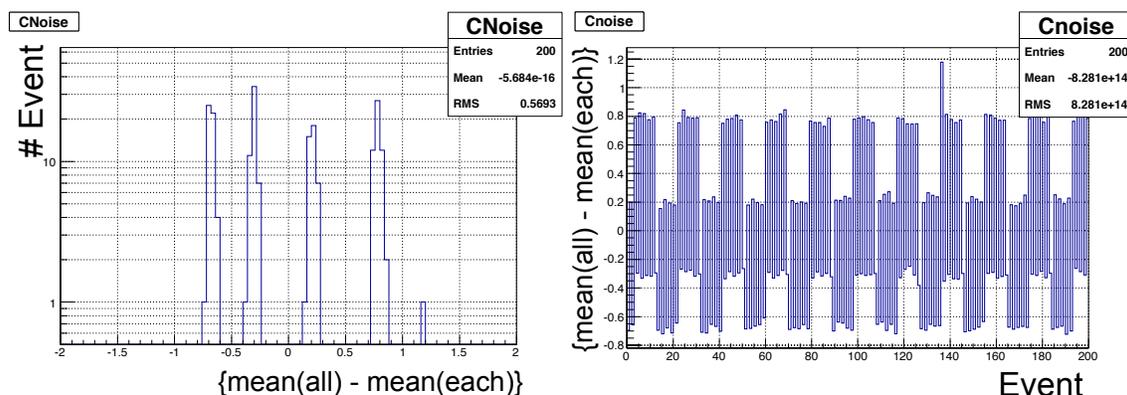


図 3.21: 各イベント毎のペDESTALの中央値 (左図) と、全イベントのペDESTAL中央値と平均との差の分布と時間変化の様子 (右図)。

β 線試験での検出効率

トリガーディレイの調整の際に検出効率を計算した。表と裏のセンサーそれぞれの検出効率は共に 95% で、両方合わせると 90% であった。性能上は 100% 近い値が出せるはずである。原因として β 線がセンサーのカバーや基板で散乱し、センサーに当たることなくプラスチックシンチレーターに入射していることなどが考えられるため、散乱の少ない宇宙線やエネルギーの高いビームを用いての再試験が今後の課題である。

センサーでの収集電荷量について

全空乏化電圧、収集電荷量共に予想通りの値となったが、センサーの収集電荷量を細かく見ると気になる点がある。80V での表のセンサーの収集電荷量の分布を図 3.22 に示す。 β 線源を置いた時の分布を見ると予想する収集電荷量約 $22000 e^-$ のところにピークがあるが、それより低い電荷量のところにもテールがある。 β 線源がない時の分布をみると、閾値 $5000 e^-$ を超える事象があり、ノイズによるしみ出しがあることがわかる。このしみ出しが先程のテールを作っていると考えられる。ペDESTALの RMS 約 0.75ADC カウントに対して閾値は 1 カウント区切りでしか設定できな

いため、実際の閾値は pedestal+2 σ ~ 3 σ である。1チャンネルあたり 99.73%の確率でペDESTALが除去できているとすると、センサー1つあたりの256チャンネルでは50%の確率でペDESTALのしみ出しが起こる。一方、図 3.22 の左図では1000事象中296事象が閾値を超えている。閾値を pedestal+5 σ まであげると図 3.23 に示す分布になり、ペDESTALからのしみ出しは排除できている(しみ出す確率は0.0002%)。しかし、粒子が斜めに入射した場合、例えば鉛直に対して40度の角度で入射してくると、1チャンネルあたりに落ちる電荷量は約7000 e⁻ となり、閾値である pedestal+5 σ を下回る。そのため、これらのイベントを取得するにはしみ出しとイベントを区別するアルゴリズムを組むか、テレスコープのS/Nを向上させる必要がある。

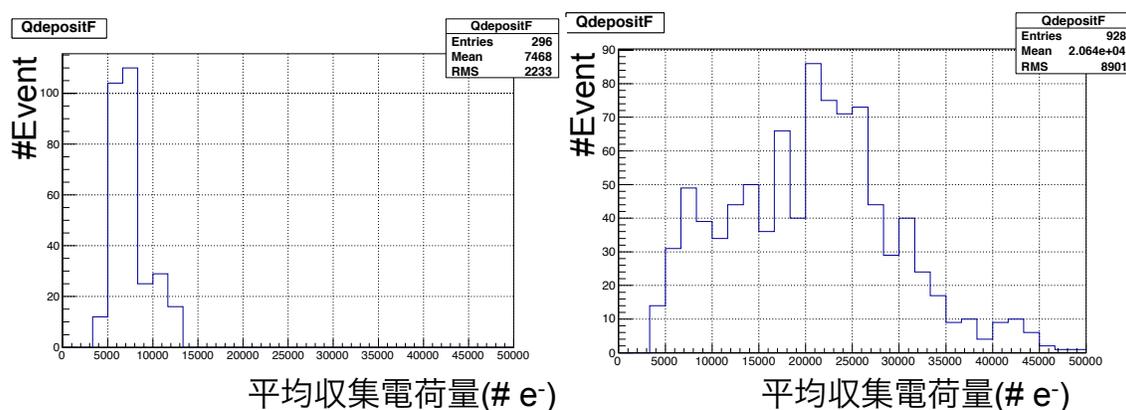


図 3.22: センサーに 80V 印加したときの表のセンサーの収集電荷量の分布。左が β 線源なし、右が β 線源あり。

低温での動作

テレスコープの要求性能として、低温 (-40° C 程度) で動作することを挙げたが、本システムが低温で動作することを確認していない。様々な接合部では接合部品の熱膨張係数の違いによって応力が生じ、接合部分にき裂が生じたりはがれたりすることがあるため、実際にビームテストで使用する前に耐久試験を行っておく必要がある。

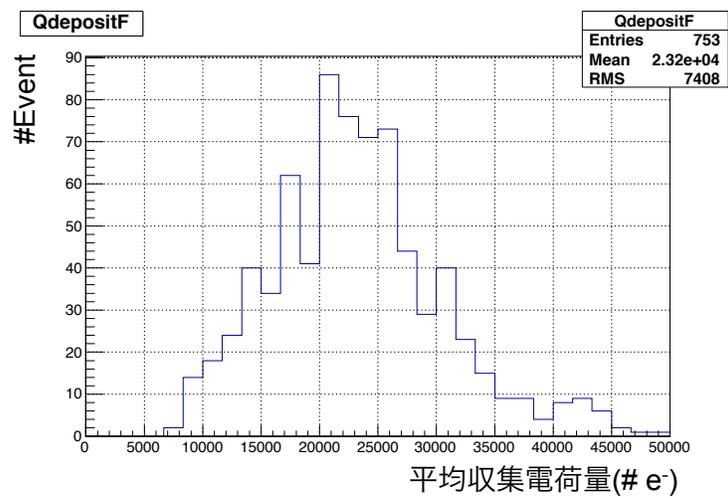


図 3.23: センサーに 80V 印加したときの表のセンサーの収集電荷量の分布。 β 線源ありで閾値は $\text{pedetal} + 5\sigma$ 。

第4章 ビームテスト用DAQの構築

KEK、京都教育大学と合同で、ビームテストで用いるためのDAQを開発した。そのシステムは、SCTJDAQと呼ばれるソフトウェアのフレームワークとSEABASから構成される。本章では、まずSCTJDAQの概要を説明する。その後、ソフトウェア全体の開発状況について述べ、DAQでのイベント同期とSCTJDAQのイベントフラグメントについて説明する。最後に、テレスコープとSCT読み出し用チップであるATLAS Binary Chip Next (ABCN) との同時読み出し試験について述べる。

4.1 SCTJDAQ

4.1.1 概要

SCTJDAQはKEKと京都教育大学で開発中のデータ収集用ソフトウェアのフレームワークである[11]。ビームテスト等での使用を前提に、複数の検出器からのデータの読み出し機能、それらをまとめてイベントを再構成する機能、イベントデータを記録する機能、データ取得時にその場でイベントを解析、表示する機能などを持つ。個々の機能は“プロセス”として分割され、それぞれの機能ごとに分割されたDAQプロセスを制御プロセスが制御することでマルチDAQプロセスを構成する。また、個々のプロセスからアクセス可能な共有メモリを利用して、各プロセスに共通のパラメータを使うこともできる。各検出器毎のソフトウェアはモジュール化され、読み出しDAQプロセスの1つとしてフレームワークの中に実装される。

図4.1にSCTJDAQの全体像を示す。制御プロセスは、必要とするプロセスを自動的に起動し、コマンドによってSCTJDAQを構成するプロセス群を制御する。制御プロセスが送信するコマンドにはconfigure、unconfigure、start、stop、pause、resumeがある。以下にコマンドによる動作をまとめる。

configure/unconfigure 読み出しプロセスはconfigureコマンドによって、共有メモリに展開された初期化に必要なデータを読み出し、読み出しシステムを初期化する。unconfigureコマンドによって初期化完了フラグを消去し、再度の初期化が可能になる。

start 読み出しを開始し、読み出したデータから1イベント毎にイベントフラグメントを構成してイベント再構成プロセスへ送る。イベント再構成プロセスは各

検出器の読み出しプロセスから送られたイベントフラグメントを結合しデータフォーマットを整えた後、記録プロセスやオンラインデータ解析プロセスへ送る。

pause/resume pause コマンドでデータ収集を一時停止し、resume コマンドでデータ収集を再開する。

stop データ収集を終了する。データ記録を終了しファイルは閉じられ、データ解析も終了する。

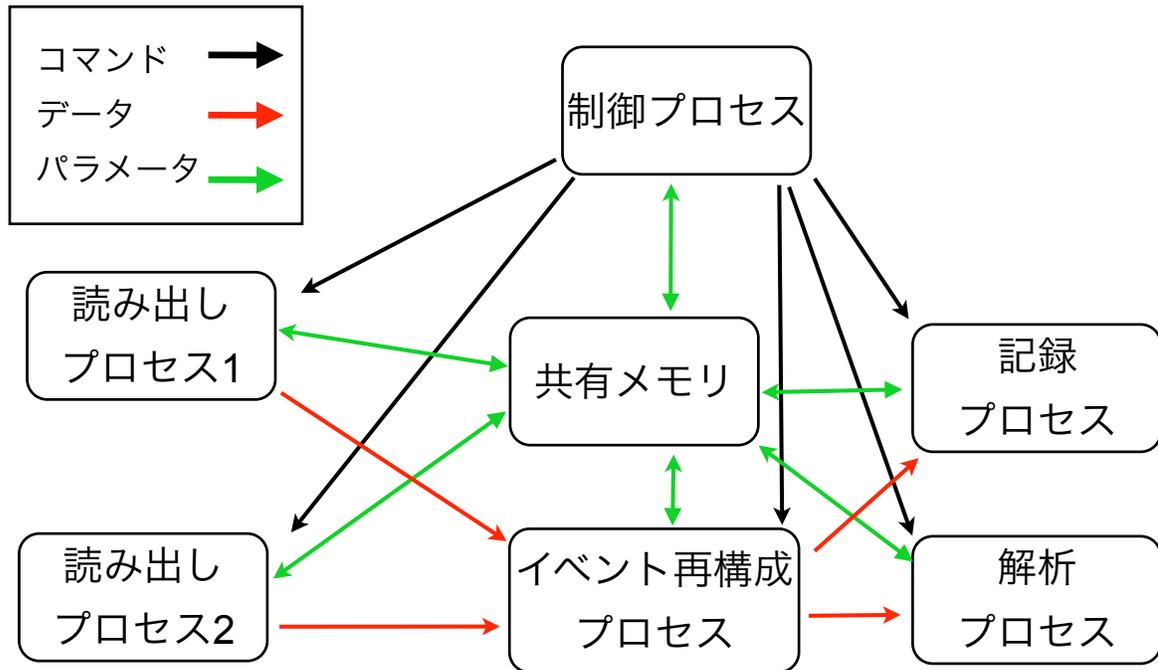


図 4.1: SCTJDAQ の全体像。

4.1.2 開発状況

SCTJDAQ には、SCT のセンサーからの信号読み出し用である ABCN チップのための読み出しプロセス、記録プロセス、解析プロセスが実装済で、個々のプロセスの動作も確認されていたが、多種類の検出器からのデータを結合するためのプロセスはまだ開発されていなかった。そこで、KEK、京都教育大学と合同で、異なる検出器でのイベントの同期方法の仕様と、共通のイベントフラグメントを決定した。決定した仕様に基づいて、現行の望遠鏡の読み出しソフトウェアを修正し、望遠鏡読み出しプロセスを SCTJDAQ へ実装した。

4.2 検出器間でのイベントの同期方法

異なる検出器の間で1イベント毎の同期をとるために、京都教育大学が開発したトリガーロジックユニット (TLU) と呼ばれる FPGA 上に実装したモジュールを用いて、各検出器に共通のトリガーとクロックを与える。図 4.2 に同期システムの概要を示す。各検出器は与えられたクロックで 24bit のカウンターを回し、トリガーを受け取った時点でのカウンターの値をタイムスタンプとしてデータに付け加える。各検出器からのデータに付加されたタイムスタンプをイベント再構成プロセスが参照することによって、イベントの同期を図る。各検出器から送られたタイムスタンプが一致しない場合にはそのデータを使えない。そこで、捨て去ってしまうデータ量を抑えるために、24bit のカウンターがフルになった時はカウンターを一度リセットし、次のトリガーで再び一斉にカウントを開始する。また各検出器はデータ送信可能状態かどうかを TLU に知らせ、全検出器がデータ送信可能である場合だけ TLU は次のトリガーを発行する。各検出器の読み出しには SEABAS を使用することを想定しており、タイムスタンプのためのカウンターやトリガー、そしてデータ送信可能のフラグは NIM I/O によって送受信する。

4.3 イベントフラグメント

4.3.1 SCTJDAQ 共通フラグメント

SCTJDAQ 上でイベントを再構成するために、各読み出しプロセスでは共通のイベントフラグメントとして、検出器 ID、読み出したデータの長さ、イベントナンバー、タイムスタンプを持ったデータを生成する必要がある。イベント再構成プロセスでは、これらの共通データ部分からイベントナンバーとタイムスタンプを照合して、データの取捨選択をする。具体的なアルゴリズムについてはまだ決まっていないが、タイムスタンプの一致がイベント再構成の際に特に重要となる。

4.3.2 テレスコープのイベントフラグメント

テレスコープは今後、1つの SEABAS で最大 4 台のテレスコープを同時に読み出す予定であるから、イベントフラグメントには読み出したテレスコープの数とそれぞれのデータの長さも付加することにした。また、SVX4 からのデータは第 3 章で述べた Data sparsification 機能の使用を前提としているため可変長である。図 4.3 にテレスコープのイベントフラグメントの構造を示す。

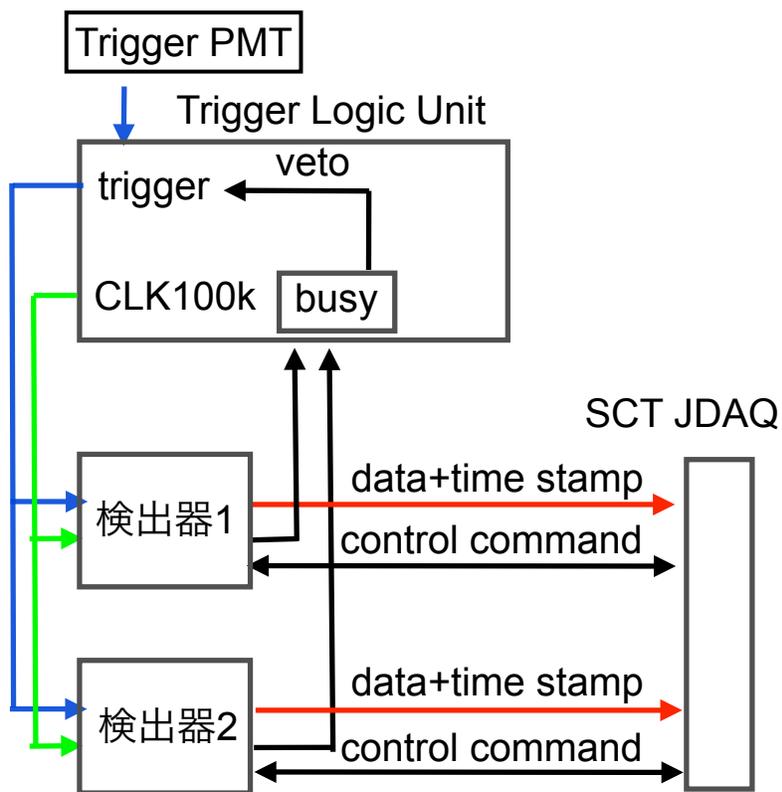


図 4.2: 検出器間同期システムの概要。

telescope detector ID	2 byte	↑ Event fragment header ↓
event fragment size	2 byte	
event number	4 byte	
time stamp	4 byte	
number of telescope	2 byte	
telescope1~4 data size	8 byte	
telescope number	2 byte	
SVX4 chip1~4 ID	4 byte	
chip1~4 pipeline ID	4 byte	
number of hit	2 byte	
hit ch	1 byte	
hit ch ADC value	1 byte	
:		
hit ch	1 byte	
hit ch ADC value	1 byte	

図 4.3: テレスコープ 1 台を読み出した場合のテレスコープのイベントフラグメント。
読み出す台数が増えると telescope number 以降のデータを台数分繰り返す。

4.3.3 イベントフラグメントの実装

タイムスタンプとイベントナンバーをヘッダーとしてSVX4のデータに付加するために、SEABASに実装しているファームウェアとソフトウェアの修正を行った。ファームウェアでは、まずデータ送信可能のフラグを発行するようにした。フラグが立っている場合はトリガーを受信し、その時点のイベントナンバーとタイムスタンプをSVX4からのデータに付加し、ソフトウェアへ転送する。ソフトウェアではテレスコープ読み出しプロセスがデータを読み取り、1イベント毎にデコードして、テレスコープからのデータである事を示すIDとデータのサイズを付加し、イベントフラグメントを構成する。

4.4 テレスコープとABCNの同時読み出し試験

テレスコープとABCNの読み出しプロセスが同時に動作するか、データをイベント再構成プロセスで受信できるか、イベントナンバーとタイムスタンプがテレスコープ出力とABCN出力で一致しているかを確認するために、KEK、京都教育大学と合同で、テレスコープとABCNの同時読み出し試験を行った。

4.4.1 セットアップ

図4.4に読み出し試験のセットアップを示す。テレスコープとしては、センサー付きのSVX4 board version3をSEABASに接続したものを使用した。センサーに電圧は印加しておらず、取得するデータは8チャンネル分のペDESTALデータになるよう設定した。ABCNはセンサーなしの1チップ読み出し基板2台を1台のSEABASに接続したものを使用した。ABCNではテスト電荷がそれぞれの読み出し基板に送られ、そのデータを読み出した。Xilinx社のSPARTAN3ANスターターキットに実装されたTLUから1kHzのトリガーと100kHzのクロックを各SEABASに送信した。各SEABASは自身に接続されている検出器がデータ送信可能かどうかのフラグをTLUに送信し、TLUは全検出器がデータ送信可能であるかどうかを判断し、全検出器がデータ送信可能な時にだけトリガーを発行した。

4.4.2 結果

図4.5にテレスコープ読み出しプロセスからのデータ出力を示す。テレスコープでは、設定通りに、8チャンネル分のペDESTALデータを受信できている。このことから、読み出しプロセスは正常に動いていることを確認した。次に、イベント再構成プロセスからのデータ出力を図4.6に示す。テレスコープとABCNからのデータ

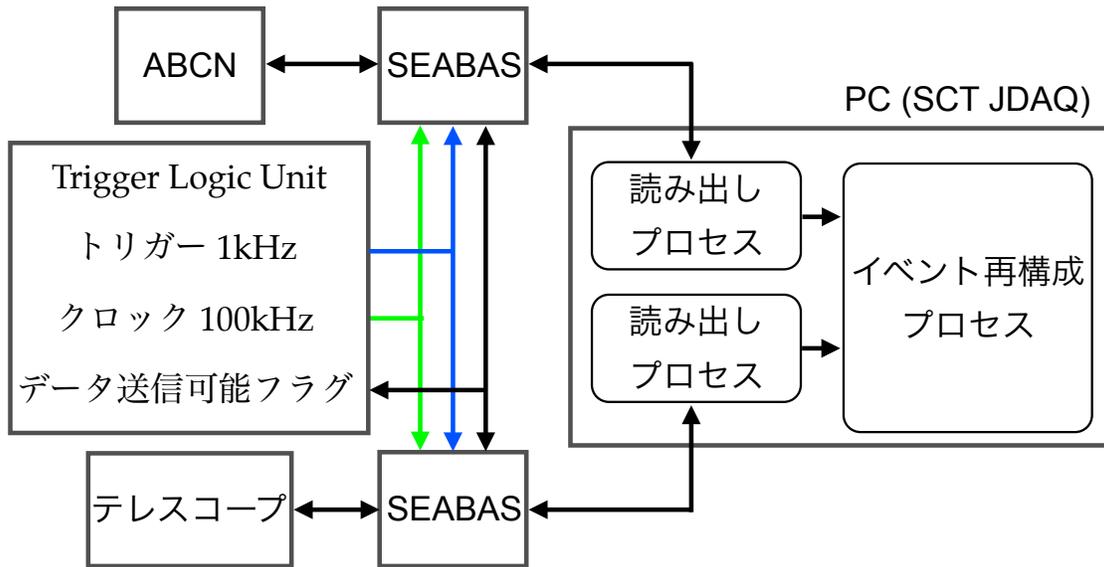


図 4.4: 同時読み出し試験のセットアップ。

を順次受信できている。テレスコープでは各事象で 200 バイトのデータを送るよう
に設定し、その設定通り 200 バイトのデータをイベント再構成プロセスが受信して
いる。また、イベント再構成プロセスでは各検出器に共通のフラグメント部分を検
知してデータを結合するため、必要なデータの付加が正常に行われていることも確
認できた。しかし、タイムスタンプの情報が ABCN とテレスコープで異なっていて、
検出器間のイベントの同期を確認できなかった。これに対する考察は後述する。

```

** ROOT TTree **
- svxroot.event_number = 13
- svxroot.time_stamp = 1195
- svxroot.chipID_1 = 251
- svxroot.pipelineID_1 = 14
- svxroot.chipID_2 = 252
- svxroot.pipelineID_2 = 14
- svxroot.chipID_3 = 253
- svxroot.pipelineID_3 = 14
- svxroot.chipID_4 = 254
- svxroot.pipelineID_4 = 14
- hit = 8
ch63 hit! ADC count = 111
ch127 hit! ADC count = 111
ch191 hit! ADC count = 109
ch255 hit! ADC count = 103
ch319 hit! ADC count = 110
ch383 hit! ADC count = 107
ch447 hit! ADC count = 110
ch511 hit! ADC count = 109

SVX4Reader:sendData():Total Data Size : 200 (Header.24
stats:1
SVXReader::sendData():Data Posted to Output : 0

```

図 4.5: テレスコープ読み出しプロセスからのデータ出力。

```

### Event Data status ###
Magic Data : abcd (ABCN)
Total size : 158
Event Number : 1
Time Stamp : 0

Allocated Memory (store_data.data_p) : 158
### Event Data status ###
Magic Data : 6210 (SVX)
Total size : 200
Event Number : 1
Time Stamp : 0

Allocated Memory (store_data.data_p) : 200
Allocated Memory (alldata) : 736
Allocated Memory (ev_mod) : 8
### Event Data status ###
Magic Data : abcd (ABCN)
Total size : 314
Event Number : 2
Time Stamp : 300

Allocated Memory (store_data.data_p) : 314
### Event Data status ###
Magic Data : 6210 (SVX)
Total size : 200
Event Number : 2
Time Stamp : 99

```

図 4.6: イベント再構成プロセスからのデータ出力。

4.5 考察

テレスコープの読み出しプロセスについて

今回の試験で、テレスコープの読み出しプロセスが正しいイベントフラグメントを生成し、データをイベント再構成プロセスに送信できることを確認した。しかし、読み出しプロセスには改良の余地がある。SCTJDAQでは各検出器に送る初期設定データなどを共有メモリに保存する機能があるが、テレスコープの読み出しプロセスではその機能を使っていない。これを利用すれば、制御プロセスのGUI上でパラメータを確認したり、変更を容易に行えるようになる。また、ストップコマンドを受信するための処理が開発途中である。現在は規定回数の読み出しが終了した時点でのみストップを検知するが、本来は読み出し途中で定期的にストップフラグを確認していくアルゴリズムが必要である。これらについては今後、開発を行う。

SCJDAQによる読み出し試験でのタイムスタンプの不一致について

今回の試験ではABCNとテレスコープのタイムスタンプが一致していなかった。タイムスタンプは $10\ \mu\text{s}$ 毎に1加算されるため、今回用いた1 kHzのトリガーでは1イベント毎に100ずつ増えるはずである。出力されたデータを見ると、2イベント目がABCNでは300、テレスコープでは99となっている。1イベント目のタイムスタンプは両方0である、よってABCNでのタイムスタンプの処理が正しく動作していない。原因はABCNを制御するファームウェアにあると考えており、京都教育大学がこれを修正中である。修正され次第再試験を行う予定である。

解析プロセスの開発

今回の試験ではイベントの同期までが目標であったが、ビームテストでは、結合されたデータを取得時にその場で解析、表示する機能があると良い。特にテレスコープと他検出器の相関はビームテストが上手くいっているかどうかを判断する重要な指標となるため、今後の課題として取り組むべきである。

第5章 全体の考察と今後の課題

個々の研究に対する考察は各章で述べたため、ここでは HL-LHC 用のシリコン検出器の試験用システムとしての考察と今後の課題を述べる。

ビームプロファイルモニタ

ビームプロファイルモニタとして製作予定のファイバートラッカーに用いる MPPC 読み出し用モジュールが完成した。我々のグループでは、完成した EASIROC MODULE を用いてファイバートラッカーを現在製作中であるが、今の段階では DAQ が独立であり、EASIROC MODULE のソフトウェアも SCTJDAQ に組み込む必要がある。これは今後の課題である。また、テレスコープと ABCN の同時読み出し試験では、SPARTAN3AN スターターキットに TLU の機能を実装したが、この機能は FPGA の容量を大量に消費するものではないため、EASIROC MODULE 内の FPGA に組み込むことも可能である。EASIROC MODULE には NIM input が 6 個、output が 5 個ついており、トリガーロジック機能を付加するのに適している。TLU 機能を組み込むことによってより一層の省スペース化が可能となるため、今後の研究課題としたい。

テレスコープ

現在製作中のテレスコープは、センサー付きが 1 台、センサーなしが 4 台ある。今後センサーなしの 4 台の動作確認をしてセンサーを取り付けていく。また、SEABAS の後継基板である SEABAS2 に接続するためのドーターボードも製作している。これは 4 台のテレスコープが一度に読み出せるように設計したもので、複数台が読み出せること以外の機能は以前のものと同様であるが、SEABAS の User FPGA からドーターボードまでの信号線が LVDS から CMOS に変更してある。テレスコープは複数台同時に使用することが必須であるため、これらの動作確認とソフトウェア、ハードウェアの拡張が今後の課題となる。

ビームテスト用 DAQ

SCTJDAQ では新しいプロセスを組み込むためのソフトウェアのひな形が用意されていたが、ファームウェアにはそれがまだない。今回のタイムスタンプを出力する機能などはモジュール化してテレスコープと ABCN で共通化しているが、第 4 章の考察で述べたストップフラグを確認しにいくアルゴリズムなどもファームウェアに干渉するため、これもモジュール化したい。今後試験を重ねて行く上でこのような例がまだ出てくるはずであるが、ビームテスト時の調整を容易にするためにも必要な機能をモジュール化して DAQ への実装を容易にしていく努力が今後必要である。

ビームプロファイルモニタとテレスコープの同時読み出し

ファイバートラッカーが完成し EASIROC MODULE の DAQ をビームテスト用 DAQ に組み込めば、ビームプロファイルモニタとテレスコープの同時読み出しをすることができる。これらはビームテストの際、常に使用することになるため、DAQ として完成すれば様々なビームテストで利用可能である。その波及効果は高いため、今後の課題として取り組んでいきたい。

第6章 結論

本研究では、HL-LHC 用のシリコン検出器の試験用システムの開発として3つの研究を行った。

- MPPC 読み出し用電子回路基板の仕様を決め、設計、開発をした。完成した MPPC 読み出しモジュールは動作確認と性能評価の結果、全ての機能が正常に動作しており、モジュール化によるノイズの増加もないことを確認した。
- テレスコープの開発をした。動作確認と性能評価の結果、正常に動作していることを確認し、 β 線を検出した。今後は位置分解能の測定や、複数のテレスコープを同時に読み出せるシステムを開発する。
- ビームテスト用 DAQ を開発した。KEK と京都教育大学で開発中であるビームテスト用 DAQ にテレスコープを組み込みこんだ。DAQ の動作試験の結果、実装したテレスコープの DAQ は正常に動作することを確認した。しかし、ABCN とのイベント同期については確認できなかったため、解析プロセスの開発と合わせて今後の課題である。

以上3つの研究によってシステム完成への技術的な問題を解決し、1ヶ月ないしは2ヶ月後にはシステムの完成を見込める状態にまで開発を進めた。

謝辞

本研究を進めるにあたって素晴らしい研究環境を与えて下さった山中卓教授に心より感謝いたします。入学当初、何も分からない私に素粒子の基礎実験を指導していただき、それ以降も折にふれて実験に対する姿勢、考え方を学ばせて頂きました。ありがとうございます。

指導教官である花垣和則准教授には研究課題の提案を始めとして、研究の開始から今日に至るまで、熱心な指導をして下さったこと、非常に感謝しております。覚えの悪い私に何度も丁寧に指導して下さいのおかげで、素粒子物理学の知識から物事に対する論理的な思考まで、沢山のものを学ばせていただきました。本当にありがとうございます。

岡山大学の吉村浩司さん、KEKの中村勇さん、東北大学の三輪浩司さん、東北大学博士課程の本多良太郎さんには EASIROC MODULE 開発において仕様決定から性能評価にいたるまで、長きにわたって様々な御助力をいただいたこと、深く感謝いたします。なんとか完成までこぎつけられたのは皆様のお力添えのおかげです。

KEKの五十嵐洋一さん、池野正弘さん、内田智久さん、田中真伸さんには Open-it プロジェクトのもとで素晴らしい研究環境を与えていただきました。計測システム開発の初心者であった私に、電子回路基板開発、ファームウェア開発の基礎を丁寧に指導していただきました。ありがとうございます。

同じく KEK の海野義信さん、池上陽一さん、安芳次さんにはテレスコープと DAQ の開発に関する様々なアドバイスを頂きました。大変感謝しております。

KEKの上野一樹さん、庄子正剛さん、総合研究大学博士課程の武田彩希さん、元大阪大学修士課程の林達也さんには KEK 滞在中、公私共にお世話になりました。KEK での充実した研究生生活を送れたのは皆様のおかげです。

大阪大学 ATLAS グループの先輩である、廣瀬穰さん、岡村航さん、遠藤理樹さん、Teoh JiaJian さん、辻嶺二さん、元大阪大学 ATLAS グループの Jason Sang Hun Lee さん、音野瑛俊さん、東野聡さんからも沢山の助言をいただきました。ありがとうございます。特に廣瀬さん、遠藤さんには沢山の質問に答えていただいたことに感謝しています。東野さんにはテレスコープ開発について丁寧に教えていただいたこと、お忙しい中でも沢山の質問に答えていただけたことに深く感謝しています。同輩の渡辺誠くんには研究の議論から苦労話、雑談にいたるまで付き合ってもらい、楽しい研究生生活を送ることができました。ありがとう。後輩の荒井泰貴くんには勉強、研究に励む姿に沢山の刺激をもらいました。

助教の外川学さん、研究員の塩見公志さん、佐藤和史さん、先輩である Lee Jongwon さん、村山理恵さん、杉山泰之さん、元大阪大学 KOTO グループの岩井瑛人さん、伴野真太郎さん、同輩の高島悠太くん、豊田高士くん、後輩の磯江麻衣さん、実験グループは違いますが、色々な質問に答えていただいたり、日々の雑談に付き合ってくださいました。ありがとうございます。4年生の宮崎康一くん、矢島和希くん、山内洋子さんが実験に取り組む姿には多いに触発されました。

秘書の川原さんには様々な事務手続きだけでなく、息抜きがてらの他愛無い話にまで付き合ってくださいました。感謝しております。

最後に、私の研究生生活を支えてくれた皆様と家族にこの場を借りてお礼申し上げます。本当にありがとうございました。

参考文献

- [1] The ATLAS Collaboration, [The ATLAS Experiment at the CERN Large Hadron Collider], JINST 3 S08003 (2008).
- [2] The ATLAS Collaboration, [Letter of Intent for the Phase-II Upgrade of the ATLAS Experiment], (2012).
- [3] Omega group, [EASIROC DATA SHEET], (2011).
- [4] 本多 良太郎, [EASIROC テストボード仕様書], (2013).
- [5] T.Uchida [Hardware-Based TCP Processor for Gigabit Ethernet], IEEE Transactions on Nuclear Science, Vol. 55, No 3 (2008).
- [6] Xlinxs, [XA Artix-7 FPGAs Overview], DS197 v1.0 (2014).
- [7] L. Christofek, K. Hanagaki, *et al.* [SVX4 User's Manual], D0NOTE 4252 (2005).
- [8] L. Christofek, K. Hanagaki, *et al.* [Preliminary Test Results for the SVX4], D0NOTE 4250 (2005).
- [9] 東野 聡, [ATLAS 実験アップグレード用シリコン検出器試験のためのテレスコープ検出器開発], 大阪大学修士論文 (2013).
- [10] T.Uchida, Y.Arai [Soi EvAluation BoArd with Sitcp User's Manual].
- [11] 安 芳次, 他 [SCT 用データ収集ソフトウェア (SCTJDAQ) ドラフト], (2012).