

ATLAS実験アップグレード用シリコン検出器
試験のためのテレスコープ検出器開発

大阪大学大学院 理学研究科 物理学専攻
山中研究室 修士課程2年

東野 聡

2013年2月14日

概要

欧州原子核研究機構 (CERN) に建設された陽子・陽子衝突型円形加速器 Large Hadron Collider (LHC) は、最高でビームエネルギー 7 TeV の陽子同士を衝突させることができる。ビーム衝突点の一つに大型汎用粒子検出器である ATLAS 検出器が設置されており、標準模型の検証や、それを越えた物理の探索を行っている。

2023年、統計量を増やすことを目的とした High Luminosity Large Hadron Collider (HL-LHC) へのアップグレードを計画しており、それに伴い ATLAS 検出器のアップグレードを予定している。HL-LHC 用に 2 種類のシリコン検出器の開発が進められているが、それらの試験ではシリコンセンサーへの粒子の入射位置を正確に特定する必要がある。そのため位置検出精度の高いテレスコープ検出器を開発することが本研究の目的である。テレスコープ検出器には、早い応答時間で精度よく位置検出ができるシリコンストリップ検出器を使用する。本研究では、シリコンストリップセンサーからの電気信号を処理する読み出しシステムを開発した。

シリコンストリップセンサーからの電気信号は SVX4 と呼ばれる ASIC を用いて読み出すので、SVX4 の動作を確認するため、まず SVX4 を一つ搭載した試験用基板とそれを用いた試作読み出しシステムを開発し、それが正常に動作していることを確認した。さらに、テレスコープ検出器用の DAQ システムの試験をするため、新たな電気回路と複数の SVX4 を搭載した読み出し用基板を設計・開発し、それが正常に動作することを確認した。これにより、テレスコープ検出器の DAQ システムを開発することができたと結論づけた。

目次

第 1 章 序論	8
1.1 LHC	8
1.2 ATLAS 実験	9
1.2.1 内部飛跡検出器	10
1.3 LHC アップグレード	12
1.3.1 HL-LHC	12
1.3.2 内部飛跡検出器のアップグレード	12
1.3.3 HL-LHC 用シリコン検出器の試験	14
1.4 テレスコープ検出器に求める性能	14
1.5 テレスコープ検出器のシステム概要	16
1.6 本研究の目的	19
第 2 章 シリコンセンサー	20
2.1 シリコン検出器	20
2.1.1 シリコン検出器の原理	20
2.1.2 シリコンストリップ検出器	22
2.1.3 シリコンピクセル検出器	23
2.2 シリコンストリップセンサー	23
2.3 位置分解能	25
第 3 章 信号読み出し ASIC: SVX4	28
3.1 概要	28
3.1.1 Front-end	30
3.1.2 Back-end	31
3.2 DØ MODE と CDF MODE	36
3.3 Operation cycle	37
3.3.1 Initialize Mode	37
3.3.2 Acquire Mode	40
3.3.3 Digitize Mode	42
3.3.4 Readout Mode	44
3.4 Daisy Chain による複数の SVX4 の制御	45

3.4.1	Daisy Chain による Configuration	46
3.4.2	Daisy Chain によるのデータ読み出し	46
第 4 章	試験用 DAQ システム	49
4.1	概要	49
4.2	SEABAS を用いた読み出しシステム	51
4.2.1	SEABAS	51
4.2.2	読み出し用ファームウェア	52
4.3	DAQ 用ソフトウェア	56
4.3.1	RBCP パケット	58
4.3.2	デコーダー	58
第 5 章	DAQ システムの動作試験	60
5.1	SVX4 BOARD Version 1: 1 チップ読み出し用基板	60
5.1.1	DAQ システムの動作確認	63
5.1.2	DAQ システムのノイズ評価	72
5.2	テレスコープ検出器用電気回路を用いた複数チップ読み出しの動作試験 72	
5.2.1	SEABAS - テレスコープ検出器接続用 DAUGHTER BOARD	75
5.2.2	SVX4 BOARD Version 2: 2 チップ読み出し用基板	76
5.2.3	複数チップ試験用ファームウェアとソフトウェア	80
5.2.4	動作試験	80
第 6 章	考察	85
第 7 章	結論	89
付 録 A	SVX4 の Configuration register	90

目 次

1.1	LHC	8
1.2	ATLAS 検出器	9
1.3	内部飛跡検出器	11
1.4	SCT モジュール	12
1.5	LHC アップグレード計画	13
1.6	HL-LHC 用シリコン検出器の試験。試験するシリコン検出器への粒子の入射位置を精度よく測るためには位置分解能の高い飛跡検出器が必要である。	15
1.7	テレスコープ検出器の形状。シリコンストリップセンサーを 90° 回転して基板の表裏に設置することで荷電粒子の入射位置の 2 次元情報を取得する。	17
1.8	テレスコープ検出器の読み出しシステムを含めた全体像。センサーからの電気信号を処理する ASIC とセンサーを一つの基板上に設置する。ASIC で処理された電荷情報のデータを別の電気回路で処理したあと、PC にデータを転送する。また、ASIC の制御のための処理信号を、PC から信号処理システムを経由して ASIC に送信する。	18
2.1	ダイオード型半導体。逆バイアスを印可することにより空乏層が広がる。	21
2.2	シリコンストリップ検出器。各ストリップが収集した電荷の量を測ることによってどの位置に粒子が入射したかを測定することができる。	22
2.3	内部飛跡検出器の Pixel モジュール。電気回路とシリコンセンサーを重ねて一体化することで信号読み出しを実現している。	24
2.4	テレスコープ検出器に用いるシリコンストリップセンサー	24
2.5	センサーまわりの等価回路図	26
2.6	電荷分割法による位置分解能の評価	26
3.1	SVX4 の各読み出しチャンネルの回路図の概略	29
3.2	SVX4 のチップの構造：シリコンセンサーからくる電荷を増幅、蓄積する Front-end と、その電荷情報をデジタル化し、出力する Back-end の 2 つに分かれる	29

3.3	Preamp 周辺の回路の概略図。FECLK の立ち上がりごとに、Preamp からの出力を pipeline に送る	30
3.4	Pipeline は 46 個の信号電荷用コンデンサと 1 個のペDESTAL 電荷用コンデンサからなる。	32
3.5	Wilkinson ADC	33
3.6	SVX4 に必要な信号線。入力用の信号線が 11 種類、出力用の信号線が 2 種類、双方向用の信号線が 8 種類あり、合計で 21 種類の信号線を扱う必要がある。	36
3.7	SVX4 に送信する信号線。Readout Mode では、BUS の信号線は SVX4 からのデータ出力のために使用される。	39
3.8	Initialize Mode の制御信号。PRin からは、Configuration parameter のシリアル信号を入力する。FECLK の立ち上がり時に PRin の値が SVX4 の Configuration register に格納される。	40
3.9	Pipeline から信号を読み出すために SVX4 に送る制御信号のタイミング図	41
3.10	Acquire Mode から Digitize Mode へ切り替わる際の制御信号	43
3.11	Readout Mode の制御信号	44
3.12	Daisy chain による複数チップ読み出しの概略図。並列な信号線を用いて複数の SVX4 に制御信号を送る。	46
3.13	Daisy Chain による Configuration。先頭の SVX4 に、チップの数だけ Configuration register に入力する値を順次入力することで Configuration ができる。	47
3.14	Daisy Chain による複数チップのデータ読み出しの概略図。SVX4 からのデータは、PRin、PRout から入出力される Token によって 1 チップずつ出力するよう制御される。	48
4.1	SEABAS を用いた信号処理システムの全体像。SEABAS を用いることで、省スペースでの読み出しシステムを構築することができる。	49
4.2	PC 上で制御信号を簡単に修正するために作成したテキストファイル。この bit stream をソフトウェア上でエンコードし、FPGA を経由して SVX4 に送信する。	50
4.3	SEABAS	51
4.4	読み出しファームウェアのブロック図	53
4.5	Control RAM: テキストファイルに書いた bit stream を Control RAM へ送信、格納する。その後、Control RAM から bit stream を出力するには出力したいデータのアドレスと、データを出力するためのクロックを入力する。クロックの立ち上がりに同期して、立ち上がりのタイミングにおける入力アドレスの値が Control RAM から出力される。	54

4.6	Config RAM : Control RAM とは違い、Config RAM に格納する値は bit stream のような配列ではないため、Config RAM から出力したデータを bit stream に変換する必要がある。	55
4.7	DAQ のフローチャート	57
4.8	RBCP 通信に用いられるデータパケットの形式 [6]	59
5.1	SVX4 BOARD V1 と SEABAS	60
5.2	ワイヤーボンディングによる接続が必要なパッド	61
5.3	SVX4 BOARD V1 の回路図の一部。SVX4 の左右の側面にバイパス回路を介して電源を供給する。	62
5.4	Configuration 時の bit stream。	63
5.5	SVX4 とのデータ通信を示す波形。テキストファイルに記載した bit stream の通りに制御信号を SVX4 に入力することができている。	64
5.6	Readout Mode において BUS 線から出力されたデータ。表 3.1 に示したデータの様式の通りに SVX4 から信号が出力されている。	65
5.7	128 チャンネルすべての ADC 値を読み出したときの ADC 分布。48 チャンネル目の ADC 分布を示すヒストグラム (左図) と、128 チャンネルすべての ADC 分布を示す 2 次元ヒストグラム (右図)。	66
5.8	Ramp Pedestal の値を変更したことによるペDESTAL の値の変化。RampPed の値が増えるにつれて線形にペDESTAL の値が下がる。	68
5.9	ランプ電圧の上昇率を変化させたときのペDESTAL の値の変化。左図から右図に行くにつれ、ランプ電圧の上昇率が減少していく。	69
5.10	テスト電荷を入射するための回路。AVDD (内部電源) から電荷を入射する方法と、VCAL パッド (外部電源) から電荷を入射する方法がある。	69
5.11	内部電源を用いてテスト電荷を入射したときの全チャンネルの ADC 分布と、各チャンネルの RMS。	70
5.12	Data sparsification によるデータ量の削減。ADC 値の閾値を 120 に設定したときの全チャンネルの ADC 値の平均値を右下に示す。	71
5.13	各チャンネルの入射電荷の電荷量と ADC 値の相関	73
5.14	内部電源を用いた各チャンネルへのテスト電荷の入射における各チャンネルの ADC 値の RMS の平均を示すヒストグラム	74
5.15	SEABAS - テレスコープ検出器接続用 DAUGHTER BOARD	76
5.16	SVX4 BOARD V2	77
5.17	SVX4 BOARD V2 と DAUGHTER BOARD に搭載したドライバ / レシーバ。破線で囲った部分が一つの IC に相当する。(a), (b), (c), (d) のそれぞれを一つの単位として基板上に搭載している。	78

5.18	DAUGHTER BOARD を用いて SEABAS と SVX4 BOARD V2 を接続することで構築したシステムの全体像	79
5.19	SVX4 に入力した制御信号を示す波形	81
5.20	SVX4 から出力された信号と、SEABAS に入力される信号の波形の比較	82
5.21	2 つの SVX4 の任意のチャンネルに内部電源を用いてテスト電荷を 入射し、全チャンネルの ADC 値を読み出して得られた 2 次元ヒスト グラム。	83
6.1	(a): SVX4 にテスト信号を入力するために、入力信号用パッドにワイ ヤーボンディングしているチャンネルのノイズが増える。(b): SVX4 BOARD V1 は SVX4 の裏面で AGND を取るような設計になっておら ず、基板に銅テープを張り、その上に銀ペーストで SVX4 を接着して いる。	86

表 目 次

2.1	使用するシリコンストリップセンサーの仕様	25
3.1	SVX4 から読み出されるデータの様式	34
3.2	SVX4 に繋がる信号線：DØ MODE では BUS のすべての信号線を双 方向の信号線として扱う。	38
3.3	各モードへの切り替え (DØ MODE)	38
5.1	SVX4 BOARD V1 に流れる電流の値	62
A.1	Configuration parameter 1	90
A.2	Configuration parameter 2	91
A.3	Configuration parameter 3	92

第1章 序論

1.1 LHC

Large Hadron Collider (LHC) は、欧州原子核研究機構 (CERN) にある陽子・陽子衝突型の円形加速器である (図 1.1)。LHC 実験の最大の特徴は、最高でビームエネルギー 7 TeV の陽子同士 (重心系エネルギー 14 TeV) を衝突させることができる史上最高エネルギーの素粒子実験であることである。LHC は 2009 年から稼働を始め、現在は重心系エネルギー 8 TeV で陽子同士を衝突させている。2013 年からおよそ 1 年半、加速器の調整のため実験を中断した後、重心系エネルギーを 13 TeV 程度まで上げて実験を再開する予定である。

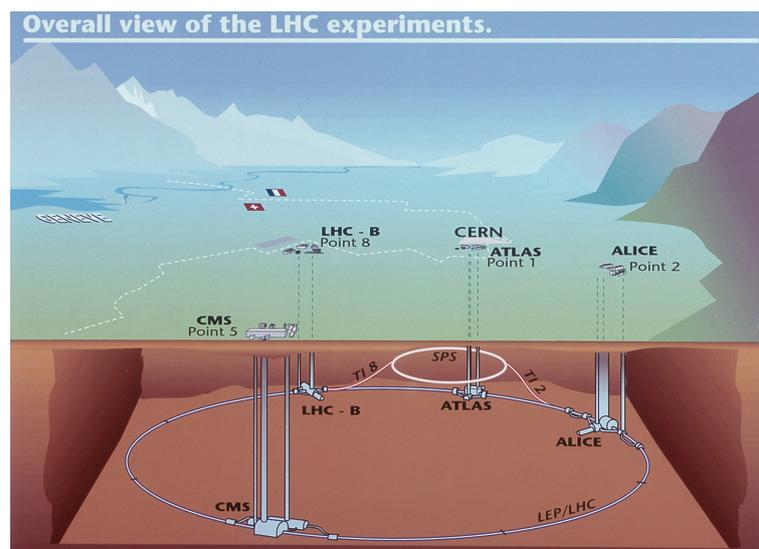


図 1.1: LHC

史上最高のエネルギーまで加速した陽子同士を衝突させることにより、今まで観測することができなかった物理現象を観測することを目的としている。最も注目されているのは、まだ存在が確認されていないヒッグス粒子についての研究である。ヒッグス機構は、ゲージ不変性を保ちつつゲージボソンが質量をもつことを説明する理論であり、ヒッグス場というスカラー場の導入によってゲージボソンやフェルミオン

が質量を獲得したことを説明するものである。LHC ではヒッグス粒子の発見を目指しており、ヒッグス粒子が発見できれば、次にヒッグス粒子の質量や、ゲージボソンおよびフェルミオンとの結合定数を求め、標準理論で説明されるヒッグス粒子の性質と一致するかを調べる。

ヒッグス粒子はその存在が標準理論で予言されているが、ヒッグス粒子の質量は輻射補正によって $O(10^{26}) \text{ GeV}^2$ 程度の補正を受けていると考えられる (fine tuning 問題)。これを説明する有力な理論が超対称性理論 (SUSY) である。超対称性理論によると、標準理論で扱う粒子のスーパーパートナーとなる超対称粒子が存在するはずであり、それを LHC によって発見することを目指す。

また、史上最高エネルギーでの衝突実験では、ブラックホール生成や余剰次元など、SUSY 以外の標準理論を越えた物理現象の探索も行っている。

1.2 ATLAS 実験

A Toroidal Lhc ApparatuS (ATLAS) 検出器 [1] は、LHC の衝突点の 1 つに置かれた大型汎用粒子検出器であり、これを用いて前節で述べた物理現象の観測を目指す実験が ATLAS 実験である。ATLAS 検出器は内部飛跡検出器、ソレノイド磁石、カロリメータ、ミュオン検出器、トロイド磁石で構成している。ATLAS 検出器の構造を図 1.2 に示す。

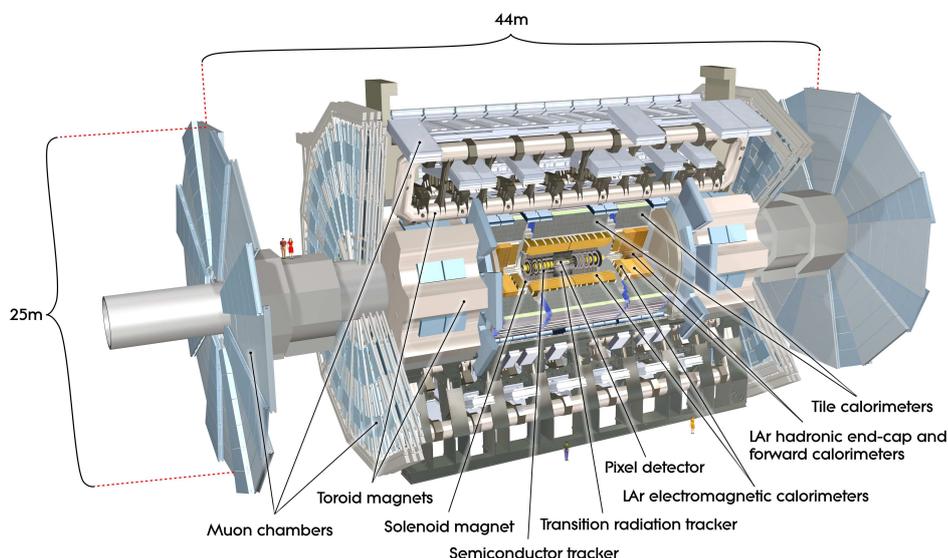


図 1.2: ATLAS 検出器

内部飛跡検出器では主に陽子衝突点付近における荷電粒子の飛跡を測定する。内部飛跡検出器の外側にはソレノイド磁石を設置しており、荷電粒子の飛跡の曲率から粒子の運動量を測定する。また、複数の荷電粒子の飛跡を再構成することで陽子・陽子の衝突点や粒子の崩壊点を測定することができる。

内部飛跡検出器とソレノイド磁石の外側には2種類のカロリメータを設置している。ソレノイド磁石の外側に位置する電磁カロリメータでは、電子と光子がカロリメータで作る電磁シャワーを捉えることで、入射粒子が落としたエネルギーと入射位置を測定している。電磁カロリメータの外側のハドロンカロリメータでは、ハドロンジェットの情報を測定している。

カロリメータの外側にはミューオン検出器を設置しており、これによって、寿命が長く物質の透過力も高いミューオンを検出する。また、カロリメータの外側には約4 Tの磁場を発生させることができるトロイド磁石を設置している。これによって、ミューオンの運動量の精密測定が可能である。

高エネルギーのハドロンコライダーは、バンチ衝突ごとに多数の陽子衝突が起こることが特徴である。LHC 実験では、ピークルミノシティが設計値の $10^{34}\text{cm}^{-2}\text{s}^{-1}$ のとき、1回のバンチ衝突で30個程度の陽子衝突が生じる。このため、各々の衝突で多量の粒子が生成される環境の中でそれぞれの粒子の飛跡を測定し、粒子が生成された衝突点の位置を精度よく測定することがATLAS 実験の重要課題の一つとなる。この役割を担う内部飛跡検出器について説明する。

1.2.1 内部飛跡検出器

内部飛跡検出器は、最内部のシリコンピクセル検出器 (Pixel)、その外側のシリコンストリップ検出器 (SCT)、最外部のストローチューブ検出器 (TRT) からなっており、それぞれが荷電粒子の入射位置を測定する。内部飛跡検出器の構造を図 1.3 に示す。

荷電粒子の運動量を精度よく測定するためには、内部飛跡検出器の位置分解能が高いことが要求される。また、検出器1チャンネルあたりの粒子のヒット数 (Hit Occupancy) が多いと荷電粒子の飛跡の再構成が難しくなるので、チャンネルを細分化して Hit Occupancy を減らす必要がある。

内部飛跡検出器を構成する3つの検出器について説明する。

Pixel

Pixel とは、内部飛跡検出器の最内部にあるシリコンピクセル検出器である。ビームの衝突点付近は特に生成粒子の数密度が大きいため、検出器をピクセル化して Hit

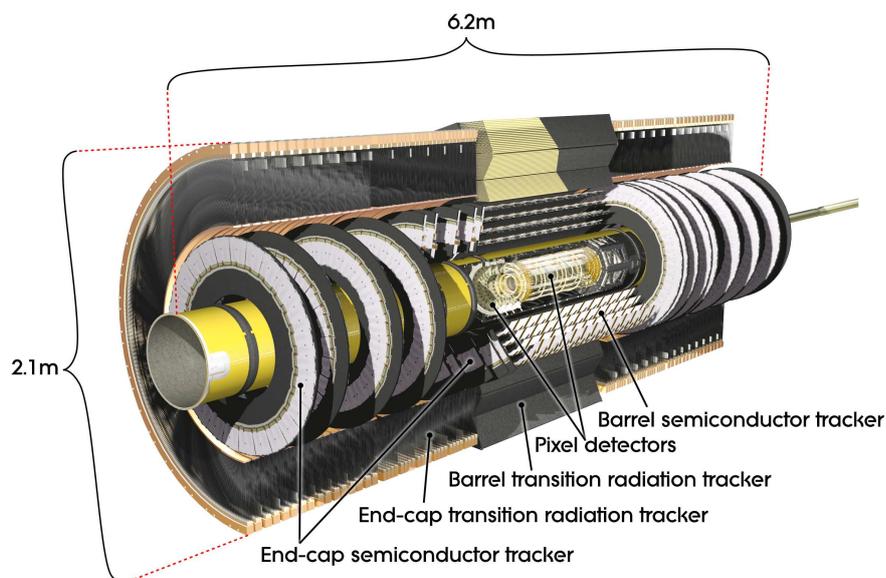


図 1.3: 内部飛跡検出器

Occupancy を減らし、位置分解能を高くしている。現行の ATLAS 検出器に設置されている Pixel のピクセルサイズは $400 \times 50 \mu\text{m}$ (ビーム軸方向 \times ビーム軸垂直方向) で、ATLAS 検出器を構成する検出器の中で最も位置分解能が良い。

SCT

SCT はストリップ間隔が $80 \mu\text{m}$ 、ストリップ長が 128 mm (バレル部) のシリコンストリップ検出器で、Pixel の外側に配置されている。図 1.4 に示した SCT モジュールは内部飛跡検出器のバレル部に設置されているものであり、 $80 \mu\text{m}$ 間隔のストリップが 768 本張られたシリコンストリップセンサーを 2 枚重ねて搭載している。2 枚のセンサーは、互いのストリップ間の角度を 40 mrad つけて重ねてあり、これによって 1 つのモジュールで 2 次元の入射粒子の位置情報を取得できる。

TRT

TRT は半径 4 mm のストローチューブで構成した検出器である。遷移輻射を引き起こす物質がストローチューブ内に挿入されており、それによって電子とパイ中間子のスペクトル解析を行って粒子識別をしている。Pixel や SCT と比べて Hit Occupancy、位置分解能ともに劣るが、2 つの検出器よりも比較的容易に広域をカバーできるため用いられている。

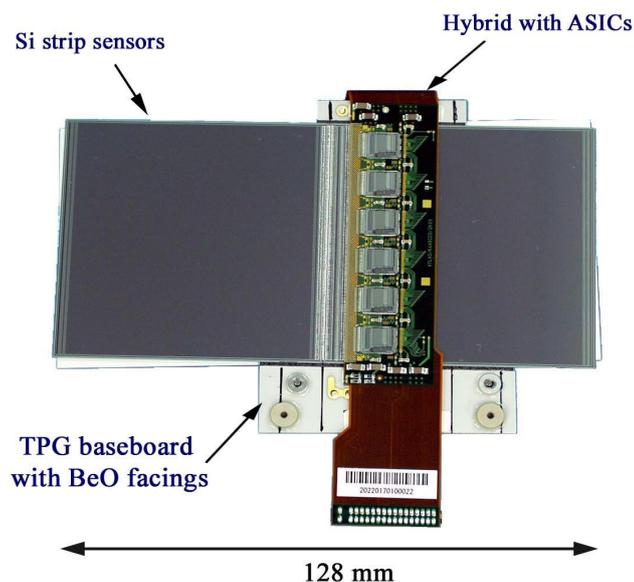


図 1.4: SCT モジュール

1.3 LHC アップグレード

1.3.1 HL-LHC

現在稼働している LHC は、放射線損傷によって 2020 年前半で寿命を迎える。2023 年からの再運転に向けて、ピーク luminositiy を $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 程度まで上げた High Luminosity Large Hadron Collider (HL-LHC) へのアップグレードを計画している。

ルミノシティを高くすることで陽子同士の衝突回数が増えるため、従来の LHC での実験に比べて統計量が増大する。HL-LHC では、積分ルミノシティ 3000 fb^{-1} に到達することを目標としている。これにより、Higgs 粒子の稀崩壊などの観測や、Higgs 粒子の自己結合定数を測定できる可能性がある。また、SUSY などの物理探索において、探索範囲を拡げることができる。

1.3.2 内部飛跡検出器のアップグレード

HL-LHC へのアップグレードに向けて、ATLAS 検出器も高ルミノシティでの環境下で物理データを収集できるような検出器へアップグレードすることを計画している。

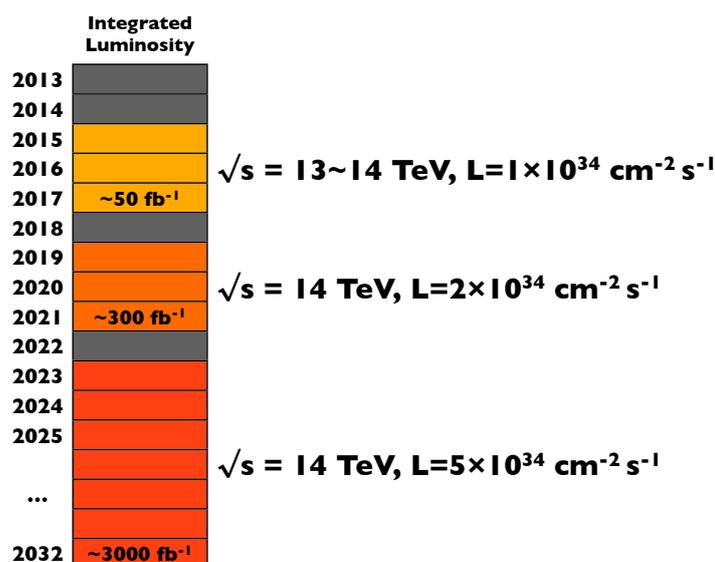


図 1.5: LHC アップグレード計画

HL-LHC へ移行することにより、バンチ衝突あたりの陽子衝突点が 100 個以上に増加する。これに伴い、内部飛跡検出器を構成するセンサーの 1 チャンネルあたりの Hit Occupancy が増加し、荷電粒子の検出効率が減少、あるいは飛跡の再構成を間違える事象が増えてしまう。

さらに、2020 年までデータ収集を行うと、シリコン検出器が放射線損傷によって性能を失うと考えられているため、Hit Occupancy が低く、放射線耐性の高い内部飛跡検出器へのアップグレードを行う予定である。その際、Hit Occupancy の大きい TRT を内部飛跡検出器から撤廃し、Pixel と SCT の 2 種類のシリコン検出器で内部飛跡検出器を構成する。そこで、HL-LHC へのアップグレードに向けて新たなシリコン検出器の開発が行われている。

Pixel のアップグレード

現在 ATLAS 検出器に設置しているシリコンピクセル検出器のピクセルサイズは $400 \times 50 \mu\text{m}$ であるが、それを $250 \times 50 \mu\text{m}$ に変更し Pixel センサーの単位面積あたりのチャンネル数を増やすことで、センサーの Hit Occupancy を小さくする。現在 ATLAS 検出器で使用している Pixel は n バルクに n⁺ 型半導体を埋め込むタイプのセンサー (n-in-n センサー) を使用している。HL-LHC 用の Pixel のセンサーのタイプは現在未定であるが、候補の一つに p バルクに n⁺ 型半導体を埋め込む n-in-p センサーがあり、現在開発を進めている。

SCTのアップグレード

SCTのHit Occupancyを小さくするために、シリコンストリップセンサーのストリップ長を短くした検出器を開発する。ATLAS検出器に設置されている現行のSCTでは、バレル部に設置したモジュールのストリップ長は128 mmであるが、HL-LHCの内部飛跡検出器のバレル部では、6層のバレルで構成されるSCTモジュールのうち内側の4層を24 mmのストリップ長に、外側の2層を48 mmのストリップ長にする予定である。また、ストリップ間隔も現行の80 μm から74.5 μm に変更する。

それに加えて、放射線耐性を高くする目的でシリコンセンサーのタイプをp-in-nセンサーからn-in-pセンサーに変更する準備が進められている。

1.3.3 HL-LHC用シリコン検出器の試験

HL-LHCに向けたシリコン検出器の開発にあたり、試験品の動作確認や性能試験が不可欠である。試験には、検出器に実際に粒子を入射して性能を確認する必要があるため、ビームや宇宙線、放射線源を用いる。

粒子を入射することで確認したいHL-LHC用シリコン検出器の性能は

- シリコンセンサーの位置分解能
- ピクセル、ストリップの有感領域の評価（シリコンセンサーの検出効率）
- シリコンセンサーの放射線耐性

などである。

これらの性能を評価するためには、試験するシリコンセンサーへの粒子の入射位置を正確に測定する必要がある。そのための、入射粒子の位置を特定するための検出器をテレスコープ検出器と呼ぶことにする。

1.4 テレスコープ検出器に求める性能

上記のHL-LHC用シリコン検出器開発にあたって、シリコンセンサーに荷電粒子を入射してシリコン検出器の挙動を試験する必要がある。特に、シリコンピクセルセンサーのピクセル内の有感領域、もしくはシリコンストリップセンサーのストリップ間の有感領域を調べるには、荷電粒子の入射位置を高精度で測定する必要があるため、入射粒子の位置を検出するテレスコープ検出器には数 μm 程度の位置分解能が要求される。

また、検出効率を測定するには、小さい領域に対して一定の統計量が必要となる。今、簡単なビーム試験を行うことを考える。ビームの大きさがおよそ10 mm \times 10

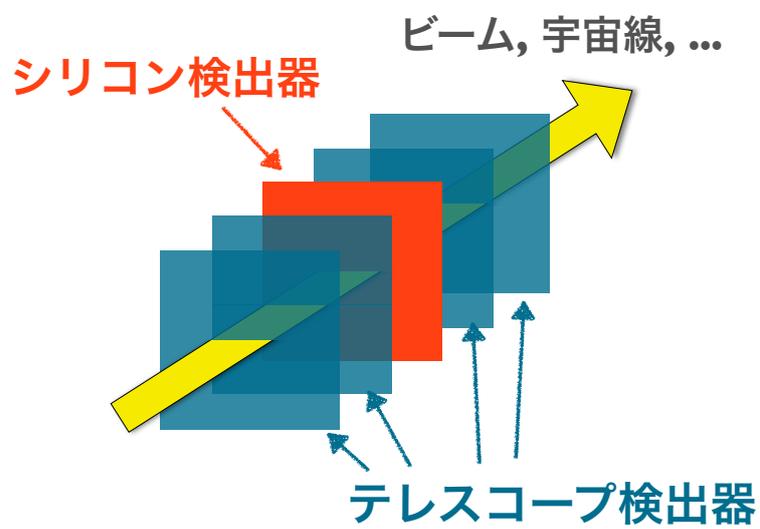


図 1.6: HL-LHC 用シリコン検出器の試験。試験するシリコン検出器への粒子の入射位置を精度よく測るためには位置分解能の高い飛跡検出器が必要である。

mm で、その領域に一様に荷電粒子を検出器に入射するとする。試験においてシリコン検出器の $10\ \mu\text{m} \times 10\ \mu\text{m}$ の領域に 10^4 個の粒子を入射させる必要があると仮定すると、ビームの大きさから合計 10^{10} 個の粒子の入射が必要となり、これを数日で収集するには 10 kHz 以上のトリガーレートで測定を行わなければならない。よって、微細化された HL-LHC 用シリコン検出器の試験で、ある程度の統計量を得るには高いトリガーレートに対応できるテレスコープ検出器を使用することが望ましい。

さらに、放射線損傷による性能の劣化を軽減する目的で、シリコンセンサーを低温にして試験を行う必要があるため、テレスコープ検出器の読み出しシステムも低温で動作するものでなければならない。

以上の考察から、テレスコープ検出器に求める性能目標を以下とする。

- シリコン検出器と同程度またはそれ以上のパルス応答速度をもつ検出器であること
- $10\ \mu\text{m}$ 以下の位置分解能を持つ検出器であること
- 10 kHz 以上のトリガーレートに対応できること
- $10\ \text{mm} \times 10\ \text{mm}$ 程度（ビームの大きさ程度）の有感領域を持った検出器であること
- $-40\ ^\circ\text{C}$ 程度で試験を行うため、その程度の温度環境でも動作する検出器であること
- あらゆるビーム試験場で試験ができるよう、コンパクトで持ち運びが容易かつネットワークによるデータ通信が可能な DAQ システムであること

1.5 テレスコープ検出器のシステム概要

試験をするシリコンセンサーはパルスの応答が非常に速く（ $\sim 10\ \text{ns}$ 程度）、不感時間が少ないため、高レートでのデータ収集が可能である。このため、テレスコープ検出器にも同程度の応答を要求し、センサーとしてはシリコンを選んだ。さらに、粒子の入射位置を $10\ \mu\text{m}$ 以下の精度で測定するために、電荷読み出しタイプのシリコンストリップ検出器を開発することにした。

シリコンストリップ検出器を開発するには、シリコンストリップ用のセンサーと、センサーからの電気信号を処理する読み出しシステムが必要である。本研究では、電気信号の処理のために SVX4 という Application Specific Integrated Circuit (ASIC) を用いることにした。本研究に用いるシリコンストリップセンサーと SVX4 のそれぞれの詳細な説明は第 2 章、3 章で行う。

開発するテレスコープ検出器の概略を図 1.7 に示す。使用するシリコンストリップセンサーは 1 次元の位置情報しか取得できないため、ストリップが垂直になるように 2 枚のセンサーを設置して入射位置の 2 次元情報を取得する。センサーからの信号を読み出すためには SVX4 を含めた電気回路が必要であるため、2 枚のセンサーはプリント基板上に設置する。この際、センサーの有感領域に基板が重なると、荷電粒子がセンサーを通過した際に基板も通過することになり、多重散乱の影響で位置分解能が悪くなる。そこで、センサーの有感領域に基板が重ならないよう基板に穴をあけることで多重散乱による位置分解能の劣化を防ぐことにした。

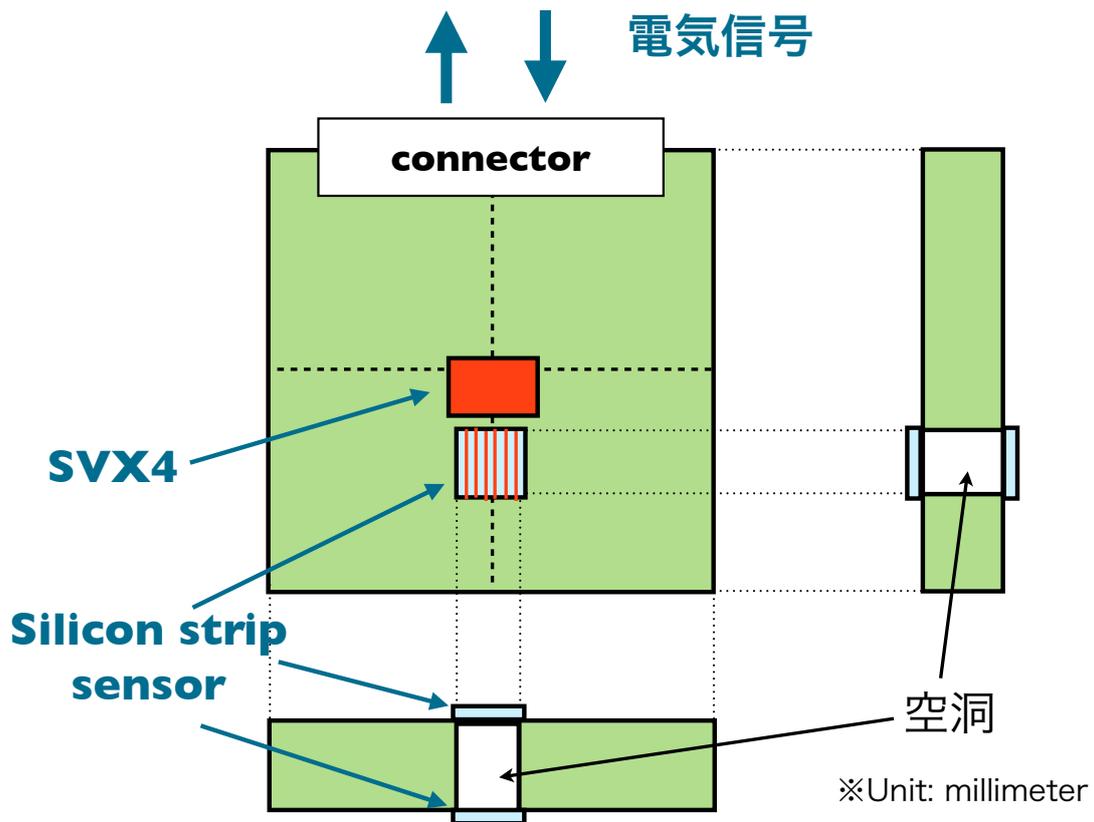


図 1.7: テレスコープ検出器の形状。シリコンストリップセンサーを 90° 回転して基板の表裏に設置することで荷電粒子の入射位置の 2 次元情報を取得する。

テレスコープ検出器の信号処理システムの全体像を図 1.8 に示す。センサーからの電気信号は SVX4 で処理され、デジタル化される。そのデジタル化されたデータを PC に転送するシステムが必要である。また、SVX4 を制御するためには、適切な制御信号を SVX4 に送信する必要がある。よって、SVX4 と PC とのデータ通信を仲介する電気信号処理システムを開発する必要があり、そのシステムについては第 4 章で述べる。

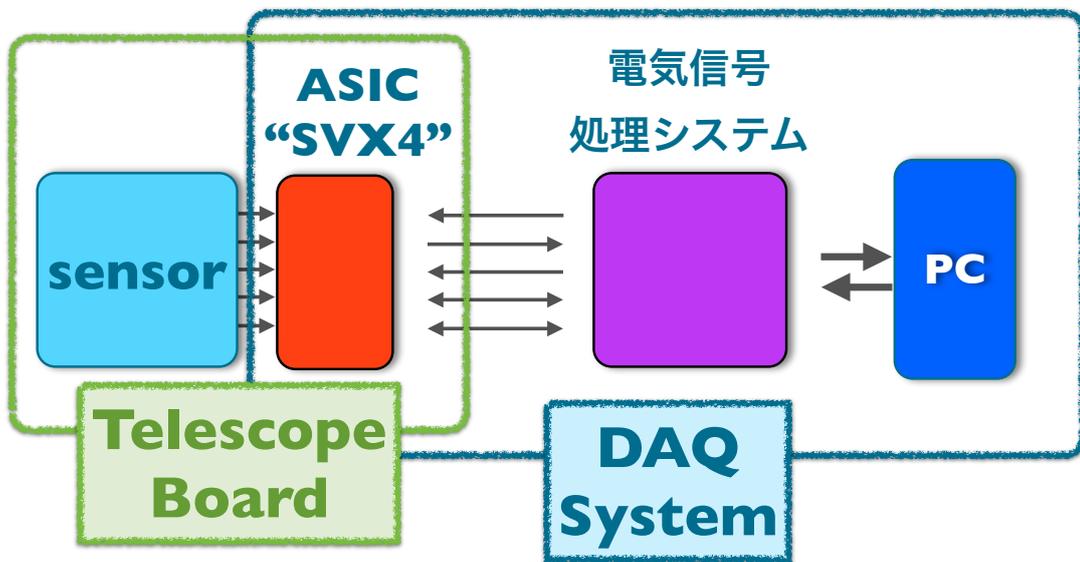


図 1.8: テレスコープ検出器の読み出しシステムを含めた全体像。センサーからの電気信号を処理する ASIC とセンサーを一つの基板上に設置する。ASIC で処理された電荷情報のデータを別の電気回路で処理したあと、PC にデータを転送する。また、ASIC の制御のための処理信号を、PC から信号処理システムを経由して ASIC に送信する。

1.6 本研究の目的

HL-LHC用シリコン検出器の試験のためのテレスコープ検出器を開発する。テレスコープ検出器には、入射信号の時間応答が速く、位置検出に高い精度を出せるシリコンストリップ検出器を使用する。それにあたって、シリコンストリップ検出器の読み出しシステムを構築することが必要である。またシリコンストリップ検出器の電気信号の制御にはSVX4というASICを使用する。SVX4には多数の信号線を用いた複雑な電気信号の制御が必要であるため、それを解決するような読み出しシステムを開発し、そのシステムを用いてシリコンストリップセンサーからの信号を読み出すことを本研究の目的とする。

本論文の構成は以下の通りである。第2章と第3章で本研究で使用するシリコンストリップセンサーと、シリコンストリップ読み出し用ASICであるSVX4についてそれぞれ述べる。第4章で開発したSVX4の読み出しシステムを説明し、第5章でシリコンストリップセンサー読み出しのために開発した、ASICを搭載した基板の説明とそれらを用いた動作試験の結果を述べる。第6章で考察を、第7章で結論を述べる。

第2章 シリコンセンサー

この章では、本研究で開発するテレスコープ検出器に使用する、シリコンストリップセンサーについて説明する。最初にシリコン検出器の一般論を述べたあと、本研究で使用するシリコンストリップ検出器について説明する。

2.1 シリコン検出器

シリコンをはじめとした半導体検出器は、今日の高エネルギー実験において、特に入射位置測定用の検出器として重要な役割を担っている。ATLAS実験では、PixelとSCTがシリコンを用いた飛跡検出器である。

この節では、半導体検出器の1つの例であり、上記のようにATLAS検出器にも用いられているシリコン検出器の動作原理を説明したあと、ATLASの内部飛跡検出器に用いられているシリコンストリップ検出器、シリコンピクセル検出器について説明する。

2.1.1 シリコン検出器の原理

一般に用いられているシリコン検出器は、p型半導体とn型半導体を接合（p-n接合）したダイオード型半導体である。p型半導体、n型半導体とは、それぞれシリコン結晶に3価や5価の元素を不純物として添加したものであり、これによって正孔や自由電子が発生しやすくなる。また、p型半導体中の不純物を特にアクセプターと呼び、n型半導体中の不純物をドナーと呼ぶ。

p型半導体とn型半導体を接合すると（p-n接合）、接合部付近ではp型に存在する正孔とn型に存在する自由電子が結合するため、p型半導体は負に帯電し、n型半導体中は正に帯電する。これによってp型半導体とn型半導体の接合部を横切るような電場が形成される（図2.1）。このように正孔と自由電子が再結合している領域を空乏層という。

シリコン検出器に荷電粒子が入射すると、その入射粒子はシリコンをイオン化（電子正孔対を生成）させることでエネルギーを失う。一对の電子正孔対を形成するために必要なエネルギーは3.6 eVと既知なため、生成された電子あるいは正孔の数（=

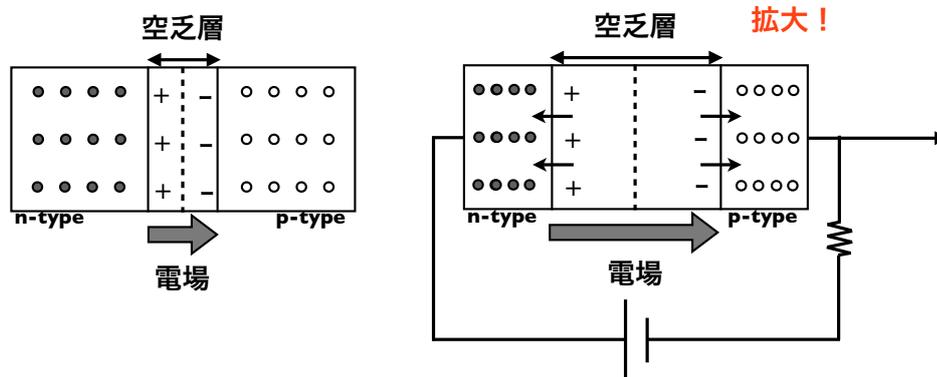


図 2.1: ダイオード型半導体。逆バイアスを印可することにより空乏層が広がる。

電荷量) を測定することで荷電粒子がシリコン内で失ったエネルギーを知ることができる。

p型あるいはn型半導体内を荷電粒子が通過した場合、イオン化によって電子正孔対が形成されても半導体内の正孔あるいは電子とすぐに再結合してしまうため、電荷量の測定ができない。一方、p-n接合部付近の空乏層では自由な電荷が存在しないため、荷電粒子の入射によって形成される電子正孔対は再結合せず、空乏層を横切る電場によって半導体内を移動する。しかし、p-n接合させただけでは空乏層が小さく、電場によって運ばれた電子や正孔が空乏化していない領域に達すると、そこで再結合してしまうため電荷を収集することができない。よって、入射粒子が失ったエネルギーを測定するためには、半導体領域を全て空乏層にする必要がある(全空乏化)。

一般的な半導体検出器は、ダイオードのn側にプラス、p側にマイナスの電圧をかけること(逆バイアス)で空乏層を広げている。半導体領域が全空乏化すると、入射粒子によって生成された電荷が再結合することなくダイオードの電極まで移動するため、そこから電荷を収集することができる。これがシリコンを含めた半導体検出器の原理である。また、全空乏化したときの逆バイアス電圧を全空乏化電圧と呼ぶ。

シリコン検出器は、イオン化するためのエネルギーが小さい上に比較的密度が高いため、荷電粒子の通過距離が短くても多くの電荷を収集できる。このため、シリコン検出器はエネルギー分解能が良い。また、生成された電子正孔対が電極まで移動するのが速いため、信号の応答時間が短い。

2.1.2 シリコンストリップ検出器

前節で説明したシリコン検出器を多数のストリップ状に配置し、どのストリップから信号が得られるかによって粒子の入射位置を測定するのがシリコンストリップ検出器である。シリコンストリップ検出器には様々な形状、タイプのものがあるが、ここでは ATLAS 検出器の SCT として使用されている p-in-n タイプの片面読み出しシリコンストリップ検出器について説明する。

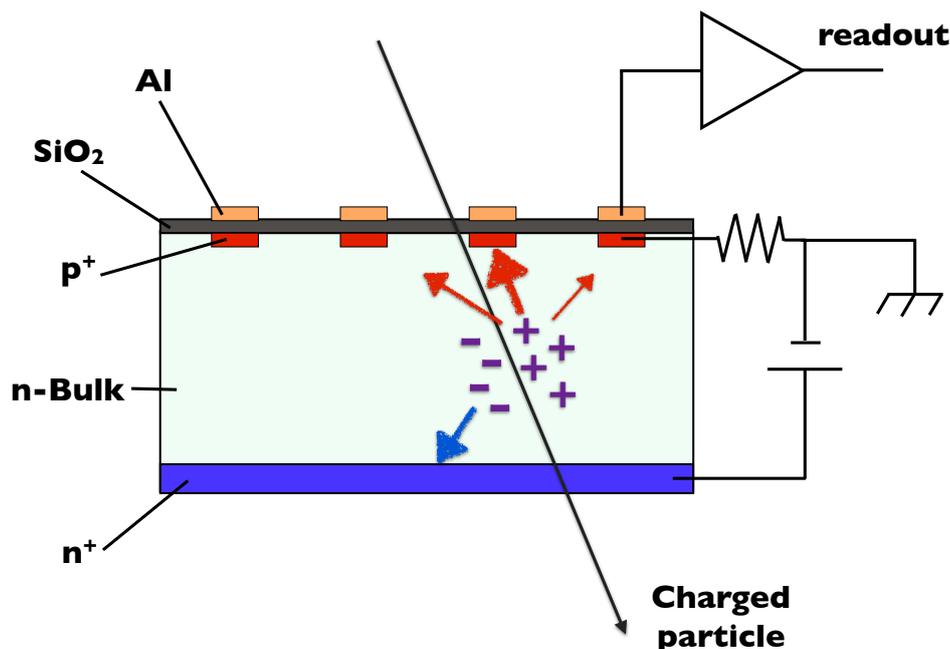


図 2.2: シリコンストリップ検出器。各ストリップが収集した電荷の量を測ることによってどの位置に粒子が入射したかを測定することができる。

SCT として使用されているシリコンストリップ検出器の概略図を図 2.2 に示す。n バルクと呼ばれる n 型半導体の片側に p⁺ 型半導体（アクセプター濃度が大きい p 型半導体）をストリップ状に埋め込み、反対側に n⁺ 型半導体（ドナー濃度が大きい n 型半導体）を埋め込む。このように、n バルクに p⁺ 型ストリップを埋め込んだ構造を p-in-n 構造と呼ぶ。p⁺、n⁺ 間に逆バイアス電圧を印可することによって、p⁺ と n バルクの接合部から n⁺ に向かって空乏化が始まる。空乏化した物質中を荷電粒子が通過することによって、発生した電子と正孔が再結合することなく、それぞれが n⁺、p⁺ に引き寄せられる。p⁺ が埋め込まれているほうの面は絶縁体の SiO₂ で覆われている。その上には電極となる Al ストリップが設置され、p⁺ ストリップと Al ストリップで SiO₂ を挟む形となっている。電極と p⁺ が AC カップリングとなっており、p⁺ に電荷が集まると Al 電極側に電荷が誘起され電気信号となる。p⁺ はストリッ

ブ状に並べられているため、どのストリップから信号が検出されたかによって荷電粒子の入射位置がわかる。

検出器の位置分解能は、信号読み出しのタイプとストリップ間隔によって決まる。信号読み出しのタイプは、主に「各ストリップにヒットがあったかどうか」を読み出す方法（バイナリ読み出し）と、「各ストリップに入った電荷量」を読み出す方法（電荷読み出し）の2種類がある。一般には電荷読み出しのほうが位置分解能がよいが（後述）、読み出すデータ量が多いので読み出しに時間がかかる。ATLAS 検出器に設置されている SCT は、「バイナリ読み出し」を採用している。

2.1.3 シリコンピクセル検出器

シリコンピクセル検出器もシリコンストリップ検出器同様、検出器を多チャンネルに細分化して位置情報を測定する検出器である。シリコンピクセル検出器は、電極をストリップ状ではなく、格子状にして2次元の入射位置情報を取得する。

ATLAS 検出器の内部飛跡検出器に使用されているシリコンピクセル検出器のモジュールを図 2.3 に示す。図のように、格子状のセンサーからの電気信号は、センサーの裏に信号読み出しのための電気回路を接続することによって読み出している。シリコンピクセル検出器は、センサーと電気回路を一体化させるために高度な技術が必要であり、かつ高価なので、予算の問題で大きな領域を占めることはできないが、入射粒子の数密度が大きい領域でも入射位置の検出ができるのが特徴である。

2.2 シリコンストリップセンサー

テレスコープ検出器に使用するシリコンストリップセンサーの性能を表 2.1 に示す。

本研究で使用するシリコンストリップセンサーは、第 2.1.1 章で述べたような n バルクセンサーに p^+ ストリップを埋め込んだ p -in- n タイプのものである。全空乏化したときの空乏層の厚さは $300\ \mu\text{m}$ で、MIP に相当する荷電粒子が空乏層を通過したときの粒子のエネルギー損失はおよそ $116\ \text{keV}$ である。このうち、およそ $80\ \text{keV}$ が電子正孔対の生成に使われ、残りのエネルギーが格子の励起に使われる。シリコンが一つの電子正孔対を作るために必要なエネルギーが $3.6\ \text{eV}$ であるため、およそ $22,000$ の電子正孔対が形成され、それぞれが空乏層内の電場によって電極へ運ばれる。これを電荷量に換算すると $1\ \text{MIP}$ あたりおよそ $3.5\ \text{fC}$ となる。

本研究では、シリコンセンサーを全空乏化するために、センサーの n^+ 側に約 $100\ \text{V}$ の HV をかけ、 p^+ ストリップを GND にする（図 2.5）。 p^+ ストリップと Al ストリップが形成する AC カップリングのコンデンサ (C_{coupling}) の耐電圧がおよそ $100\ \text{V}$ であるため、 p^+ を GND にすることで、このコンデンサに過電圧がかかることを防いでいる。空乏層には n 側から p 側に向かって正の電場ができているため、 p^+ ス

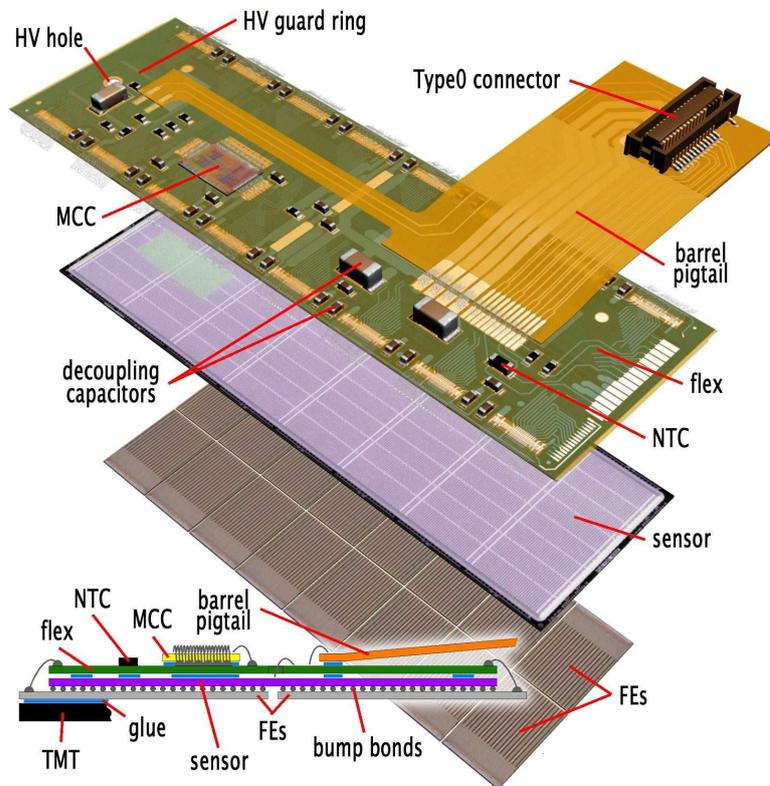


図 2.3: 内部飛跡検出器の Pixel モジュール。電気回路とシリコンセンサーを重ねて一体化することで信号読み出しを実現している。

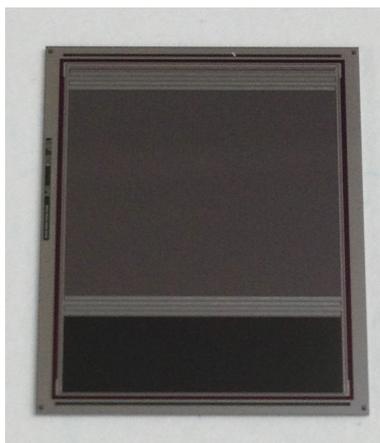


図 2.4: テレスコプ検出器に用いるシリコンストリップセンサー

表 2.1: 使用するシリコンストリップセンサーの仕様

ストリップ間隔	50 μm
ストリップの長さ	15.4 mm
ストリップ幅	10 μm
ストリップの負荷静電容量	約 1.5 pF
バイアス抵抗	200 M Ω
有感領域の面積	13 mm \times 15.4 mm
センサーの厚さ	300 μm
センサーのタイプ	p-in-n センサー
全空乏化電圧	約 80 V
読み出し方向	片面 (1つのセンサーにつき 1次元の位置情報)
読み出しタイプ	AC 読み出し

トリップには正の電荷が集まる。よって、このセンサーからは正の極性の信号を読み出すこととなる。

2.3 位置分解能

本研究では、シリコンセンサーの各ストリップに入った電荷量を読み出すことで荷電粒子の入射位置を測定する検出器を開発する。この検出器の位置分解能がどの程度であるかを説明する。

図 2.6 のように、2本のシリコンストリップの間を荷電粒子が通過した場合について考える。ストリップ間隔を d 、粒子が通過した位置を左側のストリップを基準に x とする。また、粒子が通過した際に各ストリップに入った電荷を左から順にそれぞれ Q_L 、 Q_R とする。粒子が通過した位置は、ストリップに入った電荷の値の重心をとることで特定できる (電荷分割法)。この場合、入射位置 x は、

$$x = \frac{Q_R}{Q_L + Q_R} d \quad (2.1)$$

と表すことができる。

ここで、MIP によって得られる電荷量 S が一定であると考えたと、

$$S = Q_L + Q_R \quad (2.2)$$

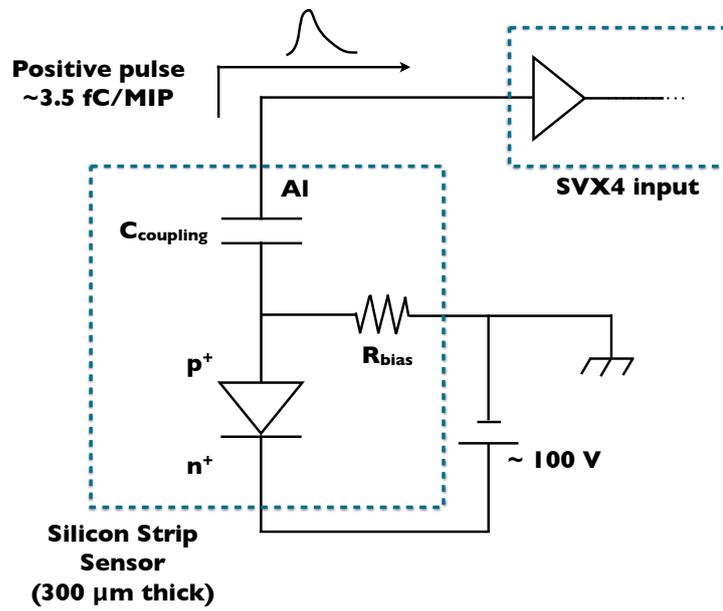


図 2.5: センサーまわりの等価回路図

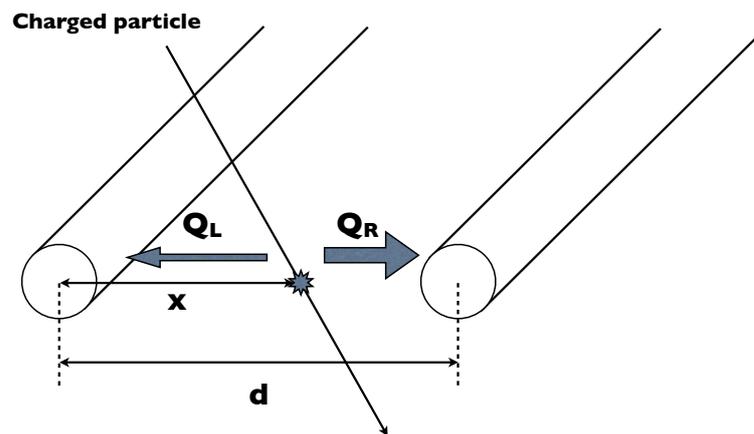


図 2.6: 電荷分割法による位置分解能の評価

となるため、 x は Q_R のみの関数で表すことができる。これを用いて位置分解能 δx を表すと、 δx は

$$\delta x = \sqrt{\left(\frac{\partial x}{\partial Q_R}\right)^2 \cdot \delta Q_R^2} = \frac{\partial x}{\partial Q_R} \cdot \delta Q_R \quad (2.3)$$

となる。また、 δQ_R を電気回路やセンサーからのノイズと考え、この量を N とすると

$$\delta x = \frac{N}{S} d \quad (2.4)$$

となる。

本研究で用いるシリコンストリップセンサーは $d = 50 \mu\text{m}$ と既知なため、位置分解能はシグナル・ノイズ比に依存する。シグナル（信号の大きさ）はシリコンセンサー（空乏層）の厚さによって決まるが、ノイズの大きさはSVX4によって決まるため、位置分解能を評価するにはこれらの評価が必要となる。

第3章 信号読み出し ASIC: SVX4

テレスコープに用いるシリコンセンサーが生成する電気信号を読み出すための ASIC である SVX4 について説明する。

3.1 概要

SVX4 は、Fermilab と LBL が共同で開発したシリコンストリップセンサーからの信号読み出し用 ASIC である [2, 3]。全 128 チャンネルのそれぞれに ADC が搭載されているため、1 ストリップごとに電荷情報を取得することができる。

SVX4 の各チャンネルは、図 3.1 に示すようにそれぞれ独立に Preamp, Pipeline, ADC を持っている。また、各チャンネルは、Front-end と Back-end の二つのパートに分けることができる (図 3.2)。

Front-end では、センサーから各チャンネルに送られてくる信号を Preamp で増幅し、増幅された電荷をアナログの Pipeline に蓄積する。Pipeline には 47 個のコンデンサが並列に並んでおり、そのうちの 1 つはペDESTAL に相当する電荷を蓄積し、残りの 46 個のコンデンサが信号に相当する電荷情報を蓄積する役割を担う。Pipeline は、Front-end clock (FECLK) と呼ばれる外部からのクロック信号に同期して動作する。SVX4 は外部からトリガー信号を受け取ると、Pipeline に入っている信号の電荷からペDESTAL 電荷を差し引いた分の電荷を ADC に送り出す (Double Correlated Sampling)。

Back-end では、Pipeline から送られてくる電荷を Wilkinson ADC によって 8 bit のデジタル値に変換する。全チャンネルからそのデジタル値をそのまま読み出すほか、各チャンネルのデジタル情報に対してあらかじめ閾値を設定しておくことで読み出すデータを減らすこともできる (Data sparsification/Zero suppression)。ADC によってデジタル化されたデータは、チャンネル順に FIFO に蓄積され、SVX4 に搭載されたドライバを通じて外部へ送られる。

また、SVX4 は ADC の閾値などの設定値を書き込むための 192 bit の register が用意してある。ここに値を入力することで、SVX4 の挙動を設定できる (Configuration)。SVX4 でデータを収集する前にあらかじめ Configuration をしておく必要がある。

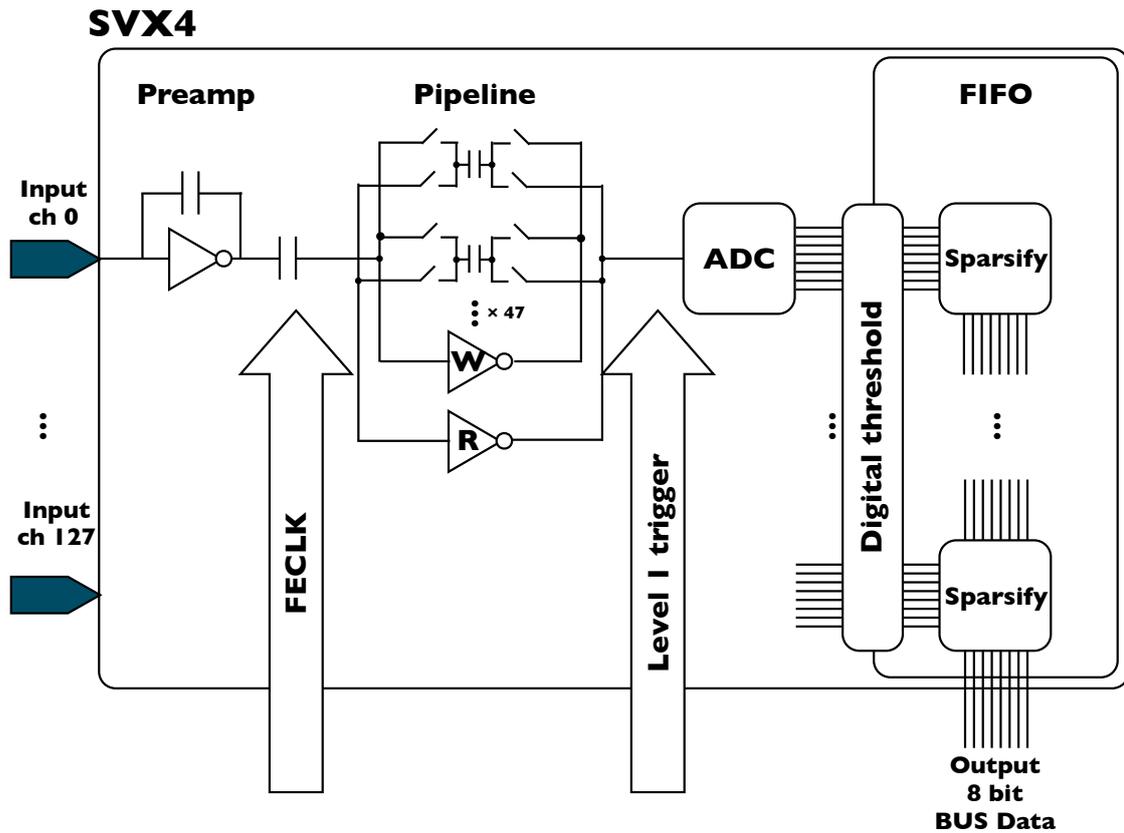


図 3.1: SVX4 の各読み出しチャンネルの回路図の概略

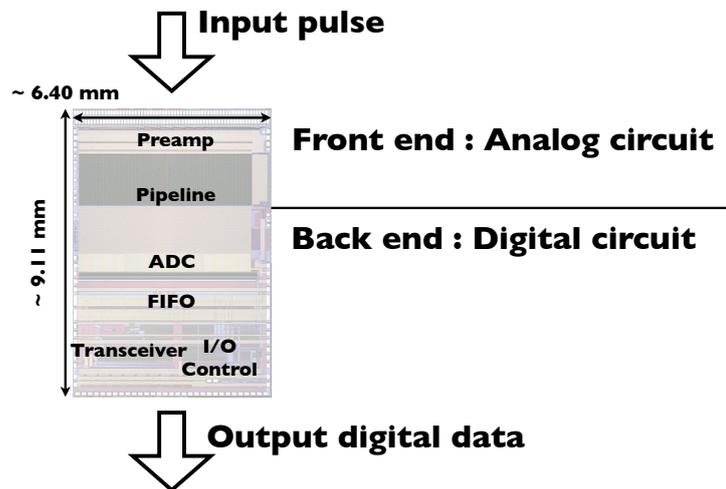


図 3.2: SVX4 のチップの構造：シリコンセンサーからくる電荷を増幅、蓄積する Front-end と、その電荷情報をデジタル化し、出力する Back-end の 2 つに分かれる

3.1.1 Front-end

SVX4のFront-endは、主にPreampとPipelineで構成される。

Preamp

Preampの回路図を図3.3に示す。Preampの増幅率は、PreampのFeedback Capacitorとセンサーのストリップ間の静電容量の比で決まる。PreampのFeedback Capacitorの値は220 fF、本研究で使用するセンサーの負荷静電容量 (C_{load}) はおよそ1 pFなので、このPreampの増幅率はおよそ $\times 5$ である。

Preampのダイナミックレンジは200 fC (本研究で使用するシリコンセンサーで換算するとおよそ57 MIP分) であるため、Preampが飽和する前に、蓄えられた電荷を解放する必要がある (Preamp Reset)。Preamp Resetには200ns程度の時間が必要で、その間はデータ収集ができない。

Preampには、シリコンセンサーからの信号以外にも、テスト電荷を入射することができる。テスト電荷はPreampの上流にあるコンデンサ (C_t) を通して入射する。 C_t の静電容量は25 fFである。テスト電荷の入射については第5章で詳しく述べる。

Preampの立ち上がり時間は可変であり、Configurationによってその値を設定することができる。立ち上がり時間はセンサーの負荷静電容量によって異なる。

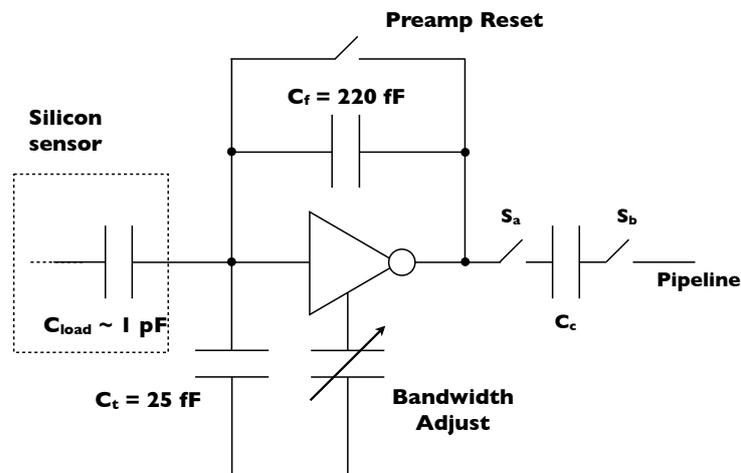


図 3.3: Preamp 周辺の回路の概略図。FECLK の立ち上がりごとに、Preamp からの出力を pipeline に送る

Pipeline

Preampからの出力電荷は、FECLKの立ち上がりごとに、Pipelineを構成する46個のコンデンサに順次蓄積される。Pipelineに電荷を送る前には、個々のコンデンサに元々入っていた電荷を解放する必要がある (Pipeline Reset)。Pipeline Resetには20 nsの時間を要する (3.3.2章)。また、Pipelineのダイナミックレンジは40 fC (~10 MIP)である。

SVX4は、Level one Accept (L1A) と呼ばれる信号を受け取ると、Pipelineに蓄積した電荷をBack-endのADCに送る。L1Aを送ったときにPipelineのどのコンデンサの電荷をADCに送るかは、Configurationによってあらかじめ決めておく。Pipelineを構成するコンデンサはチャンネルごとに46個あるが、実際に電荷保持に使うのは42クロック分である。Pipelineのコンデンサを切り替えるFECLKの周波数は通常7.6 MHz (132 nsの周期) であるため、およそ5.5 μm までのL1Aの遅延に対応できる。

Pipelineには、信号の出力電荷を蓄積するの46個のコンデンサ以外に、ペDESTALの信号レベルを決めるためのコンデンサが1つ用意されている。ペDESTAL用のコンデンサには、L1Aが送られてくる前にあらかじめ制御信号を送ることによって電荷を入れておく。L1Aを受けとって、信号の出力電荷をADCに送る際には、Pipeline読み出し用のコンデンサを介して信号とペDESTALの差に相当する電荷がADCに送られる。これにより、FECLKよりも周期の大きい電気回路のノイズを打ち消すことができる。これをDouble Correlated Samplingという。

3.1.2 Back-end

Back-endは、ADCやFIFO、出力用ドライバなどで構成される。

Wilkinson ADC

Wilkinson ADCは、主にランプ電圧と呼ばれる電圧、グレイコードカウンターとよばれるカウンター、Comparatorによって動作する。ランプ電圧は、制御信号を入力すると図3.5のように時間に対して線形に上昇を開始する。任意のある時点から、ランプ電圧がPipelineからの出力電圧を超えるまでの時間を計ることでPipeline出力 (=SVX4への入力信号) の電荷情報を求めることができる。その時間を測るために、8 bitのグレイコードカウンターとComparatorを使う。グレイコードは一般的な2進数表記ではなく、隣接値への変化の際に1ビットの変更のみで表現できる数値表記である。ランプ電圧が上昇を始めて一定時間 (= Δt) 経つと、グレイコードカウンターが動き始める。ランプ電圧が入力信号を超えたかどうかをComparatorが判

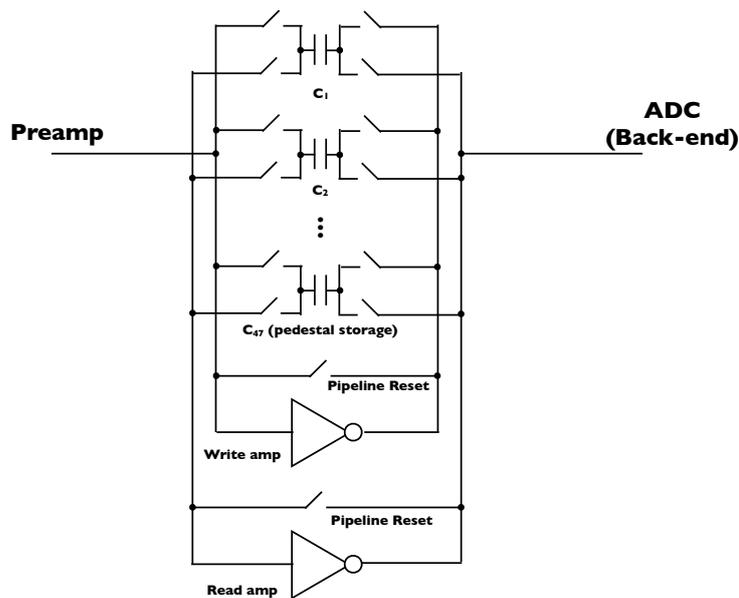


図 3.4: Pipeline は 46 個の信号電荷用コンデンサと 1 個のペDESTAL電荷用コンデンサからなる。

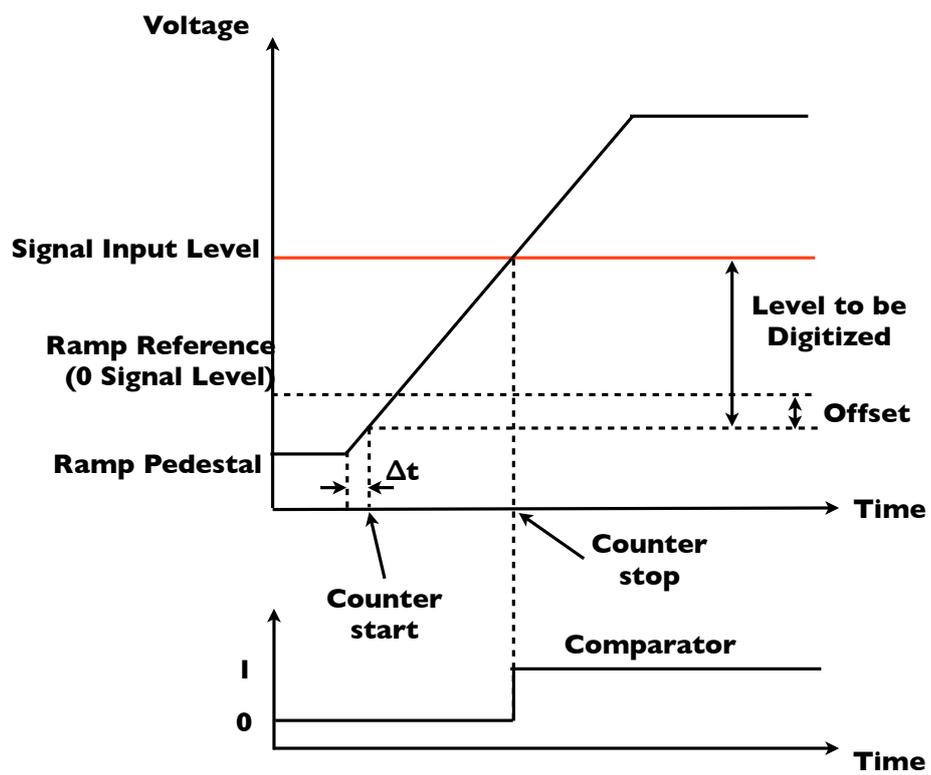
断し、Comparator が出力を出したときのグレイコードカウンターの値が ADC 値として各チャンネルの FIFO に格納される。

ランプ電圧の初期値 (Ramp Pedestal) は、SVX4 に外部から供給される Ramp Reference の電圧値を参照して決定する (図 3.5)。入力信号がないとき (ヒット信号とペDESTALの電位差がないとき) の ADC への入力電位を Ramp Reference と呼ぶと、Ramp Pedestal と Ramp Reference の差が ADC のペDESTALになる。Ramp Reference 値と Ramp Pedestal の差は Configuration によって変更することができる。また、ランプ電圧の上昇率 (傾き) も Configuration によって調整することができる。これによって ADC 値あたりの電荷量を変更できる。

さらに、センサーからの入力信号の極性に合わせて、ランプ電圧や Comparator の極性も変更できる。

FIFO

ADC からの 8 bit 幅のデータ出力はチャンネル順に FIFO に格納される。Configuration の際に、ADC に閾値を設定しておくことによってある値以上の ADC 値をもつチャンネルからのデータを読み出すことができる。また Configuration の設定によって、ADC の値に関係なくすべてのチャンネルのデータを読み出すことや、閾値を超えた ADC 値をもつチャンネルとその両側のチャンネルのみを読み出すこともできる



☒ 3.5: Wilkinson ADC

(Read Neighbor mode)。

FIFOからの出力は、8 bit の BUS データとして読み出される (表 3.1)。そのフォー

表 3.1: SVX4 から読み出されるデータの様式

Byte no	Content	Comments
1	Chip ID	MSBは必ず"1"となる。chip IDは0から127まで割り振ることができる。
2	Pipeline Cell Number	読み出した pipeline セルの ID。1 から 46 のデータで表されるため、上位 2 bit は常に "0" となる。
3	Channel ID	読み出すチャンネル
4	Data for above Channel ID	読み出すチャンネルの ADC 値。データはグレイコードで出力する。
...	...	
Last - 1	Channel ID	上記
Last	Data for above Channel ID	上記

マットは、まず Chip ID と Pipeline cell ID からなる 2 Byte のヘッダーがあり、そのあとに読み出すストリップのチャンネルと ADC 値が交互に続く。この際、ヘッダーと読み出すチャンネルは普通の 2 進数表記で出力されるが、各チャンネルの ADC 値のみグレイコード表記で出力される。

すべてのチャンネルを読み出すと、データサイズは合計で 258 Byte となる。また、ADC に閾値を設定した際に、すべてのチャンネルの ADC 値が閾値に満たない場合、ヘッダー部分である 2 Byte のデータのみを出力する。データの読み出し速度は、入力クロックの周波数によって決まる。典型的な入力クロックの周波数は 25MHz で、クロックの立ち上がりと立ち下がりの両端でデータを読み出すので、この場合のデータ転送速度は $50\text{MHz} \times 8 \text{ bit}$ (400Mbps) である。

以上が SVX4 の概略で、主な特徴を以下にまとめておく。

- 大きさ 9.11 mm × 6.40 mm
- 128 チャンネル読み出し
- 正、負どちらの入力信号の極性でも読み出しが可能
- 192 bit の Configuration register

- 各チャンネルに Preamp
 - 200 fC のダイナミックレンジ
 - AC Coupling
- 各チャンネルへの Calibration charge injection
- 任意のチャンネルへの入力信号を無効にできる (Channel Mask/Disable)
- 各チャンネルに pipeline
 - 最大 4 μm のトリガーの遅延に対応 (FECLK の周波数に依存)
 - Double correlated sampling
- 各チャンネルに 8 bit の Wilkinson ADC
- Data Sparsification (zero suppression)
- 各チャンネルの ADC からのデータを蓄積、出力するための 8 bit 幅の FIFO
- 2 種類の入力クロック
 - Preamp, Pipeline は最大 7.6 MHz の入力クロック (FECLK) に同期して稼働。duty 比：20%
 - ADC は 53 MHz、FIFO はの 25 MHz の入力クロック (BECLK) で稼働。いずれも立ち上がりと立ち下りの両方に同期。duty 比：40-50%
- Daisy chain による複数チップ読み出し
- 低電力による動作 (1 チップにつき 1W 未満)
 - アナログ電源 (AVDD)：+2.5V、約 60 mA
 - デジタル電源 (DVDD)：+2.5V、10-30 mA + ドライバ用電源 22-160 mA
- 1 MIP の入力信号において SN 比 10 ~ 20 程度の低ノイズでの動作

SVX4 は DØ MODE と CDF MODE と呼ばれる 2 つの動作モードを選択することができ、そのそれぞれに Initialize Mode, Acquire Mode, Digitize Mode, Readout Mode の 4 つのモードがある。また、SVX4 には多数の信号線があり (図 3.6)、それらによって 4 つのモードの切り替えや Preamp, Pipeline, ADC などの制御をする必要がある。以下では、DØ MODE と CDF MODE について説明 (3.2 章) したあと、4

つのモードでSVX4の読み出しのために送受信する信号について述べる(3.3章)。さらに、テレスコープ検出器は複数のSVX4を用いて信号読み出しをするので、2つ以上のSVX4からのデータを読み出すしくみについて3.4章で説明する。

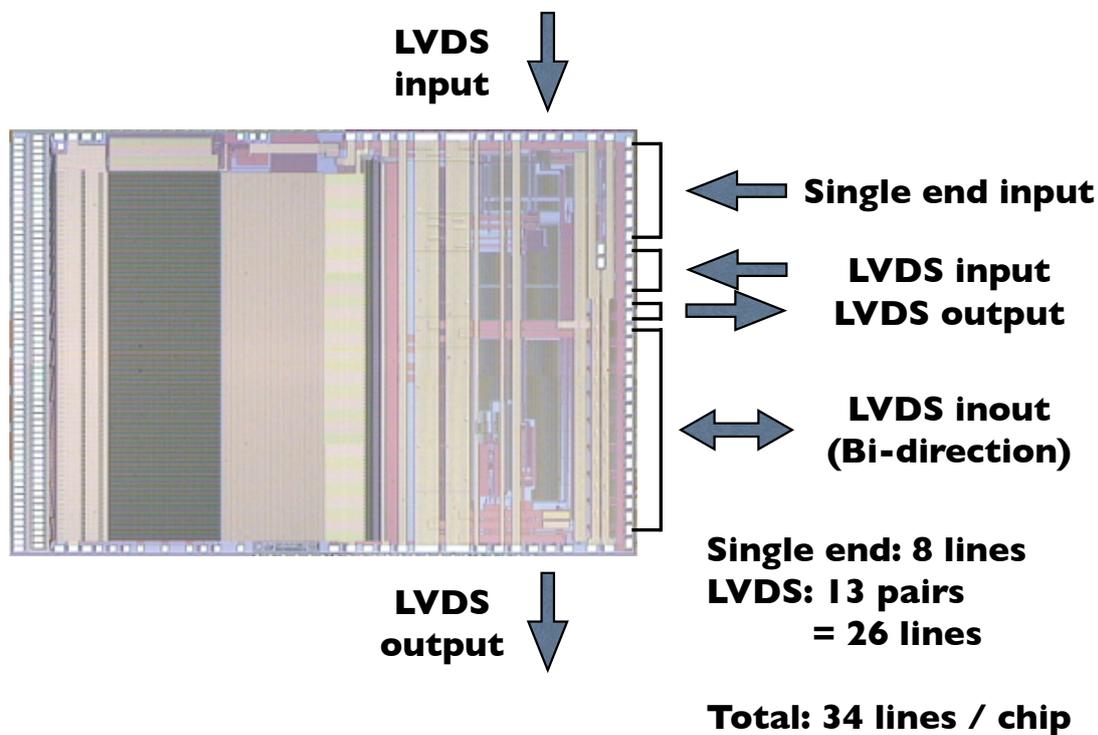


図 3.6: SVX4に必要な信号線。入力用の信号線が11種類、出力用の信号線が2種類、双方向用の信号線が8種類あり、合計で21種類の信号線を扱う必要がある。

3.2 DØ MODE と CDF MODE

SVX4は、DØ MODE と CDF MODE と呼ばれる2種類のMODEを選択できる。DØ MODEでは、L1Aを受け取ったあと、データのデジタル化と読み出しを行っている間は、次のL1Aを受け取ることができない。

一方、CDF MODEは、データのデジタル化と読み出しをしている最中でも、最大4つのL1Aを受け取ることができる。データのデジタル化と読み出しが終わるまで電荷情報をPipelineのコンデンサに保持し続け、一つのコンデンサからの電荷情

報のデジタル化および読み出しが終わると、順次 L1A で指定されていた Pipeline のコンデンサの情報のデジタル化と読み出しを行う。

このように、CDF MODE は実質上トリガーレートの考慮をせずに稼働させることができる (Dead timeless operation)。本研究では、DØ MODE でチップの読み出しを行っている。

3.3 Operation cycle

SVX4 には、21 種類の信号線があり、各信号線には表 3.2 で記したような役割がある。シリコンセンサーからの信号を読み出すためには、これらの信号線に適切な制御信号を入力する必要がある。先述したように、SVX4 には Initialize Mode, Acquire Mode, Digitize Mode, Readout Mode の 4 つのモードがある。この節では、これらの 4 つのモードの概要について説明し、その後各信号線の説明と、それぞれの信号線にどのような信号を入力すべきかを 4 つのモードごとに説明する。

SVX4 の信号線に入力する制御信号の例を図 3.7 に示す。Initialize Mode では Configuration を行い、それが終了したら Acquire Mode に切り替える。ここで入力信号の増幅と Pipeline への蓄積を行い、L1A を受け取ったら Digitize Mode で電荷情報のデジタル化を行う。その後、Readout Mode でデータの出力を行ったあと、再び Acquire Mode に切り替える。以上の繰り返しでデータ読み出しを行う。

4 つのモードは、CHMODE, FEMODE, BEMODE の 3 つの信号線によって切り替える。各モードは FEMODE と BEMODE の組み合わせによって決まり、CHMODE が立ち上がっているときのみモードが切り替わる。FEMODE と BEMODE の組み合わせによる各モードの指定方法を表 3.3 に示す。

DØ MODE では、8 本の信号線が双方向の信号線（入力、出力の両方を担う）となっており、Initialize Mode, Acquire Mode, Digitize Mode では SVX4 へ制御信号を送信するための入力の信号線として用いられる。Readout Mode へ切り替えると、これらの線は出力用の信号線へと切り替わり、内部の出力用ドライバを介して 8 bit の BUS 線としてデータを出力する。

3.3.1 Initialize Mode

Initialize Mode における制御信号を図 3.8 に示す。SVX4 の Configuration は、FECLK と PRin 入力を入力することで行う。FECLK には、最大 7.6 MHz で duty 比が 20% のクロックを用いる。PRin には Configuration parameter をシリアル表現にしたものを送信する。SVX4 は 192 bit の Configuration register を所持しており、FECLK の立ち上がり時の PRin の値を register の最下位ビットに格納する。Configuration

表 3.2: SVX4 に繋がる信号線：DØ MODE では BUS のすべての信号線を双方向の信号線として扱う。

Signal Name	Description	Signal Type
PARST	Preamplifier Reset	Single ended Input
PR1	Pipeline read	Single ended Input
PR2	Pipeline write (pedestal cell)	Single ended Input
L1A	Level one Accept	Single ended Input
CALSR	Write SEU reg / cal injection	Single ended Input
FEMODE	Mode Selector	Single ended Input
BEMODE	Mode Selector	Single ended Input
CHMODE	Mode Selector	Single ended Input
FECLK	Front end Clock (20 % duty cycle))	LVDS Input
BECLK	Back end Clock (40-50 % duty cycle)	LVDS Input
OBDV	Odd Byte Data Valid	LVDS Output
BUS<0> / Comp_rst	Data BUS / Comparator Reset	LVDS Bi-direction
BUS<1> / Ramp_rst	Data BUS / Ramp Voltage Reset	LVDS Bi-direction
BUS<2> / PR2	Data BUS / PR2	LVDS Bi-direction
BUS<3> / Rref_sel	Data BUS / Ramp Reference Select	LVDS Bi-direction
BUS<4> / PARST	Data BUS / PARST	LVDS Bi-direction
BUS<5> / L1A	Data BUS / L1A	LVDS Bi-direction
BUS<6> / PR1	Data BUS / PR1	LVDS Bi-direction
BUS<7> / CALSR	Data BUS / CALSR	LVDS Bi-direction
PRin	Priority in	LVDS Input
PRout	Priority out	LVDS Output

表 3.3: 各モードへの切り替え (DØ MODE)

FEMODE	BEMODE	STATE
0	0	Initialize Mode
0	1	Acquire Mode
1	1	Digitize Mode
1	0	Readout Mode

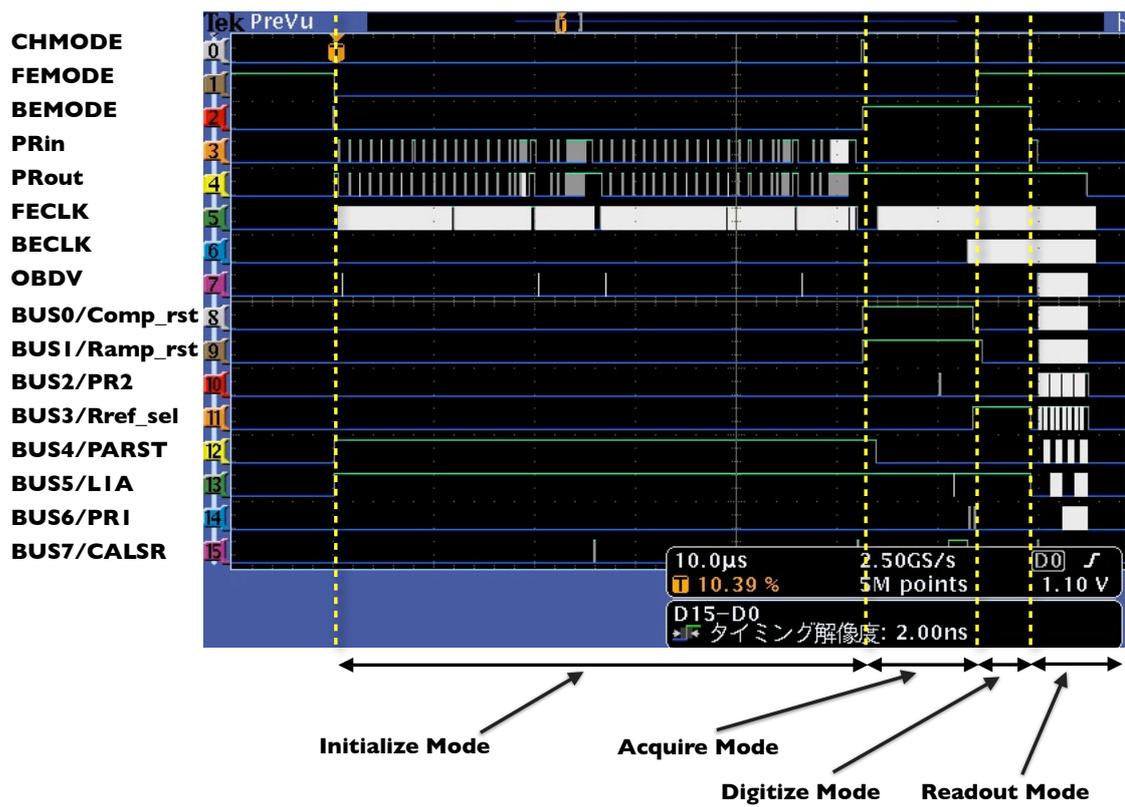


図 3.7: SVX4 に送信する信号線。Readout Mode では、BUS の信号線は SVX4 から
 のデータ出力のために使用される。

register に元々入力されている値は、FECLK の立ち上がりごとに1つ上のビットに繰り上がっていき、最上位ビットの値は PRout に出力される。つまり、FECLK にクロックを入力すると、Configuration register に入っていた値が最上位ビットから順に、PRout から押し出されてくる。

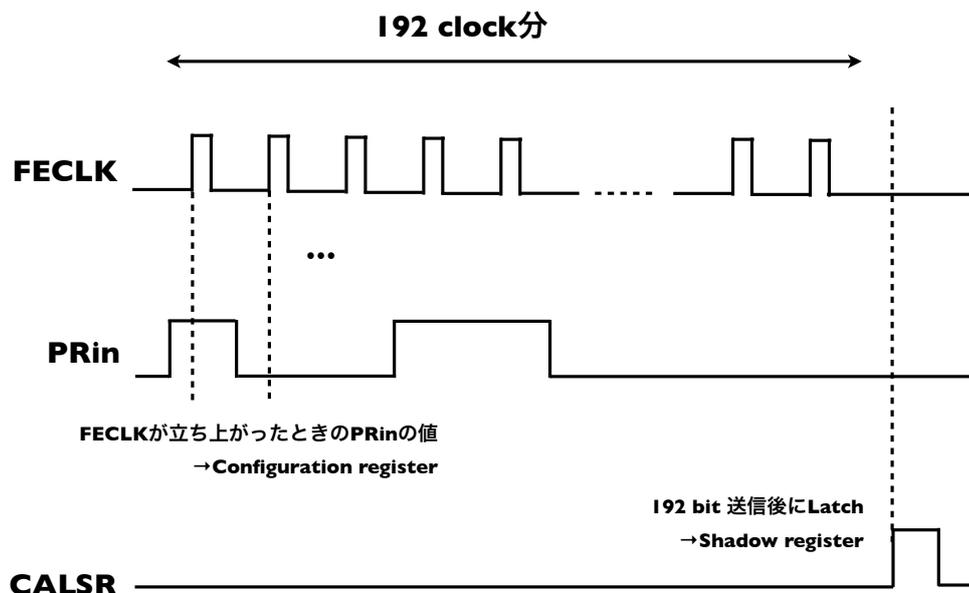


図 3.8: Initialize Mode の制御信号。PRin からは、Configuration parameter のシリアル信号を入力する。FECLK の立ち上がり時に PRin の値が SVX4 の Configuration register に格納される。

また、SVX4 には Configuration register の他に、Single Event Upset (SEU) を防ぐための Shadow register が用意してあり、ここに Configuration register の値を入力することができる。この制御は CALSR の信号線から行う。PRin から 192 bit の Configuration parameter の入力終了したあと、CALSR へ信号を入力することで、Configuration register のうち 64 bit の値が Shadow register に値がラッチされる。また CALSR へ信号を入力すると、Pipeline の位置が初期化 (Preamp からの入力信号が、Pipeline Cell Number の値が 1 のコンデンサに送られる状態) される。

以上を終えたあと、Acquire Mode に切り替える。

3.3.2 Acquire Mode

このモードでは、各チャンネルへの入力電荷を Preamp で増幅し、その電荷情報を Pipeline へ蓄積し続ける。

Acquire Mode では、FECLK に同期して Preamp の出力電荷を Pipeline のコンデンサに蓄積させる。FECLK が立ち上がりと同時に、46 個の Pipeline のコンデンサが順番に切り替わる。かつ、FECLK が立ち上がっている間は Preamp からの入力を受ける Pipeline のコンデンサの放電が行われる。これを Pipeline Reset と呼び、それには 20 ns かかるので、FECLK は最小でも 20 ns は立ち上げておく必要がある。FECLK が立ち下がると、Preamp からの出力電荷が Pipeline のコンデンサに蓄積されるようになり、これらの繰り返しでデータを収集する。

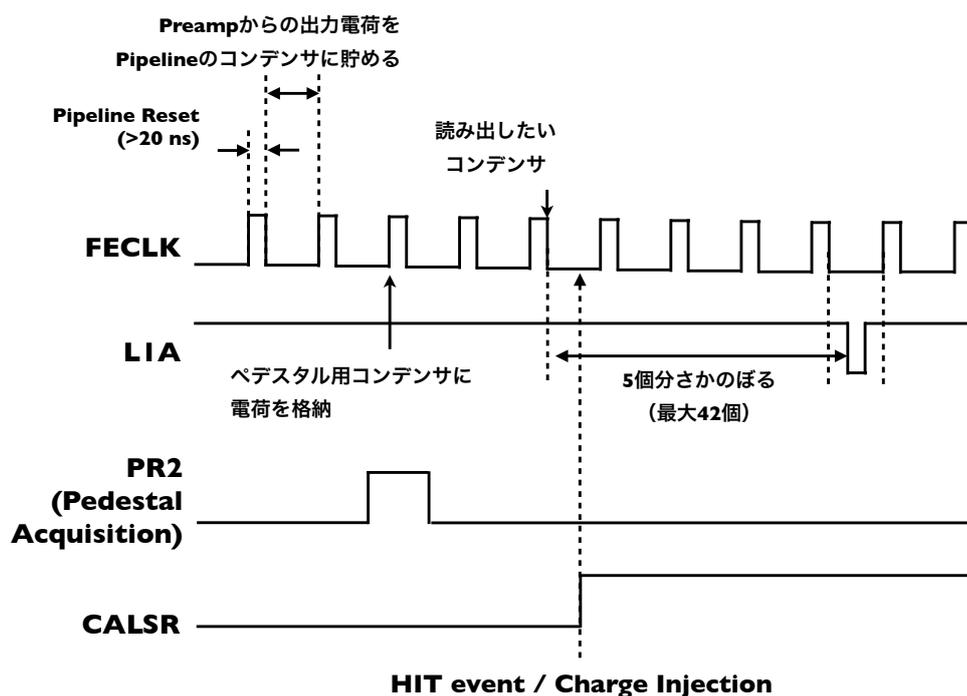


図 3.9: Pipeline から信号を読み出すために SVX4 に送る制御信号のタイミング図

Acquire Mode において、ペDESTALに相当する電荷収集を行い、L1A を発行するまでの信号のタイミング図を図 3.9 に示す。ペDESTAL用のコンデンサに電荷を格納するには、FECLK が立ち上がったときに PR2 の信号が立ち上がっている必要がある。このとき、Preamp からの出力電荷は 46 個のコンデンサには送られず、代わりにペDESTAL用コンデンサへ送られる。このため、ペDESTALの電荷を収集する 1 FECLK 分の間は不感時間となる。

L1A の信号は、Pipeline からの電荷を ADC に送り出すとき以外は立ち上げたままにしておく。Pipeline から電荷を取り出す際は、L1A を立ち下げる。このとき、L1A の信号を立ち下げ、その後元の立ち上がった状態に戻すのは、1 FECLK 内で行わな

なければならない (例えば、図 3.9 では FECLK が立ち下がっている時間内に立ち下げと立ち上げを行っている)。SVX4 が L1A 信号を認識すると、L1A を受け取ったときに電荷を格納しているコンデンサから、1~42 FECLK 分さかのぼったところのコンデンサから電荷を読み出す。どれだけさかのぼって電荷を読み出すかは、Configuration であらかじめ設定しておく (PickDel)。これは、L1A は通常、SVX4 を用いたシリコンストリップ検出器の読み出しシステムの外部からのトリガーに対応しているので、欲しい事象が起こってからトリガーが発行され、SVX4 が L1A を受け取るまでの遅延を調整するために設けられた機能である。

また、各チャンネルの Preamp へテスト電荷を入射するタイミングも、CALSR という信号を用いて決める。CALSR が立ち上がったときにテスト電荷が Pipeline のコンデンサに蓄積されるので、テスト電荷を読み出す際には PickDel の値と CALSR を立ち上げるタイミングをそろえておく必要がある。

なお、Preamp は 200 fC のダイナミックレンジを持っているので、Preamp が飽和する前に Preamp Reset を行う必要がある。この操作は Acquire Mode の任意のタイミングで行う。Preamp Reset を行うには、PARST という信号線を 200 ns の間立ち上げておく必要がある。この間、Preamp による入力信号の増幅ができないので、データを収集することができない。Preamp Reset は毎事象ごとに行う必要はないので、データ収集の合間に行うことで不感時間を減らすなどの工夫が必要である。

Acquire Mode から Digitize Mode に切り替える際は、Pipeline からの電荷の読み出しと ADC の制御信号を送信するタイミングが複雑になる。これについては Digitize Mode で述べる。

3.3.3 Digitize Mode

L1A を受け取ったあと、ADC に送られてきた電荷情報をデジタル値に変換し、そのデジタル値を FIFO に送るモードである。Digitize Mode の制御信号を図 3.10 に示す。Acquire Mode で Pipeline のコンデンサに蓄積された入力電荷とペDESTAL 用電荷は、PR1 という信号を用いて読み出す。PR1 を立ち上げた状態で FECLK を立ち上げる操作を 2 回繰り返すと、ペDESTAL 用コンデンサ、信号用コンデンサの電荷の順に読み出される (この順番は Configuration によって変更できる)。2 つのコンデンサから電荷を読み出すと、SVX4 は Pipeline 読み出し用のコンデンサを介して信号電荷とペDESTAL 電荷の差分に相当する電荷を ADC に送る。また、PR1 を 2 回立ち上げる間に、あらかじめ立てておいた Comp_rst という信号を立ち下げることによって Comparator が動作を始める。

さらに、ADC の制御には Ramp_rst と Rref_sel という信号を用いる。Comp_rst を立ち下げた後から 50 ns 後に Rref_sel を立ち上げると、ADC のランプ電圧が Ramp Pedestal の値に設定される (3.1.2 章を参照)。その後、Ramp_rst を立ち下げること

でランプ電圧が上昇を始める。Ramp_rst の立ち下げは、Rref_sel の立ち上げと 2 回目の PR1 信号の立ち下げから一定時間後に行う。

ADC の制御クロックには BECLK が用いられる。Digitize Mode では、53MHz のクロックを BECLK として送信する。BECLK は最初の PR1 信号を立ち上げる前から送信を開始する。ランプ電圧が上昇を始めてから一定時間が経過すると、BECLK の立ち上がり立ち下がりに同期したグレイコードカウンターが自動的に動作を開始する。グレイコードカウンターは最大 255 までの値を取ることができるが、カウンターの最大値は Configuration で 0 から 255 まで設定できる。Comparator が信号を出力する、もしくはグレイコードカウンターの値が設定した最大値に達すると、グレイコードカウンターは動作を停止し、その値を FIFO に送る。グレイコードカウンターの停止後、さらに BECLK を最低 2 クロック分送り、その後で Digitize Mode から Readout Mode へ切り替える。これは、グレイコードの値を FIFO にラッチするために必要である。

Pipeline 読み出しから ADC の制御のための各信号の操作のタイミング制約が厳しいので、注意深い信号制御が必要である。

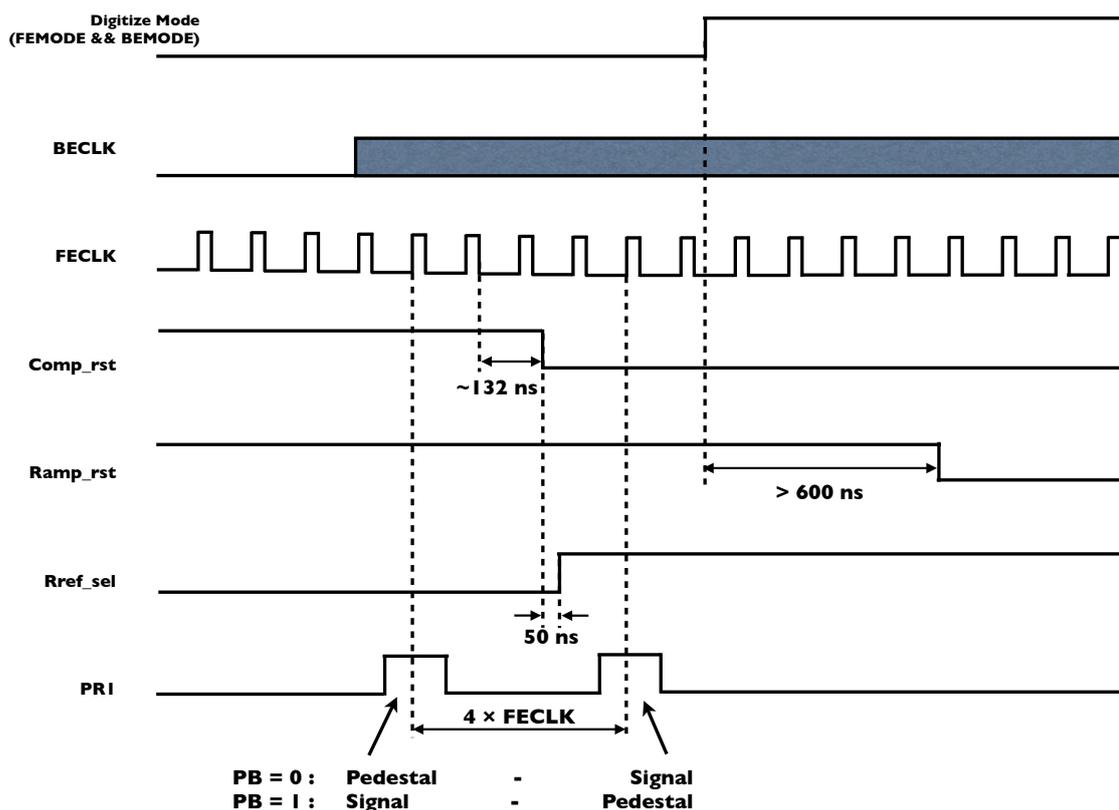


図 3.10: Acquire Mode から Digitize Mode へ切り替わる際の制御信号

3.3.4 Readout Mode

FIFO に送られた電荷情報を、内部のドライバによって SVX4 から出力するモードである。Readout Mode における制御信号を図 3.11 に示す。

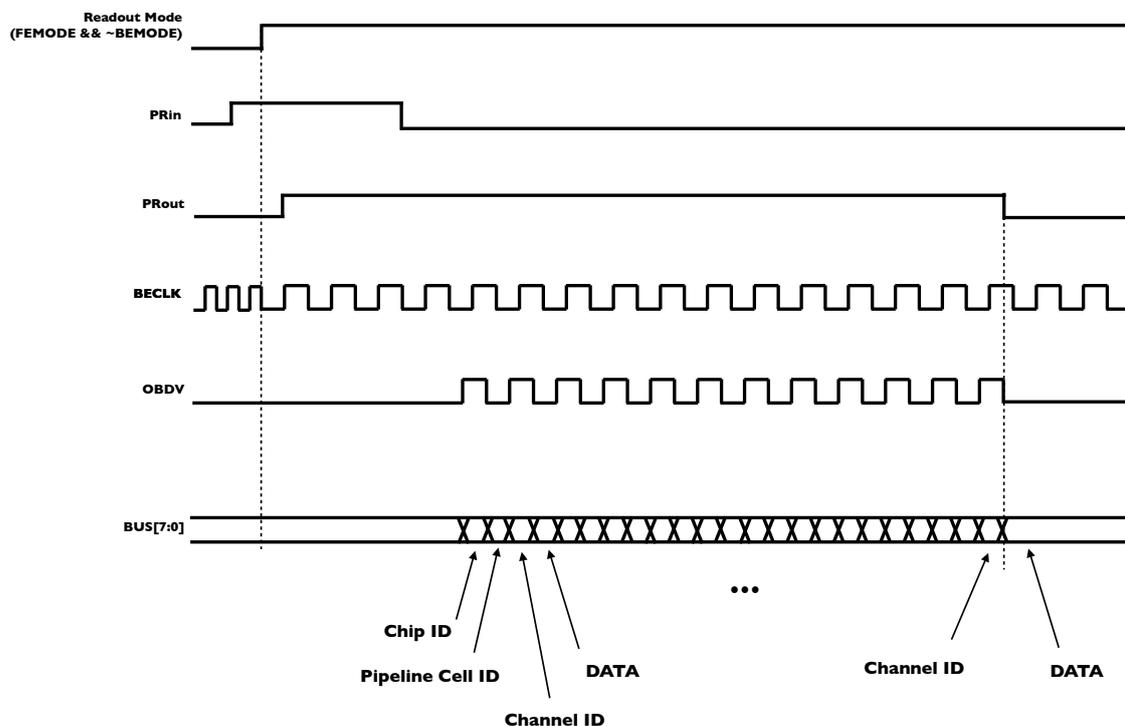


図 3.11: Readout Mode の制御信号

Digitize Mode から Readout Mode に切り替える前に、PRin を立ち上げておく。PRin が立ち上がっている間は SVX4 はデータの出力を開始しないので、Readout Mode に切り替えてから一定時間が経過したら立ち下げる。Readout Mode に切り替えると自動的に PRout が立ち上がる。SVX4 は、PRin が立ち下がり、かつ PRout が立ち上がっているときにデータの出力を行う。

データは BECLK に同期して行われる。Readout Mode では、25MHz のクロックを BECLK として送信する。データは BECLK の立ち上がりと立ち下がりに同期して出力される。また、データの出力と同時に OBDV の出力も始まる。OBDV はデータが切り替わるのと同じタイミングで値が変化する。たとえば、OBDV が立ち上がるのと同時に Chip ID が出力され、次に立ち下がるのと同時に Pipeline Cell Number が出力される。その次に立ち上がるのと同時に Channel ID、その次の立ち下がりで

そのチャンネルのデータ、と続く。PRout は OBDV が最後に立ち下がるのと同時に立ち下がり、それと同時に最後のデータが出力される。

以上で、一つのトリガーに対するデータ出力が完了する。これ以降は Acquire Mode に戻り、Digitize Mode、Readout Mode という流れを続けてデータ収集を行う。

一回の事象を処理するためには、L1A を受け取ってからデータ読み出しが完了するまでの時間が最低限必要である。L1A を受け取ってから Digitize Mode に移行するまでにおよそ $2.3 \mu\text{s}$ かかり、Digitize Mode から Readout Mode に移行するまでの間はおよそ $3.2 \mu\text{s}$ かかる。また、Readout Mode にて、128 チャンネルすべてを読み出すのに必要な時間がおよそ $5 \mu\text{s}$ であることから、DØ MODE において L1A を受け取ってから次の L1A を受け取るまでに必要な時間はおよそ $11 \mu\text{s}$ 程度である。この時間はトリガーレートに相当するもので、DØ MODE で全チャンネル読み出しを行った場合、理論上 90 kHz 程度のトリガーレートに対応できる。また、実際は Data Sparsification を行うことでデータ量を減らして読み出しを行うので、およそ $4 \mu\text{s}$ 程度の時間が削減できる。これより、Data Sparsification を行うことで理論値でおよそ 140 kHz のトリガーレートに対応できる。

3.4 Daisy Chain による複数の SVX4 の制御

SVX4 は 1 チップにつき多数の信号線を必要とするため、複数の SVX4 を並列に制御することが困難である。そこで、Daisy Chain という方式をとることで使用する信号線を少なく抑えている。

複数の SVX4 を Daisy Chain で繋ぐには、隣り合う SVX4 の Top Neighbor (TN) と Bottom Neighbor (BN) というパッドと、PRin と PRout をそれぞれ図 3.12 のように電氣的に接続する。TN と BN は隣り合う 2 つの SVX4 のチャンネルを接続するために使用する信号線で、これを繋いでおくと、Readout Mode での信号読み出しの際に複数の SVX4 が 1 つであるかのように振る舞い、3.1.2 章で述べた Read Neighbor mode の設定を行ったときに、閾値を超えたチャンネルが SVX4 の両脇であっても隣接する SVX4 の端のチャンネルを隣のチャンネルと認識する。

また、入力信号の信号線を並列にすることで、複数の SVX4 をそれぞれ同じタイミングで制御することができる。

Daisy Chain による複数の SVX4 の制御と、1 つの SVX4 の制御では、以下の 2 点が大きく異なる。

- Configuration
- SVX4 のデータ出力

この 2 点について以下で述べる。

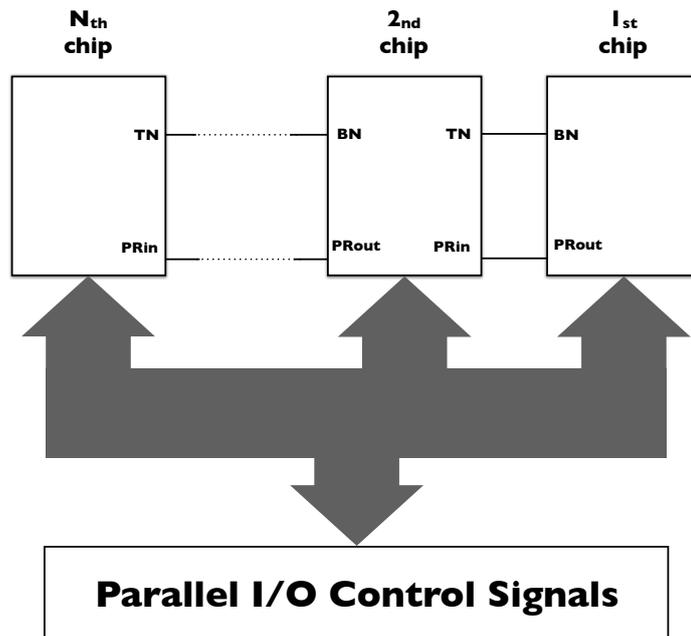


図 3.12: Daisy chain による複数チップ読み出しの概略図。並列な信号線を用いて複数の SVX4 に制御信号を送る。

3.4.1 Daisy Chain による Configuration

3.3.1 章で説明したように、先頭の SVX4 の PRin に、Configuration register に入力する 192 bit のデータを FECLK に同期したシリアル信号として入力すると、既に Configuration register に入っていた値が PRout から押し出される。よって PRout を隣の SVX4 の PRin に繋いでおけば、先頭の SVX4 から押し出された値が、隣の SVX4 の PRin に入力される。こうして、Daisy Chain で繋がっている SVX4 の数だけ 192 bit の Configuration 用のシリアルデータを PRin に入力することで、すべての SVX4 の Configuration を行うことができる。

複数の SVX4 の Configuration を行う際には、すべての SVX4 にそれぞれ異なる Chip ID を設定する必要がある。Chip ID は Configuration で設定する。

3.4.2 Daisy Chain によるのデータ読み出し

Daisy Chain によるデータ出力の概略を図 3.14 に示す。各 SVX4 は 8 本の双方向信号線からデータを出力する。それらの信号線はまとめて 8 bit の BUS 線となるように接続され、各 SVX4 のデータは以下に示す流れで BUS 線に出力される。

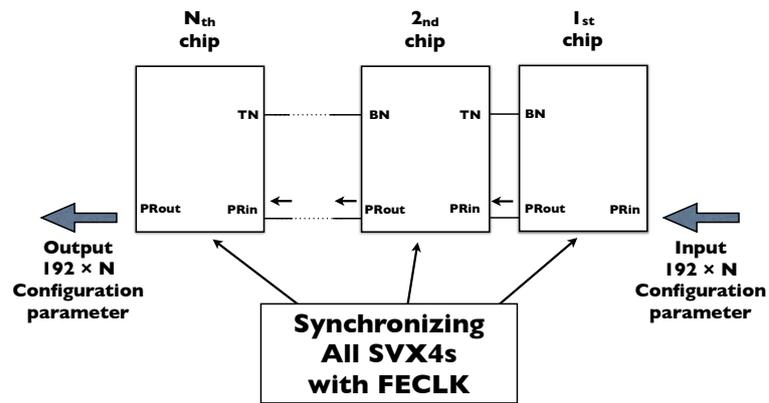


図 3.13: Daisy Chain による Configuration。先頭の SVX4 に、チップの数だけ Configuration register に入力する値を順次入力することで Configuration ができる。

まず一番端のチップからデータの読み出しが始まる。読み出しが終わるまでそのチップの PRout が立ち上がったままである。読み出しを行っているチップの PRout とその隣のチップの PRin は繋がっているので、最初の SVX4 の読み出しが終わって PRout が立ち下がった時点で隣のチップの読み出しが始まる。このように PRout から PRin へ信号 (Token) を順次渡していくことで、端のチップから順次データを読み出していく。

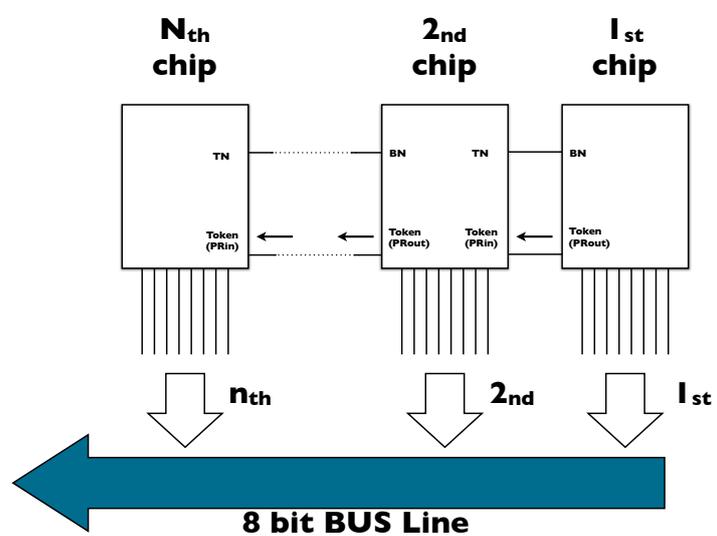


図 3.14: Daisy Chain による複数チップのデータ読み出しの概略図。SVX4 からのデータは、PRin、PRout から入出力される Token によって 1 チップずつ出力するよう制御される。

第4章 試験用DAQシステム

本研究で開発する、テレスコープ検出器のDAQシステムについて述べる。

4.1 概要

テレスコープ検出器を動作させるには、SVX4 への入力信号や、SVX4 から出力されるデータを処理するDAQシステムを開発する必要がある。本研究では、SVX4 とPCとの通信を仲介する電気信号処理システムとして、SEABAS という汎用読み出し基板を用いる。SEABAS を用いた読み出しシステムの全体像を図 4.1 に示す。

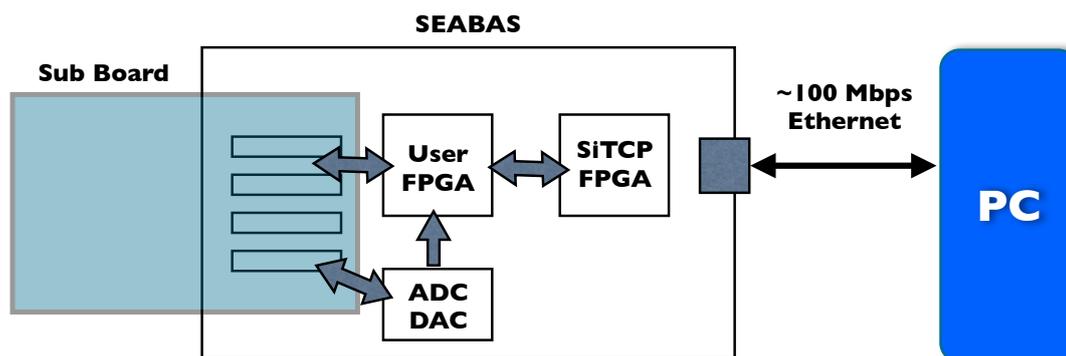


図 4.1: SEABAS を用いた信号処理システムの全体像。SEABAS を用いることで、省スペースでの読み出しシステムを構築することができる。

SEABAS は、一般的にはサブボードに搭載された IC などからの電気信号を処理するために用いられる。SEABAS にはサブボードと接続するためのコネクタが搭載されており、これを通じてアナログ信号とデジタル信号のやり取りをする。また SEABAS には、2つの FPGA が搭載されており、一つはサブボード上の IC を制御するためのもの (User FPGA)、もう一つは PC との通信を行うためのもの (SiTCP FPGA) である。

SEABAS は PC との通信を確立するための CAMAC や VME クレートなどが不要なので、DAQ システムを小型にすることができる。また、User FPGA に書き込む

ファームウェアを準備するだけで読み出したい IC を制御できるため、汎用性が高い。このような特徴を持つ SEABAS を用いて DAQ システムを構築するには、User FPAG に書き込むファームウェアの開発と、PC と SEABAS との間のデータ通信を担うソフトウェアの開発が必要となる。

第 3.3 章で説明したように、SVX4 は多数の信号線に制御信号を入力することで動作するが、それらの信号の立ち上がりや立ち下りのタイミングの調整が複雑なため、SVX4 へ入力する制御信号の bit stream をできるだけ簡単に変更できるようなシステムが望ましい。本研究では、SVX4 に送る各制御信号の bit stream をテキストファイルとして準備し (図 4.2)、そのテキストファイルのデータを SEABAS に送信すると、テキストファイル上に記された bit stream が SEABAS から SVX4 に送信される仕組みを開発した。これによって、制御信号の修正を PC 上で容易に行うことができる。

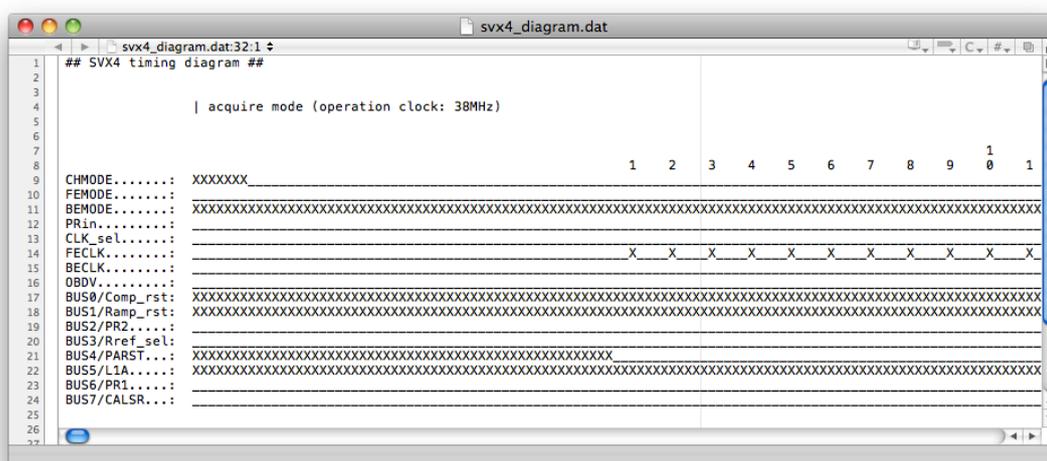


図 4.2: PC 上で制御信号を簡単に修正するために作成したテキストファイル。この bit stream をソフトウェア上でエンコードし、FPGA を経由して SVX4 に送信する。

本研究で開発を行った DAQ システムの特徴を以下にまとめる。

- SEABAS を用いた省スペースでの DAQ システム構築が可能であること
- PC 上のテキストファイルを編集することで簡単に SVX4 に送信する制御信号が修正できること

本章では、SEABAS についての説明をしたあと、開発したファームウェアとソフトウェアについて述べる。

4.2 SEABAS を用いた読み出しシステム

テレスコープの信号読み出しシステムに使用した、汎用読み出し基板の SEABAS についてと、SEABAS を用いた DAQ システムについて説明する。

4.2.1 SEABAS

SEABAS とは、Silicon-On-Insulator (SOI) 技術を応用したピクセル型半導体検出器を開発しているグループによって開発された汎用読み出し基板である [5] (図 4.3)。

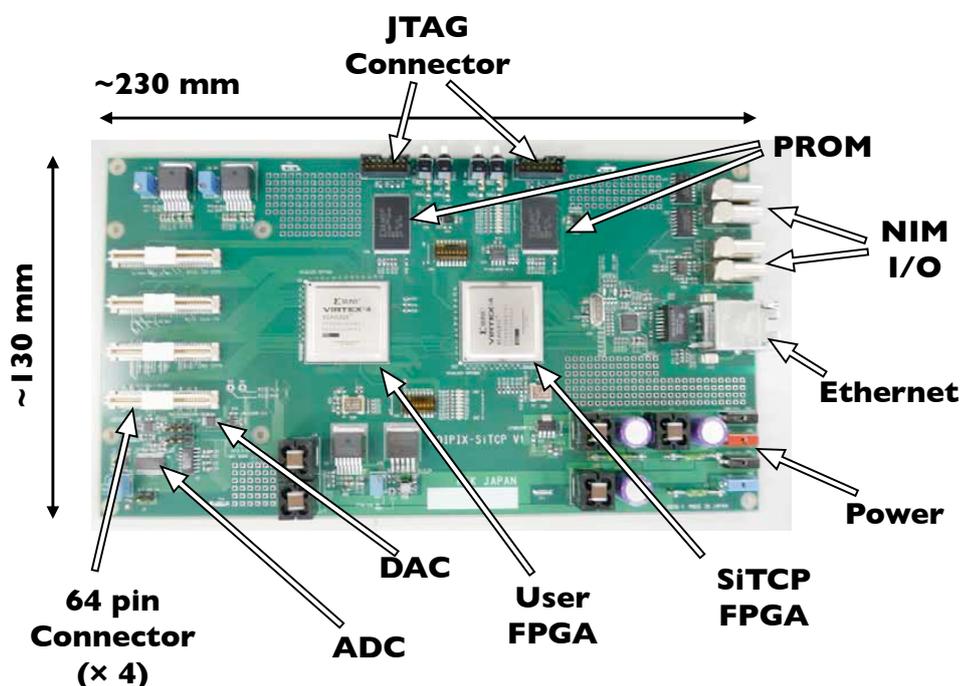


図 4.3: SEABAS

User FPGA は、64 ピンコネクタや ADC、DAC などと接続されており、SEABAS に接続したサブボード上のデバイスを制御するためにユーザーが独自にファームウェアを開発して使用する FPGA である。

一方、SiTCP FPGA は、SiTCP[6] と呼ばれる TCP/IP によるデータ通信の実現したネットワークプロセッサを搭載しており、Ethernet を経由して PC とのデータ通信を行う FPGA である。ファームウェアにユーザーが手を加える必要は無い。SiTCP は FIFO と同じようなインターフェースとなっているので、User FPGA 内で FIFO にアクセスするかのよう手法で PC とのデータ通信を行うことができる。

また、SiTCP は TCP だけでなく、UDP を用いて PC から User FPGA 内部の専用レジスタへアクセスするインターフェースを持つ。これを Remote Bus Control Protocol (RBCP) という。User FPGA 内部の RBCP 専用のレジスタにはアドレスが割り振られており、0x0000_0000 から 0xEFFF_FFFF までのアドレス空間を利用することができる。本研究では、PC から User FPGA へデータを送信するときは RBCP によるレジスタアクセスで送信を行い、User FPGA からのデータを PC で受信するときは TCP を用いている。

SEABAS の仕様を以下に示す。[7]。

- User FPGA
Xilinx 社 Virtex-4 (XC4VLX25-10FF668)
サブカードへの接続に使用するコネクタには計 120 本の I/O 線が繋がっている。
Max Block RAM : 1,296 Kb
- SiTCP FPGA
Xilinx 社 Virtex-4 (XC4VLX15-10FF668)
100 BASE-T 規格の SiTCP
- Power
± 5.0 V の電源を使用。プラス側は > 1 A、マイナス側は > 0.2 A 流すことのできる外部電源を使用

4.2.2 読み出し用ファームウェア

本研究で開発したファームウェアについて説明する。SVX4 の読み出し用ファームウェアには、ハードウェア記述言語 (Hardware Description Language: HDL) として Verilog HDL を用いた。

本研究で開発したファームウェアは、SVX4 への制御信号送信用のモジュールと SVX4 からのデータ受信用のモジュールに大別できる。

制御信号送信用モジュールでは、PC に用意した 2 種類のテキストファイルを受信し、そのデータから作成した制御信号を SVX4 に送っている。テキストファイルは、一つは図 4.2 で示したような制御信号の bit stream を記したファイル、もう一つは Configuration のために入力する設定値を記したファイルである。このような信号を送信する役割は、Control RAM、Config RAM、CHMode Creator というモジュールが担っている。

受信モジュールでは、SVX4 から出力される 8 bit の BUS データを受け取り、SiTCP FPGA を介して PC にデータを送り出す。このようなデータ受信の役割は FIFO モ

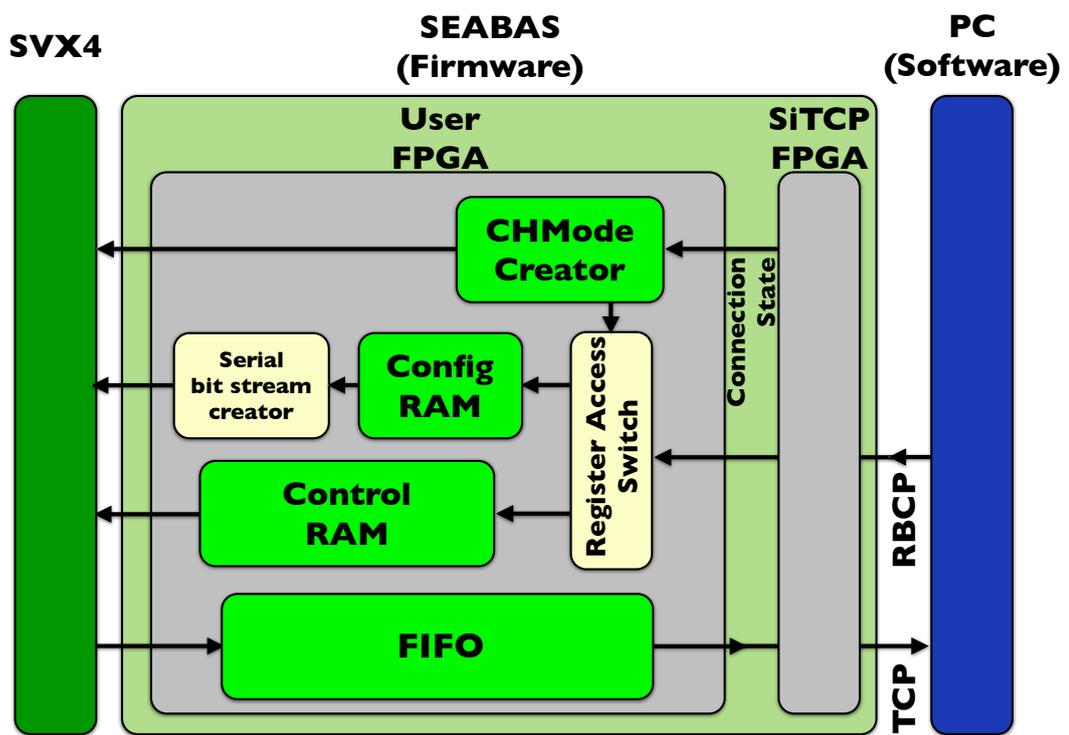


図 4.4: 読み出しファームウェアのブロック図

ジュールが担う。

以下で、それぞれのモジュールについて説明する。

Control RAM

SVX4を制御する信号を構築し、一時保存しておくためにFPGA内に用意しているメモリである。Control RAMは実際には2つのRAMで構成されており、それぞれが8bitのデータを格納することができる。

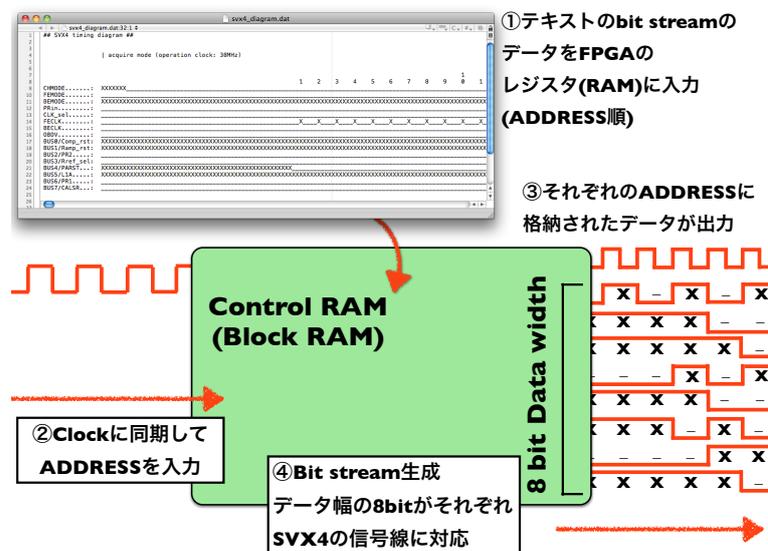


図 4.5: Control RAM: テキストファイルに書いた bit stream を Control RAM へ送信、格納する。その後、Control RAM から bit stream を出力するには出力したいデータのアドレスと、データを送るためのクロックを入力する。クロックの立ち上がりに同期して、立ち上がりのタイミングにおける入力アドレスの値が Control RAM から出力される。

Control RAM の挙動を図 4.5 に示す。まず、RBCP 通信によるレジスタアクセスによって Control RAM にデータを書き込む。Control RAM に格納されたデータは合計 16 bit (8 bit の RAM が 2 つ分) あり、そのレジスタ配列のそれぞれが SVX4 に送る信号線に対応している。また、各信号線に送る bit stream はアドレスの番号順に格納するようにしている。

Control RAM からデータを送る (SVX4 に bit stream を送信する) 際は、ある周波数のクロックと出力したいデータが入ったアドレスを入力する。クロックの立ち上がり時に、指定したアドレスに保持されている値が読み出されるので、アドレスの値

をクロックに合わせて1つずつ大きくしていくことで、そのクロックの速さで Control RAM に格納された bit stream を順に呼び出すことができる。本研究で用いるシステムでは、Initialize Mode と Acquire Mode では 38MHz のクロック (FECLK の周波数の 5 倍) を、Digitize Mode と Readout Mode では 210 MHz のクロック (Digitize Mode における BECLK の周波数の 4 倍) を Control RAM に入力している。

Control RAM に書き込めるデータ量はアドレスの深さに対応しており、本研究で開発したシステムでは、1 から 16,384 ($=2^{14}$) までのアドレスにデータが書き込める。

Config RAM

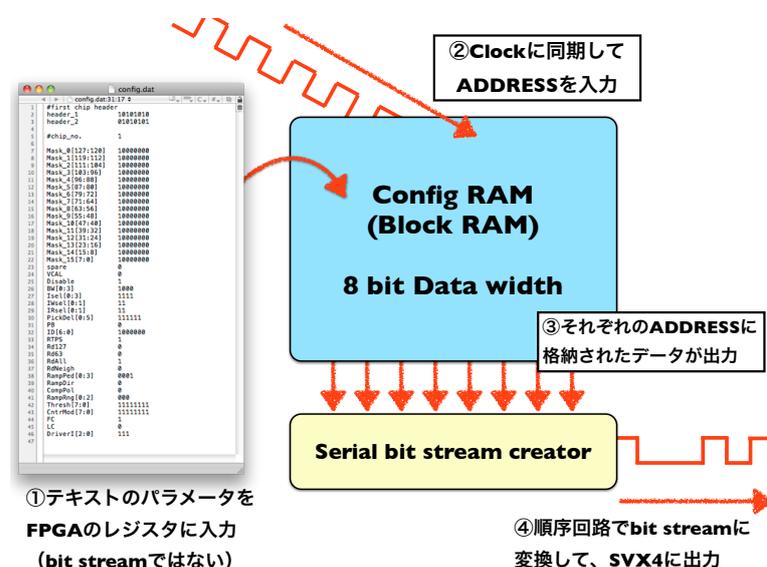


図 4.6: Config RAM:Control RAM とは違い、Config RAM に格納する値は bit stream のような配列ではないため、Config RAM から出力したデータを bit stream に変換する必要がある。

SVX4 の Configuration を行うために用意しているメモリである。Configuration register に入力する値が書かれたテキストファイルのデータを RBCP 通信によって Config RAM に格納する。Config RAM からデータを出力するには、Control RAM からの読み出しと同様に、送り出すべきデータが入っている Config RAM 上のアドレスと、RAM からのデータを送り出すためのクロックを Config RAM に入力する。本研究では、38MHz の入力クロックを使用している。

Control RAM では、あらかじめ生成された bit stream が RAM に書き込まれているので、16 bit のデータがそれぞれ SVX4 に入力する 16 本の信号線に対応しているが、Config RAM では 8 bit のデータが信号線に対応していないので、Config RAM

からデータを出力したあと、データをシリアルの bit stream に変換する必要がある。図 4.6 に示したように、Serial bit stream creator という順序回路がこの処理を行っている。

CHMode Creator

SVX4を動作させるための4つのモード (Initialize Mode、Acquire Mode、Digitize Mode、Readout Mode) の切り替えを行うモジュールである。また、PCから Config RAM と Control RAM のどちらのレジスタにデータを送るのかを決めるスイッチを生成する役割も果たしている。

FIFO

SVX4からの8 bitのデータをここに格納する。FIFOには、SVX4がデータを出力する速度と同じ50 MHzでデータを書き込んでおり、FIFOからSiTCPへはTCP通信により25 MHzの速さで8 bitのデータを転送している。このFIFOは最大で8トリガーイベント格納できる (SVX4が全128チャンネルの読み出しを行った場合)。

4.3 DAQ用ソフトウェア

PCに搭載したソフトウェアについて説明する。本研究で開発したソフトウェアの機能は主に2つある。

- SVX4の Configuration 用と制御信号用のテキストファイルをRBCP通信によってSEABASに送信する
- SEABASからのデータをTCP通信によって受信し、デコードする

SEABASとの間のデータ通信では、TCP/IP接続を確立させる必要がある。本システムでは、C++によるTCP/IPデータ通信のためのソケットプログラミングを使用する。

開発したソフトウェアでのDAQのフローチャートを図5.6に示す。PCとSEABAS間でTCP/IP接続を確立したあと、PCから Configuration 用のテキストファイル (Config.txt) に記載したデータをRBCP通信でSEABASに送信する。データは User FPGA 内の Config RAM に格納されたあと、bit stream に変換されてSVX4に送り出される。Configurationが終わると、次にSVX4へ入力する制御信号用のテキストファイル (Ctrl_line.txt) のデータをRBCP通信でSEABASに送信する。制御信号用

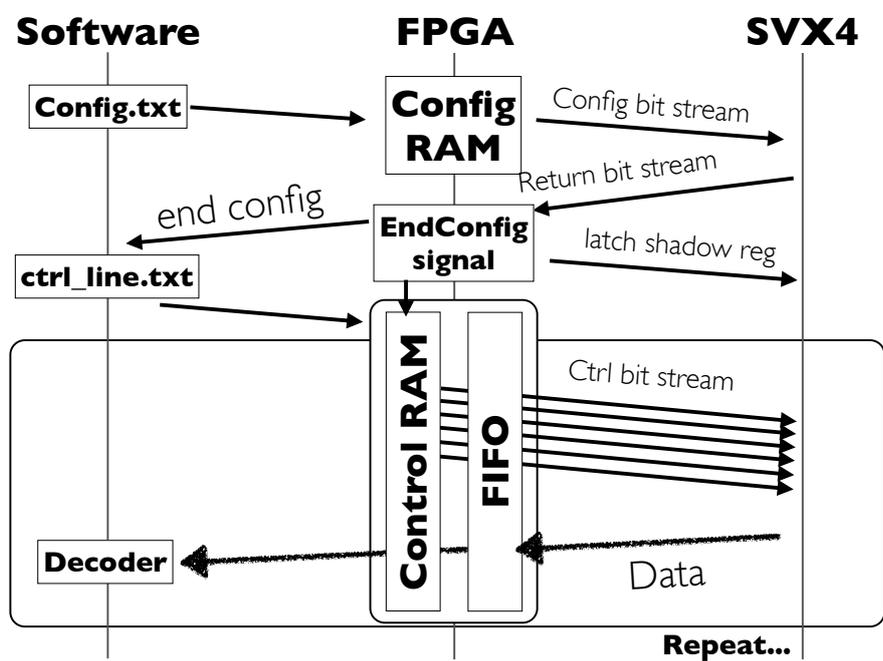


図 4.7: DAQ のフローチャート

のデータは User FPGA 内の Control RAM に格納される。Control RAM から SVX4 に制御信号を送ると、SVX4 から 8 bit のデータが出力され、User FPGA 内の FIFO に入り、順次 PC に送られる。PC へのデータ送信が終了すると、次のデータ収集のために Control RAM から制御信号を繰り返し SVX4 に送信し、指定した事象数に達するまでこの動作を続ける。PC はデータを受け取ると、データをデコードしてファイルに保存する。

4.3.1 RBCP パケット

本研究で開発したシステムでは、PC から SEABAS へのデータ転送はすべて UDP 通信によって行っている。UDP 通信は、一般的には TCP 通信より多量のデータを一気に送信することができるためデータ通信速度は TCP 通信よりも速いが、SEABAS での UDP 通信は UDP 専用のレジスタへのアクセスに時間がかかるため、TCP 通信と比べてデータ転送速度が劣るといふ欠点がある。しかし、今回開発したシステムは、PC から User FPGA の RAM へのレジスタアクセスが基本となるため、UDP 通信を用いたデータ転送 (RBCP 通信) のほうが容易にプログラムを記述できる。

RBCP を用いたデータの転送速度に関しては、Config RAM、Control RAM へのデータ転送にかかる時間が両方合わせて 1 秒程度かかる。しかし、一度 Config RAM、Control RAM にデータを転送すると、DAQ が終了するまで RAM を解放しないので、SVX4 に制御信号を入力し始めるまえに一度だけデータ転送を行えばよい。このため、通信速度も問題とならない。

RBCP 通信によるレジスタアクセスは、RBCP 専用のデータパケットを作成、転送することで、複数のレジスタへのアクセスをまとめて行うことができる。1 パケットにつき、8 bit のデータを 256 個のアドレスへ送信することが可能である。(図 4.8)

4.3.2 デコーダー

SVX4 から出力されるデータは TCP 通信で受信する。受信したデータをデコードし、ROOT ファイルと呼ばれるファイル形式で保存する。これは、ROOT と呼ばれる、CERN で開発された解析ソフトウェアを用いて解析を行うことを想定しているためである。

受信するデータは表 3.1 のように、まず各 SVX4 に固有の (Configuration によって決める) Chip ID があり、その後に Pipeline cell ID、さらに Channel ID、そのチャンネルの ADC 値と続く。このような様式のデータをトリガーの数だけ PC が受信する。本研究で開発したデコーダーでは、指定した Chip ID に対応する bit stream を探すことで事象を区切っている。また、8 bit の ADC 値はグレイコードのまま PC に送られてくるので、ファイルに保存する前にバイナリ表記に変換している。

Signals	Description
ADDRESS	32-bit width address
RD	8-bit width read data
WD	8-bit width write data
RE	Read enable
WE	Write enable
ACK	Access acknowledge from target bus devices. In read accesses, valid read data.

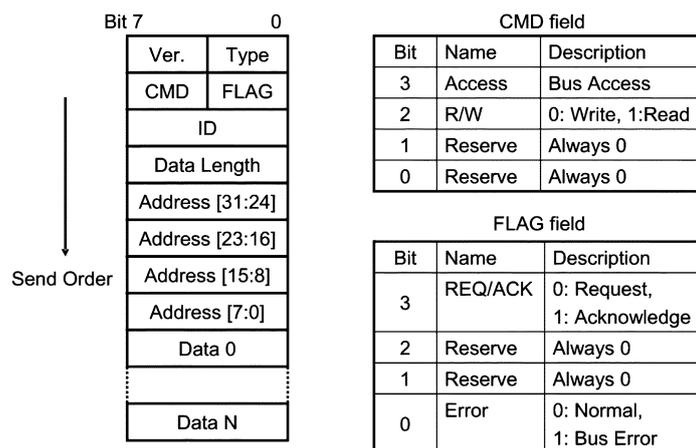


図 4.8: RBCP 通信に用いられるデータパケットの形式 [6]

第5章 DAQシステムの動作試験

テレスコープ検出器開発に向けて、SVX4からの信号読み出しを確立するためにDAQシステムを構築した。第4章で述べたファームウェアとソフトウェアに加え、SVX4を1チップ搭載するためのプリント基板を設計・開発したので、その基板の説明を最初にしたあと、DAQシステムの動作試験の結果を述べる。その後、テレスコープ検出器の実機と同様の電気回路をもつ基板の設計・開発を行ったので、その基板についての説明をしたあと、基板の動作試験の結果を述べる。

5.1 SVX4 BOARD Version 1: 1チップ読み出し用基板

DAQシステムの一部として、SVX4を一つ搭載し、SEABASと接続できる基板(SVX4 BOARD V1)を開発した。SVX4 BOARD V1とSEABASを接続した写真を図5.1に示す。



図 5.1: SVX4 BOARD V1 と SEABAS

SVX4は、裏面をアナログ電源用のGND (AGND) に接続しておく必要があるの
で、導電性の銀ペーストでSVX4 BOARD V1に接着してある。SVX4上の信号入出

力用のアルミパッドは、SVX4 BOARD V1上の金パッドにワイヤーボンディングで接続してある。SVX4上のパッドにはSVX4への電源供給用のもの、制御信号入力や出力信号用のもの、シリコンセンサーからの信号入力用のものがある。パッドの配置を図5.2に示す。SVX4の信号線は、SVX4 BOARD V1の4つのコネクタを通じてSEABASのUser FPGAと繋がるよう配線してあり、SVX4の入力LVDS信号線には終端抵抗(100Ω)を施してある。また、128チャンネルの入力信号のうち5チャンネル(ch 0, 32, 63, 96, 127)には外部から試験用のパルスを入射できるように、LEMOコネクタと負荷コンデンサ、カットオフ回路をそれぞれのチャンネルに設置した。

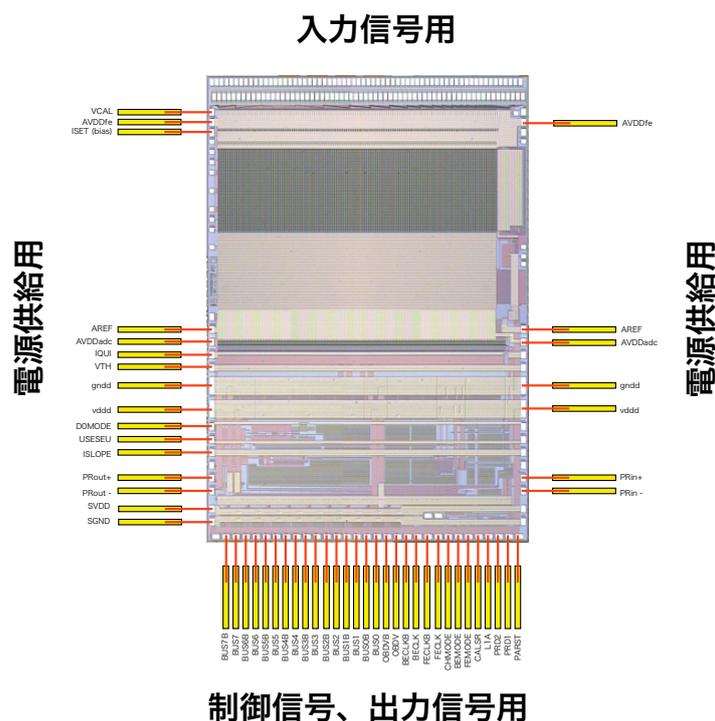


図 5.2: ワイヤーボンディングによる接続が必要なパッド

SVX4への電源供給は、アナログ電源 (AVDD) とデジタル電源 (DVDD) の2系統が必要なので、それぞれ個別に電源を供給できるコネクタを設置した。また、各チャンネルにテスト用電荷を入射するための外部電源 (VCAL) を供給するためのコネクタも設置した。SVX4上の各電源供給用パッドには、バイパス回路を介して適切な電圧を供給する必要がある。SVX4 BOARD V1のバイパス回路の回路図を図5.3に、AVDD、DVDDのそれぞれの電流値を表5.1に示す。表に示した値は、Configurationを行ったあとのAVDD、DVDDのそれぞれの電流値である。

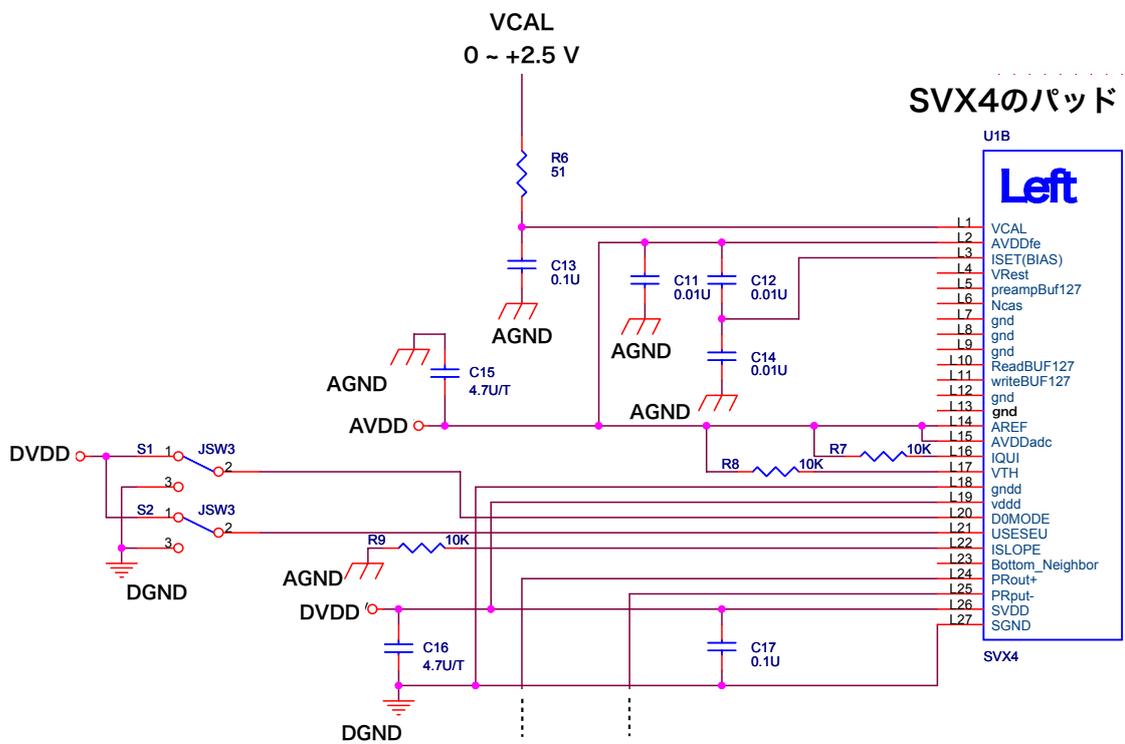


図 5.3: SVX4 BOARD V1 の回路図の一部。SVX4 の左右の側面にバイパス回路を介して電源を供給する。

表 5.1: SVX4 BOARD V1 に流れる電流の値

電源系	定常時の電流値	データ読み出し中の電流値
AVDD	30 mA	130 mA
DVDD	20 mA	30 mA

5.1.1 DAQシステムの動作確認

Configuration register へのデータ入力

SVX4を動作させるには、データ収集の前に Initialize Mode で Configuration を行う必要がある。本システムでは、Configuration で入力する値が書かれたテキストファイルのデータを、SEABAS の User FPGA 内の Config RAM を介して SVX4 に送信する。これが正常に動作し、Configuration を行うことができるかどうかをまず確認する。Configuration ができていることを確認するために、PRin に 2 回 192 bit のシリアルデータを入力する。PRin にシリアルデータを送信すると、Configuration register に元々保持されていた値が PRout から出力される。よって、2 回目のシリアルデータの入力によって、1 回目に送信した Configuration の値が PRout から出力されるかどうかを確認すればよい。

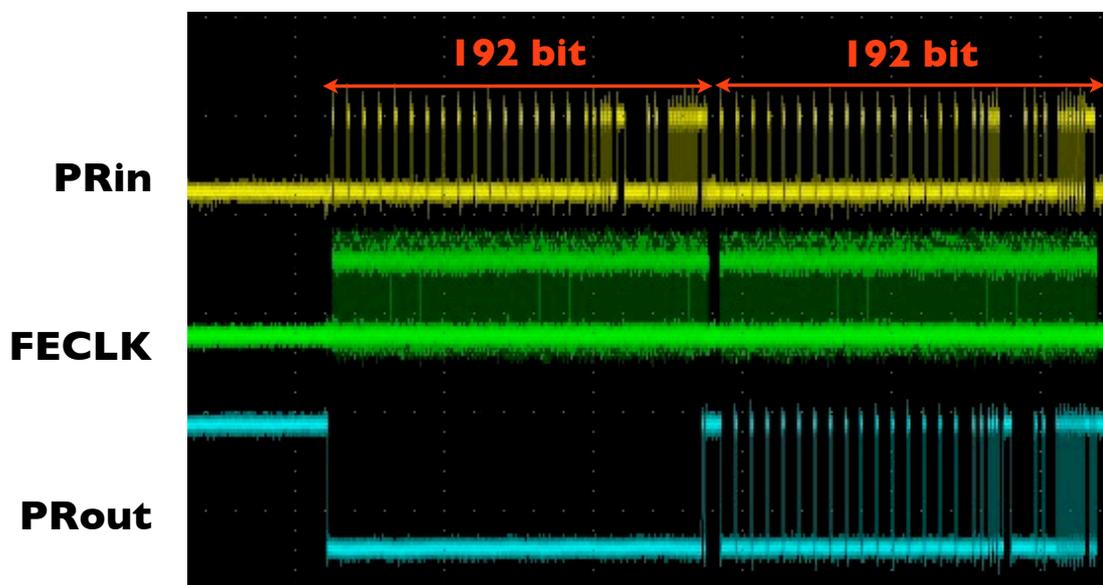


図 5.4: Configuration 時の bit stream。

Configuration を実行したときに SVX4 に入力した PRin、FECLK と、出力された PRout の波形を、SVX4 BOARD V1 上で信号線をプローブしてオシロスコープで観測した。取得した波形を図 5.4 に示す。PRin に 192 bit のシリアルデータを 2 回送信しており、2 回目の送信と同時に PRout から 1 回目に PRin に送信した値が押し出されてきている。このことから、本 DAQ システムで Configuration register へ値を入力することができるということがわかる。

制御信号の入力

制御信号の bit stream を記述したテキストファイルのデータを SEABAS の User FPGA 内の Control RAM を介して SVX4 に送信できているかどうかを確認する。図 5.5 に、SVX4 BOARD V1 上で SVX4 の各信号線をプローブすることで得られた Initialize Mode から Readout Mode までの制御信号の波形を示す。

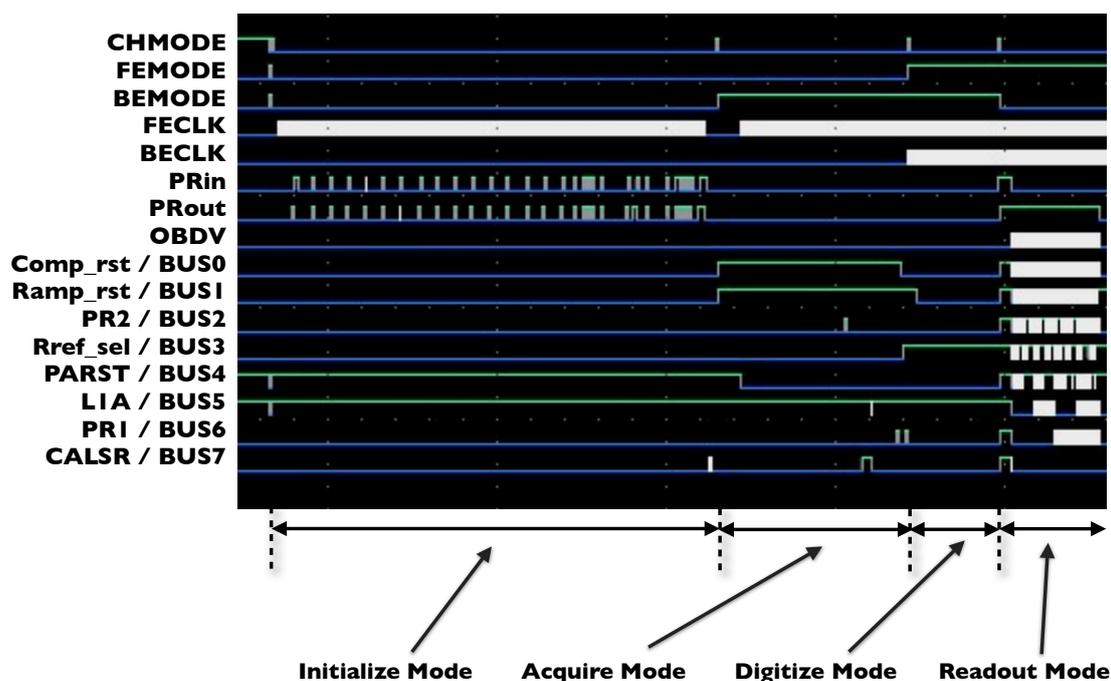


図 5.5: SVX4 とのデータ通信を示す波形。テキストファイルに記載した bit stream の通りに制御信号を SVX4 に入力することができている。

Initialize Mode、Acquire Mode、Digitize Mode では、PRout、OBDV 以外はすべて SVX4 へ入力する制御信号であるが、第 3.3 章で説明したような制御信号を入力できていることがわかり、各制御信号はテキストファイルに書いた bit stream と一致する。よって、制御信号に関しても SEABAS を介して SVX4 へ送信できていることが確認できた。Configuration における入力信号の送信の結果もふまえて、本 DAQ システムにおいて、SVX4 へのデータ送信が確立できたといえる。

データ出力の確認

SVX4をD0 MODEで動作させた場合、8本のBUS線はすべて双方向の信号線となり、Readout Modeではデータの出力を担う信号線となる。図5.5から、Initialize Mode、Acquire Mode、Digitize Modeで適切な制御信号を入力することで、Readout ModeにおいてSVX4からデータが出力されていることがわかる。出力信号の波形を拡大した図を図5.6に示す。表3.1に示したデータ様式と比較すると、Chip IDとPipeline Cell Numberに続いてChannel IDと、そのチャンネルのADC値とみられる8 bitの値が交互に出力されている様子が確認できる。このことから、本DAQシステムにおいてSVX4に制御信号を正常に送信できているだけでなく、SVX4がそれを受け取り、それに応じて正常な挙動を示していると判断した。

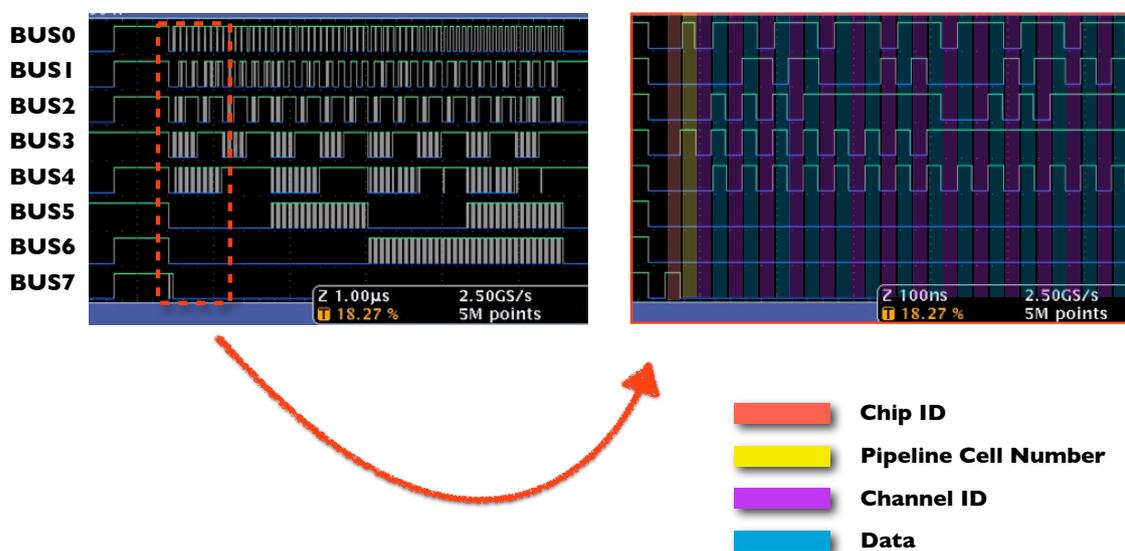


図 5.6: Readout ModeにおいてBUS線から出力されたデータ。表3.1に示したデータの様式の通りにSVX4から信号が出力されている。

ペDESTAL測定によるデータ通信の挙動確認

次に、L1Aを256回送ってデータを収集し、すべてのチャンネルのペDESTALの値を測定することで、SEABASを介してPCがSVX4からの出力信号を受信し、デコードができているかどうかを確認した。

SVX4に制御信号を送ることで得た128チャンネルのADC値を図5.7に示す。すべてのチャンネルでほぼ同じ値をもつピークが現れており、SVX4の挙動が予想されるものと一致している。これより、SVX4からのデータがSEABASを通じてPCま

で正常に送られており、ソフトウェアでのデコードも正しく動作していることがわかる。以上のことから、SVX4からのデータをPCが正しく受信していると結論づける。

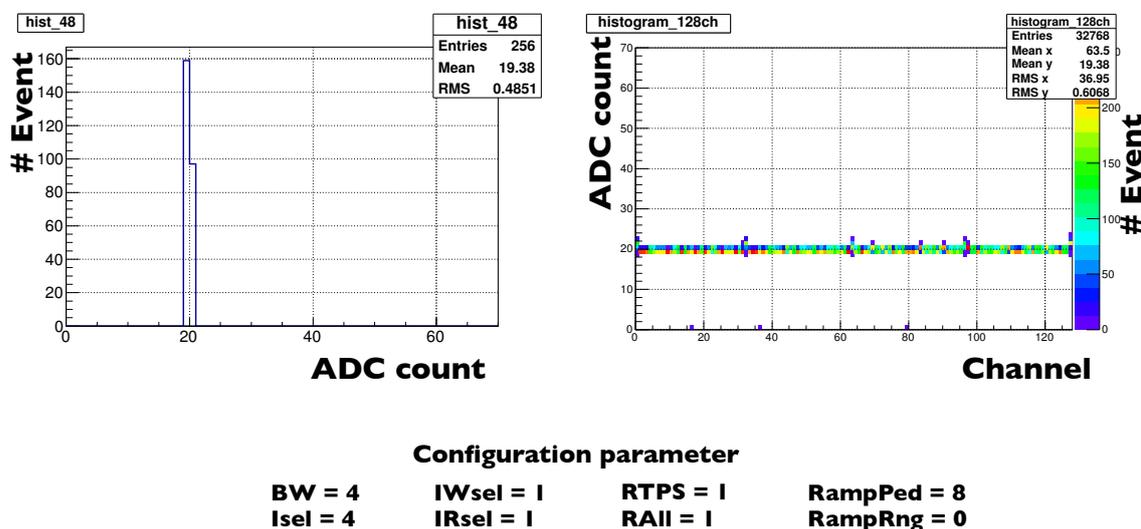


図 5.7: 128 チャンネルすべての ADC 値を読み出したときの ADC 分布。48 チャンネル目の ADC 分布を示すヒストグラム（左図）と、128 チャンネルすべての ADC 分布を示す 2 次元ヒストグラム（右図）。

以降では、SVX4 の Configuration の値を変更して挙動を確認することで、SVX4 の Back-end (ADC、FIFO)、Front-end (Preamplifier、Pipeline) がそれぞれ正常に動作しているかどうか調べる。

ペDESTAL測定による ADC の動作確認

各チャンネルのペDESTALの値は Configuration で変更可能である。ペDESTALの値は、図 3.5 で示した Ramp Pedestal と Ramp Reference との電位差と、ランプ電圧の上昇率で決まる。これらの値は、それぞれ RampPed、RampRng という Configuration 値で決める。それぞれの数値を変更したときのペDESTALの値の変化を図 5.8、5.9 に示す。Ramp Pedestal の値は Configuration の値 (RampPed) が増えるにつれて線形に減少する。図 5.8 では、RampPed の値に応じて線形にペDESTALの値が減少していることを確認できる。一方、RampRng には Configuration 用に 3 bit のレジスタが用意されている。これを最上位ビットから r_2 、 r_1 、 r_0 とすると、ランプ電圧の

上昇率 A は、

$$A = C \times \frac{1}{1 + (4 \times r0) + (3 \times r1) + (1 \times r2)} \quad (5.1)$$

となる。 C は上昇率の係数である。図 5.9 では、RampRng の値に応じてランプ電圧の上昇率が変化していることがわかり、その値の変化も式 5.1 におよそ一致する。

なお、チャンネル 0、32、63、96、127 のみペDESTAL 値が他のチャンネルより大きくなっているが、これらのチャンネルは SVX4 に外部からの試験用パルスを入射するために SVX4 にワイヤーボンディングを施しているチャンネルと一致しており、その影響であると考えられる。これについては後ほど考察する。

以上より、SVX4 の Configuration が正常に行えていることがわかり、Configuration に応じたペDESTAL の値の振る舞いから、本システムにおいて SVX4 の ADC が正常に動作していることを確認できた。

テスト電荷の入射による Front-end の動作確認

次に、Preamp へテスト電荷を入射したときの挙動を調べる。テスト電荷の入射に関する Preamp まわりの回路の概略を図 5.10 に示す。テスト電荷を入力信号として入射するには 2 種類の方法がある。一つは SVX4 内部の電源 (AVDD) を用いて電荷を入射する方法で、もう一つは SVX4 の表面にある VCAL というパッドに外部電源を供給する方法である。内部電源を用いた方法では、Preamp の上流にある 25 fF の静電容量のコンデンサ (C_t) に AVDD から分配したおよそ +0.8 V の電圧をかける。AVDD を分配するのに使用する SVX4 内部の抵抗値は変更できないため、内部電源を用いたテスト電荷の入射では、入射する電荷量を変えることができない。外部電源を用いた方法では、SVX4 BOARD V1 の VCAL 用電源コネクタを用いて外部から任意の電圧を C_t に供給するため、入射する電荷量を任意に決めることができる。

内部電源を使用するか外部電源を使用するかは Configuration で入力する "VCAL" の値によって決まる。VCAL の値を変更することで図 5.10 の左側のスイッチが切り替わり、テスト電荷の入射用のコンデンサにかかる電圧を AVDD から分配したものか、外部から供給するものか選択できる。右側のスイッチは CALSR に信号を送ることで制御する。このスイッチが接続されたタイミングで、 C_t を通じてテスト電荷を Preamp に入射する。

内部電源を用いてテスト電荷を入射したときの全チャンネルの ADC 分布を図 5.11 に示す。テスト電荷は、全チャンネルのうち端から 8 チャンネルごとに入射しており、それらのチャンネルに対する ADC 値がペDESTAL より大きくなっていることがわかる。また、テスト電荷を入射したチャンネルとしていないチャンネルの RMS が同程度であることから、テスト電荷の入射によるノイズの増加がないことがわかる。入射したテスト電荷は Preamp で増幅され、Pipeline を経由して読み出されることか

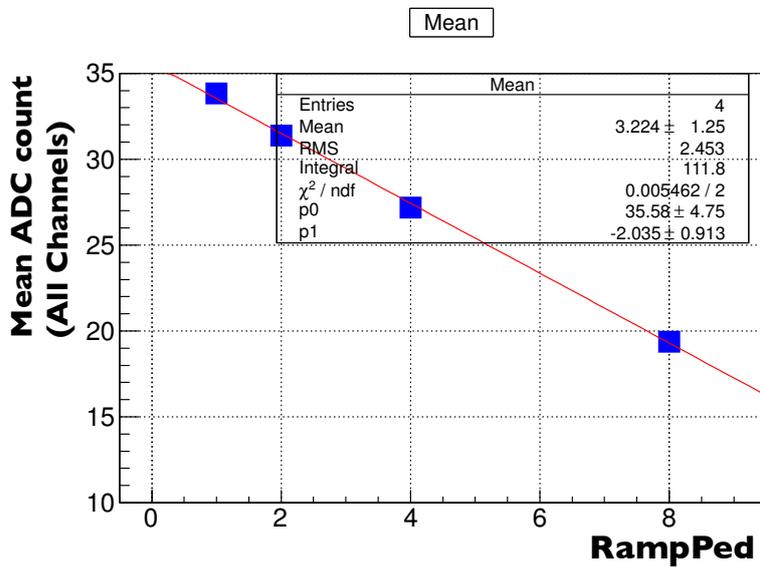
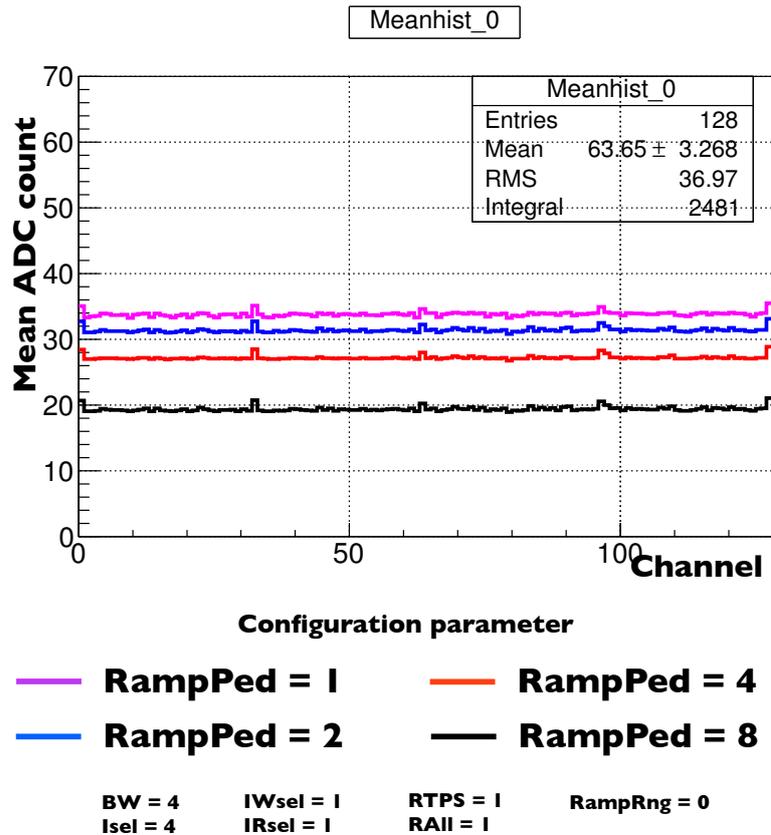
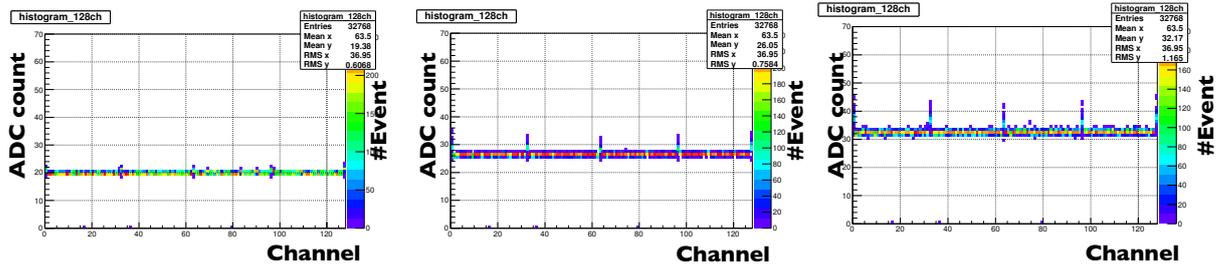


図 5.8: Ramp Pedestal の値を変更したことによるペDESTAL の値の変化。RampPed の値が増えるにつれて線形にペDESTAL の値が下がる。



Configuration parameter

RampRng = 000

RampRng = 001

RampRng = 010

BW = 4 IWsel = 1 RTPS = 1 RampPed = 8
 Isel = 4 IRsel = 1 RAll = 1

図 5.9: ランプ電圧の上昇率を変化させたときのペDESTALの値の変化。左図から右図にいくにつれ、ランプ電圧の上昇率が減少していく。

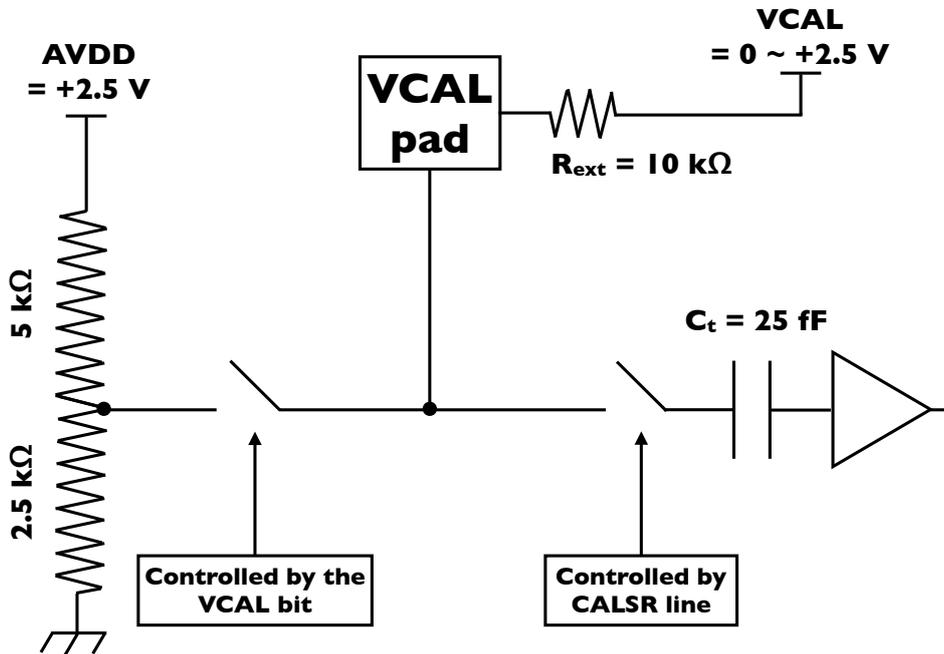
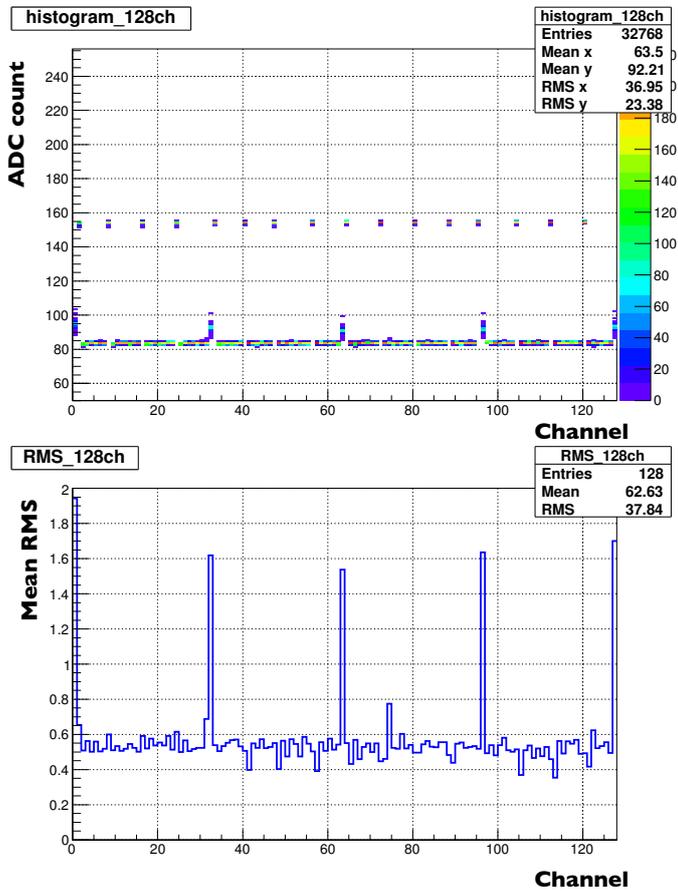


図 5.10: テスト電荷を入射するための回路。AVDD（内部電源）から電荷を入射する方法と、VCALパッド（外部電源）から電荷を入射する方法がある。

ら、テスト電荷の入射が正しく行えていることは、SVX4のFront-endが正常に動作していることを意味する。



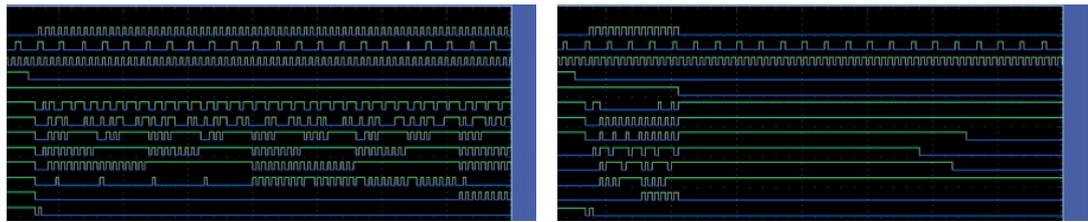
Configuration parameter

BW = 4 IWsel = 1
Isel = 4 IRsel = 1
RTPS = 1 RampPed = 0
RAII = 1 RampRng = 2

図 5.11: 内部電源を用いてテスト電荷を入射したときの全チャンネルの ADC 分布と、各チャンネルの RMS。

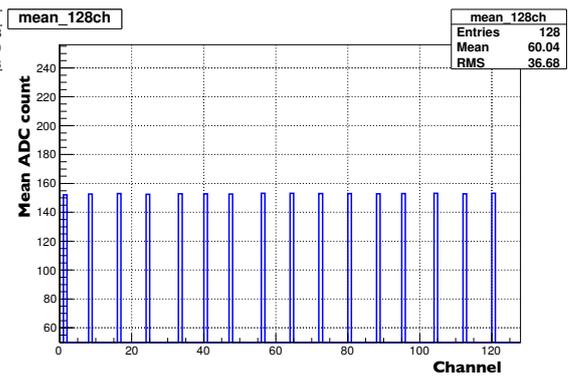
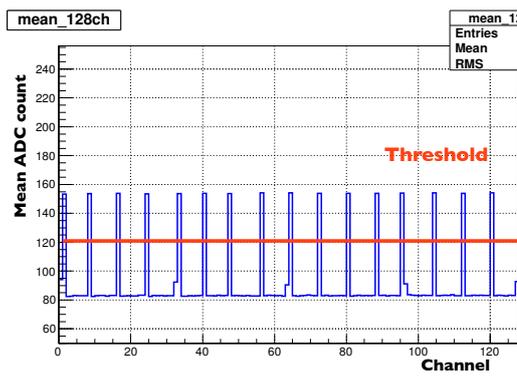
Data Sparsification による FIFO の動作確認

次に、FIFOの挙動を確認する。SVX4はADC値に閾値を設定することで、FIFOから読み出すチャンネルを選別し、データ量を減らすことができるので、これが正しく動作していればFIFOの挙動も正しいと言える。内部電源を用いてテスト電荷を入射し、Data sparsificationでデータ収集した結果を図5.12に示す。ADC値の閾値は120に設定しており、ADC値が閾値を超えたチャンネルのデータのみを読み出すことができていることがわかる。Data sparsificationも正常に行えており、FIFOからの読み出しの挙動が正しいことがわかる。



**Data size: ~2,000 bit
(50 MHz Readout speed)**

**Data size: 272 bit
(50 MHz Readout speed)**



Configuration parameter

**BW = 4 IWsel = 1 RTPS = 1 RampPed = 0
Isel = 4 IRsel = 1 RAll = 1 RampRng = 2**

Configuration parameter

**BW = 4 IWsel = 1 RTPS = 1 RampPed = 0
Isel = 4 IRsel = 1 RAll = 0 RampRng = 2**

図 5.12: Data sparsification によるデータ量の削減。ADC 値の閾値を 120 に設定したときの全チャンネルの ADC 値の平均値を右下に示す。

以上の測定結果から、SVX4 BOARD V1 を用いた本 DAQ システムにおいて、SEABAS を用いたデータ通信と、それによる SVX4 の制御をすべて正常に行うことができていると結論づける。

5.1.2 DAQ システムのノイズ評価

ADC 値 1 カウントあたりの電荷量を求め、ペDESTAL の幅を電荷量に換算することで SVX4 を用いた読み出しシステムのノイズを評価した。

ADC 値 1 カウントあたりの電荷量を求めるために、Preamplifier に VCAL パッド経由でテスト電荷を入射する。テスト電荷と外部電源から供給する電圧の間には、以下の関係式が成り立つ。

$$Q_{cal} = C_t V_{cal} \quad (5.2)$$

C_t の値は 25 fF と既知なので、 V_{cal} の値を変化させることで、入射電荷と ADC 値の関係を調べることができる。

V_{cal} の値を 300 mV ずつ増加させて入射電荷に換算した値と、ADC 値との関係を図 5.13 に示す。各チャンネルにおいて、入射した電荷量に対して ADC 値が線形に増加することから、電荷の入射に対して ADC が適切な振る舞いをしていることがわかる。入射電荷に対する ADC 値の増加率から、ADC 1 カウントあたりの電荷量が $2,130e^-$ であるとわかる。図 5.11 で示した内部電源を用いてテスト電荷を入射する場合、入射電荷が $130,000 e^-$ であるのに対して、電荷を入射した各チャンネルにおける ADC 値とペDESTAL との差が 70.9 であるので、図 5.13 の測定結果を用いて電荷量に換算するとおおよそ $151,000 e^-$ となり、予想とおおよそ 16% のずれで一致する。

内部電源を用いたテスト電荷の入射試験からノイズを評価する。図 5.11 において、各チャンネルの RMS を横軸に表したヒストグラムを図 5.14 に示す。各チャンネルの RMS の平均は 0.53 であるので、ペDESTAL の RMS をノイズと定義した場合、本システムにおけるノイズは $1,130 \pm 90 e^-$ である。文献値 [3] によると、DØ MODE におけるノイズがおおよそ $700 e^-$ であるのに対して、本研究で測定したノイズがおおよそ 1.6 倍大きい。この考察については第 6 章で行う。

5.2 テレスコープ検出器用電気回路を用いた複数チップ読み出しの動作試験

テレスコープ検出器は SEABAS に直接接続するのではなく、ケーブルを用いて SEABAS から離れた場所で使用する。SEABAS とテレスコープ用基板は、ケーブルを用いて数メートル離して使用することを計画しているため、SVX4 の入力信号、出

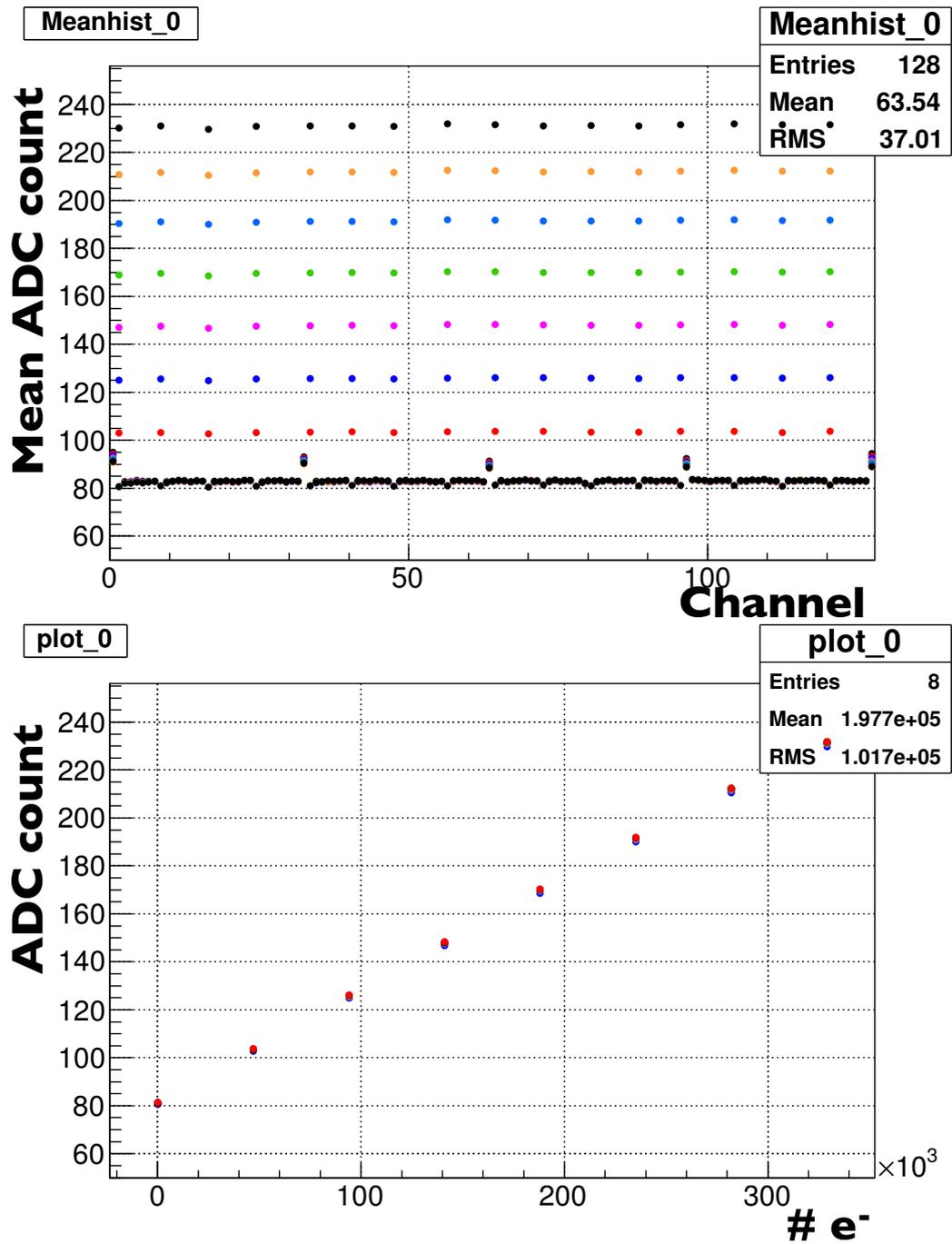


図 5.13: 各チャンネルの入射電荷の電荷量と ADC 値の相関

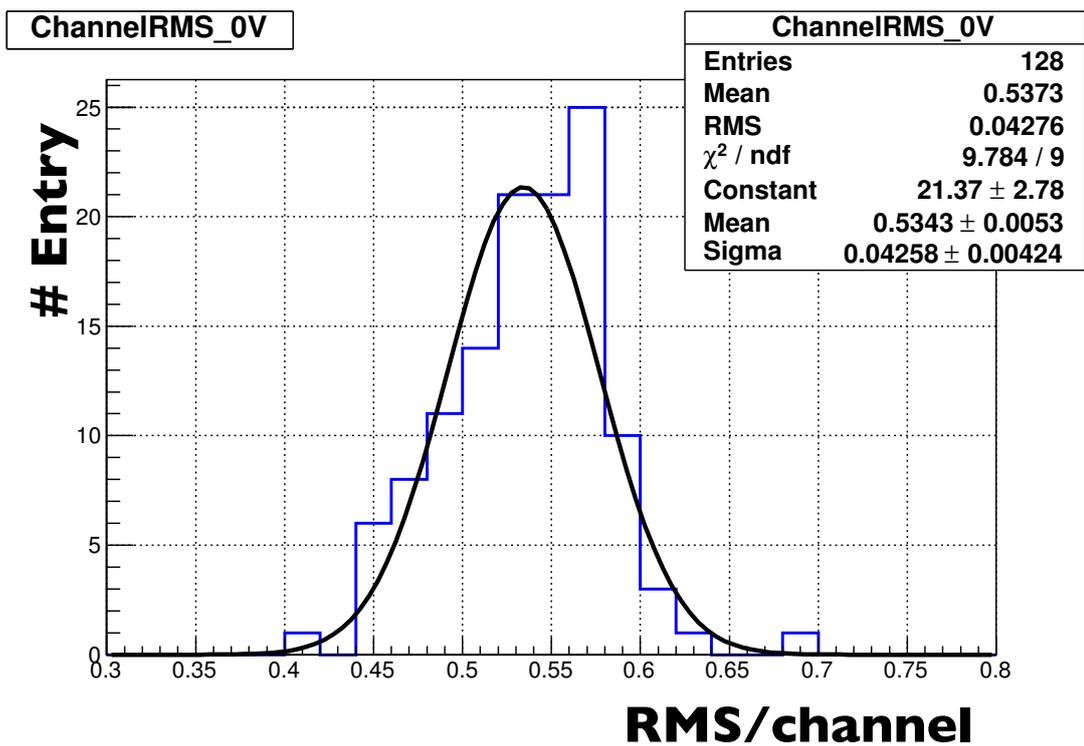


図 5.14: 内部電源を用いた各チャンネルへのテスト電荷の入射における各チャンネルの ADC 値の RMS の平均を示すヒストグラム

力信号を遠くまで送るドライバ用の IC と、遠くから送られてきた信号を受け取って波形を整えるためのレシーバ用の IC が必要となる。このため、SEABAS 側に新たにサブボード (DAUGHTER BOARD) を設計・開発し、それを用いてテレスコープ用基板と SEABAS を接続することにした。また、テレスコープ検出器に使用するシリコンセンサーは 1 個につき 256 本のストリップがあるので、シリコンセンサーを 2 個搭載するテレスコープ検出器には 128 チャンネル読み出しの SVX4 を 4 個用いて Daisy Chain による複数読み出しを行う必要がある。そこで、ドライバとレシーバを搭載したテレスコープ検出器用の電気回路の試験と、複数の SVX4 読み出しの試験を兼ねて 2 個の SVX4 を Daisy Chain で接続して読み出すための基板 (SVX4 BOARD V2) を設計・開発し、その動作試験を行った。

DAUGHTER BOARD はテレスコープ検出器を SEABAS と接続する際にも使用する予定である。また、SVX4 BOARD V2 はシリコンストリップセンサーがついていないことと、読み出す SVX4 の数が少ないことを除いて、テレスコープ用基板と同じ電気回路を持つ。よって、この動作試験はテレスコープ検出器試作品の試験という位置づけである。

以下では、設計・開発した DAUGHTER BOARD の説明と、SVX4 BOARD V2 の説明ををそれぞれ行ったあと、それらの動作試験の結果について述べる。

5.2.1 SEABAS - テレスコープ検出器接続用 DAUGHTER BOARD

本研究で設計・開発した DAUGHTER BOARD を図 5.15 に示す。SEABAS の User FPGA に繋がった信号線はコネクタを介して DAUGHTER BOARD 上のドライバとレシーバに接続されている。双方向の信号線はドライバとレシーバの両方の役割を持つような IC と接続されている。この IC には、ドライバとして動作するのかレシーバとして動作するのかを切り替えのための制御信号があり、この信号を SEABAS によって制御する。以上のドライバやレシーバは基板対ケーブル用コネクタを経由して SVX4 BOARD V2 やテレスコープ用基板に繋がる。基板対ケーブルコネクタは 80 極のものを使用し、ケーブルはハーフピッチ (0.635 mm ピッチ) のフラットケーブルを用いた。本章では、ケーブルの長さを 10 cm と短くして試験を行った。

DAUGHTER BOARD のドライバ、レシーバの各 IC はいずれも +3.3 V で動作するため、+3.3 V の電源と GND を外部から供給するためのコネクタを設置している。また、このコネクタ経由で供給された電源は 80 極のケーブルによって SVX4 BOARD V2 にも供給される。さらに、SVX4 に外部テスト電荷を入射するためのコネクタも DAUGHTER BOARD につけてある。この電源についても 80 極ケーブルを介して DAUGHTER BOARD から SVX4 BOARD V2 に供給される。

基板の大きさは 100 mm × 110 mm である。

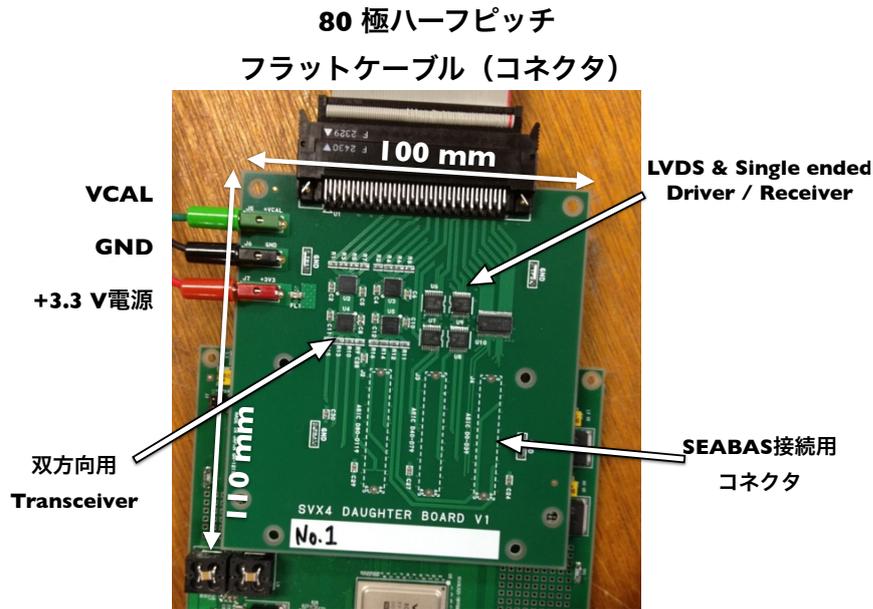


図 5.15: SEABAS - テレスコープ検出器接続用 DAUGHTER BOARD

5.2.2 SVX4 BOARD Version 2: 2チップ読み出し用基板

SVX4を2枚搭載し、ケーブルと DAUGHTER BOARD を経由して SEABAS と接続するための電気回路を組み込んだ SVX4 BOARD V2 を図 5.16 に示す。2枚の SVX4 は Daisy Chain で繋げている。2枚の SVX4 のパッドと基板の配線間の接続は、Version 1 と同様にワイヤーボンディングによって行った。また、Version 1 は SVX4 と基板の接着を導電性の銀ペーストで行ったが、Version 2 では導電性のシリコンペーストを用いた。

2つの SVX4 からの各制御用信号線は、それぞれ一点で合流したあとドライバとレシーバに接続される。ドライバとレシーバは DAUGHTER BOARD と同様、基板対ケーブル用のコネクタに繋がっており、ここに先述の 80 極ケーブルを接続することで DAUGHTER BOARD と SVX4 BOARD V2 の各制御用信号線を電氣的に接続する。

ケーブルを通じて +3.3 V と VCAL の電源が DAUGHTER BOARD から供給されるので、この電圧がドライバやレシーバ IC にかかるようにしている。また、SVX4 への電源は、AVDD、DVDD とともに標準で +2.5 V であるので、2つの Regulator によって +3.3 V から標準より高めの +2.6 V の電源系を作って SVX4 に供給している。すべて DAUGHTER BOARD からケーブルを通じて電源供給がされるので、SVX4 BOARD V2 に独立に電源をかけなくてもよい。この電源系で定常時に流れる電流値

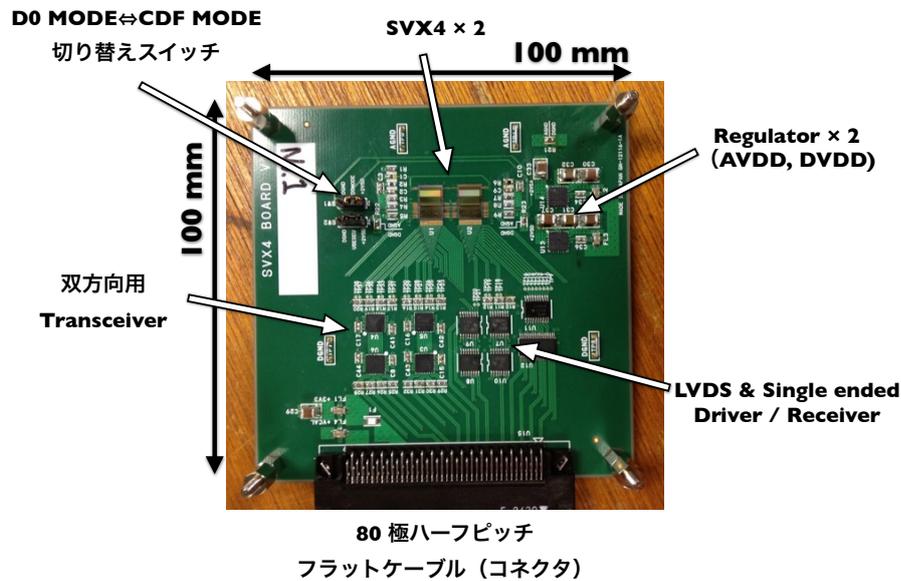


図 5.16: SVX4 BOARD V2

はおよそ 700 mA で、データ読み出し中はおよそ 1500 mA である。

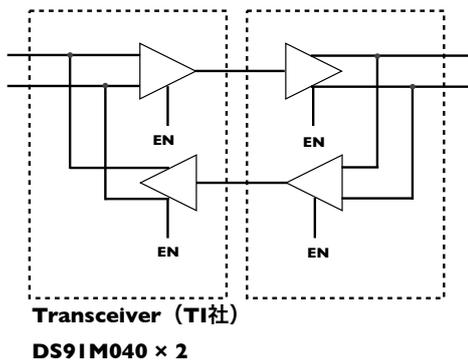
基板の大きさは 100 mm × 100 mm であり、実際にセンサーをつけたテレスコープ検出器として用いるものと同じ大きさで作成してある。

SVX4 BOARD V2 と DAUGHTER BOARD に使用しているドライバ IC とレシーバ IC についての概略図を図 5.17 に示す。SVX4 に対する入出力信号は、ケーブルを通過する際にすべて LVDS 規格に変換している。

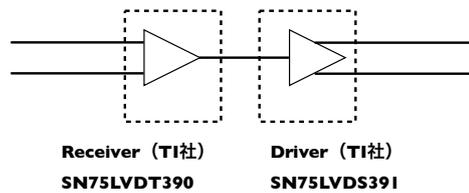
図の (a) が双方向用のドライバ、レシーバに相当する IC のペアである。それぞれの IC にはドライバ機能とレシーバ機能を有効にする制御信号線 (EN) がついており、これによってドライバ、レシーバのどちらとして機能させるかを決められる。本システムでは、EN に SEABAS から信号を送ることで制御している。図の (b) が単方向の LVDS のためのドライバ、レシーバである。図の (c) が SVX4 BOARD V2 のみに搭載している、DAUGHTER BOARD から基板に送られてきた LVDS 規格の信号を Single-end 用の規格 (LVCMOS) に変換するための IC のペアである。図の左側の IC で LVDS から LVCMOS の +3.3 V に変換し、その後、右側の IC が +3.3 V の信号を SVX4 に入力する +2.6 V の信号に変換する。図の (d) が DAUGHTER BOARD のみに搭載している、Single-end の信号を LVDS 規格に変換する IC である。

以上の機能を持つ 2 つの基板と SEABAS を用いて構築した DAQ システムを図 5.17 に示す。このシステムが正常に動作することを以下で確認する。

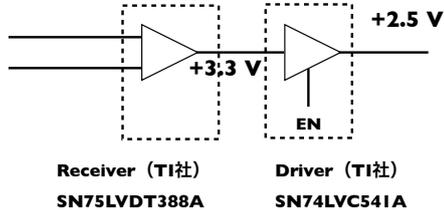
**(a) 双方向LVDS信号線用Driver / Receiver
(SVX4 BOARD V2 / DAUGHTER BOARD)**



**(b) 単方向LVDS信号線用Driver / Receiver
(SVX4 BOARD V2 / DAUGHTER BOARD)**



**(c) Single-end線Receiver
(SVX4 BOARD V2)**



**(d) Single-end線用Driver
(DAUGHTER BOARD)**

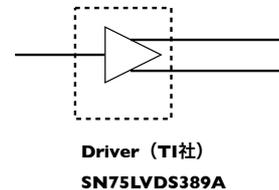


図 5.17: SVX4 BOARD V2 と DAUGHTER BOARD に搭載したドライバ / レシーバ。破線で囲った部分が一つの IC に相当する。(a), (b), (c), (d) のそれぞれを一つの単位として基板上に搭載している。

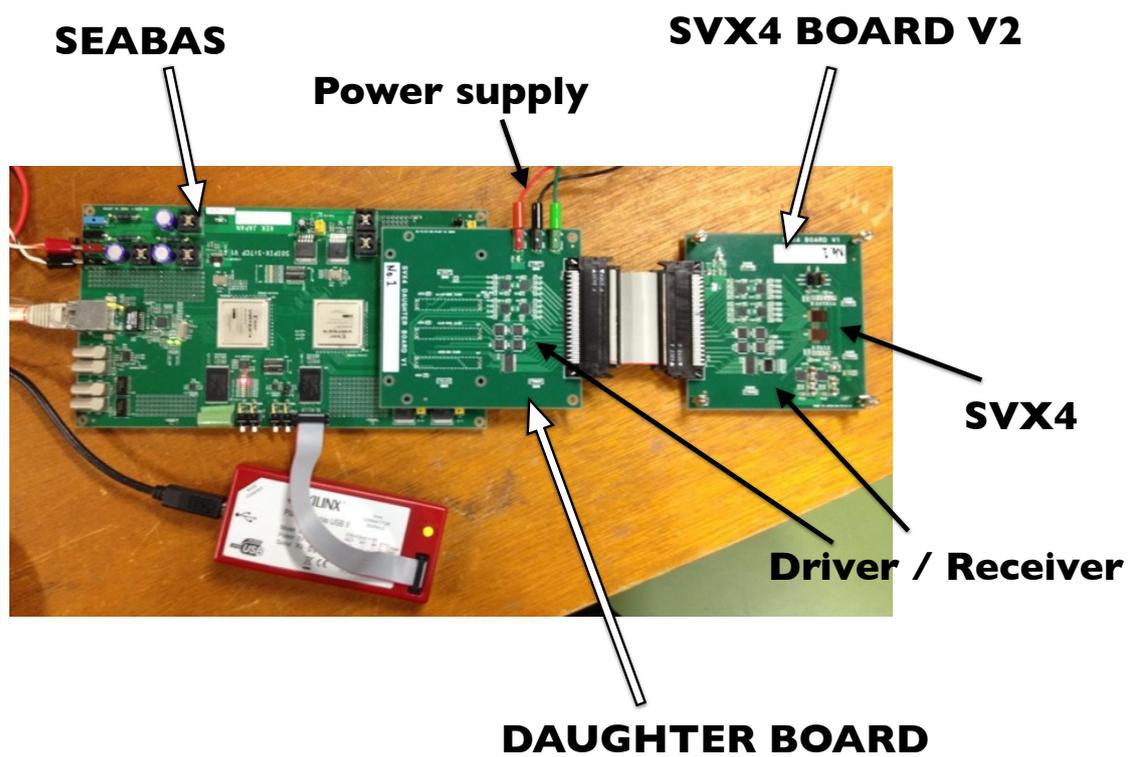


図 5.18: DAUGHTER BOARD を用いて SEABAS と SVX4 BOARD V2 を接続することで構築したシステムの全体像

5.2.3 複数チップ試験用ファームウェアとソフトウェア

第3章で説明したように、SVX4の Configuration と、SVX4からのデータ出力の際の制御の仕方の変更のみによって Daisy Chain で繋がった複数チップの制御が可能である。本研究で開発した DAQ システムでは、PC 上に用意してある Configuration 用のテキストファイルの編集だけで複数の SVX4 の Configuration が可能である。SVX4 からのデータ出力に関しても、SVX4 の数が増えた分データ出力の時間が増え、データサイズも大きくなるが、制御信号の bit pattern が書かれたテキストファイルを編集するのみで複数チップ読み出しに対応が可能である。

ただし、本 DAQ システムでは、双方向信号用に用意したドライバ / レシーバ IC に、ドライバ、レシーバのどちらの役割をするか決めるための信号を送信する必要がある。そのため、扱う信号線をファームウェア上で増やした。

5.2.4 動作試験

まず、SEABAS から 2 つの基板のドライバ、レシーバを介して SVX4 に正しく制御信号が入力されているか確認した。SEABAS から送信した制御信号を、SVX4 BOARD V2 上の SVX4 とドライバ / レシーバとの間でプローブして取得したオシロスコープの波形を図 5.19 に示す。制御信号は Acquire Mode から Readout Mode のデータ出力が終了するまでを表しており、テキストファイルに書き込んだ bit stream が SVX4 まで送られている。このことから、DAUGHTER BOARD と SVX4 BOARD V2 の電気回路が動作しており、SEABAS から SVX4 へ正常に信号入力ができていることがわかる。

また、図の Readout Mode では、2 つの SVX4 が順次データを出力している様子が確認できる。入力した制御信号によって、2 つの SVX4 が Daisy Chain によるデータ出力を行っていることが確認できた。

次に、SVX4 が出力している信号が、同じく 2 つの基板のドライバ、レシーバを介して SEABAS まで正常に送られてきていることを確認した。図 5.20 は、SVX4 からのデータ出力信号を、SVX4 から出力された直後 (Probe. 1) と SEABAS に入力される直前 (Probe. 2) でそれぞれプローブし、オシロスコープで得られた波形を示している。Probe. 1 と Probe. 2 で得られたオシロスコープの波形が一致していることから、SVX4 からの出力信号がドライバやレシーバを介しても正しく SEABAS まで届いており、2 つの基板上のドライバとレシーバが正常に動作していることがわかる。以上の測定事実から、2 つの基板上のドライバ、レシーバが問題なく動作しているといえる。特に、2 つの基板の双方向用ドライバ・レシーバには SEABAS から制御信号を送ることで動作するが、これについても正常に動作していることが確認できた。

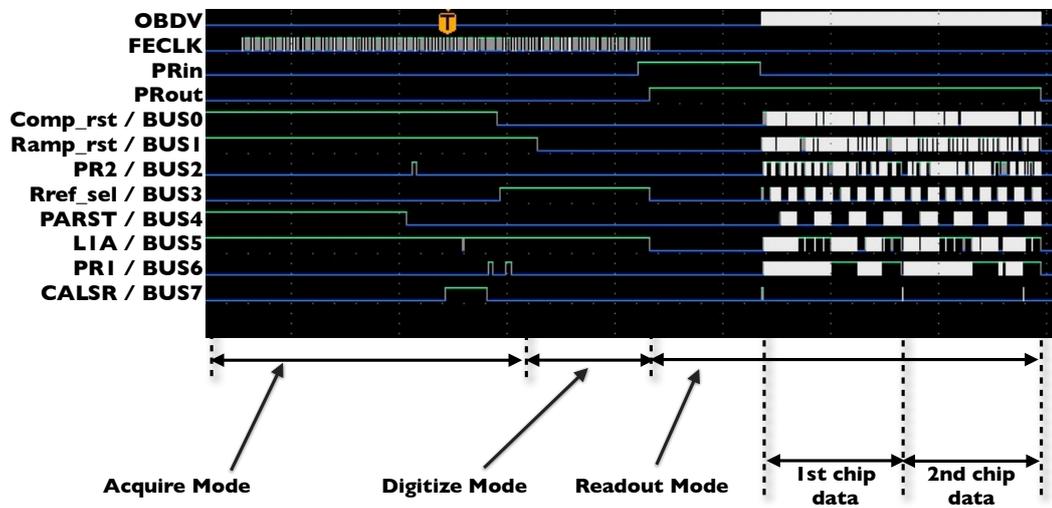


図 5.19: SVX4 に入力した制御信号を示す波形

また、SVX4がSEABASからの制御信号に反応してデータを出力していることから、SVX4 BOARD V2上のRegulatorが正常に+2.6 Vの電圧を2つのSVX4に供給できており、本研究で開発したテレスコープ用基板、DAUGHTER BOARDに実装する電気回路が正しく動作しているといえる。

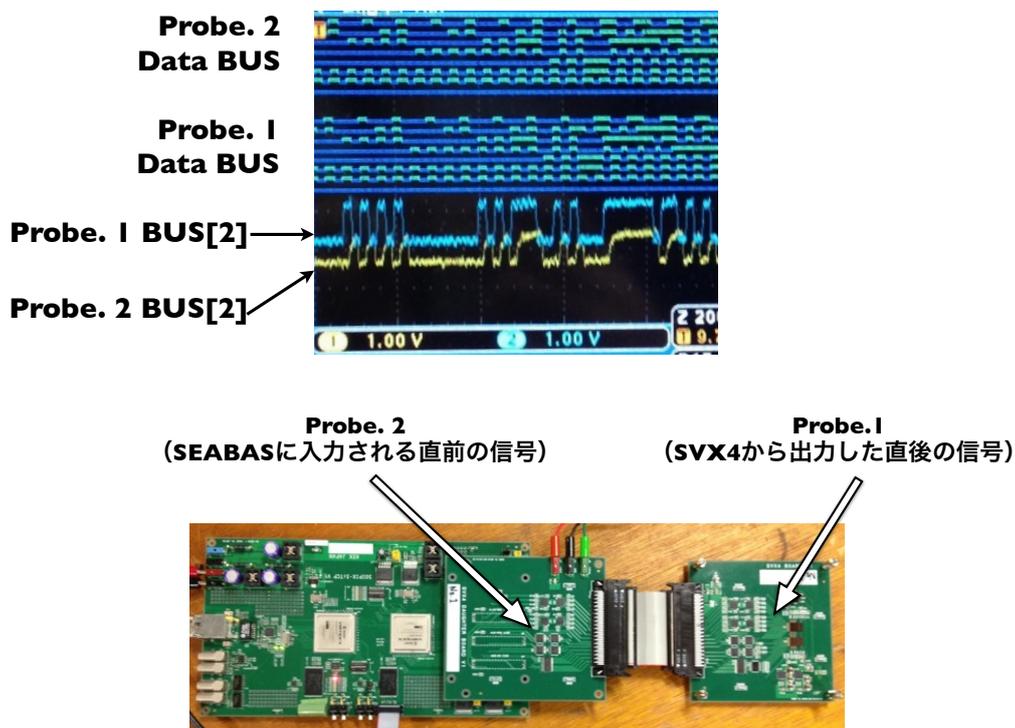
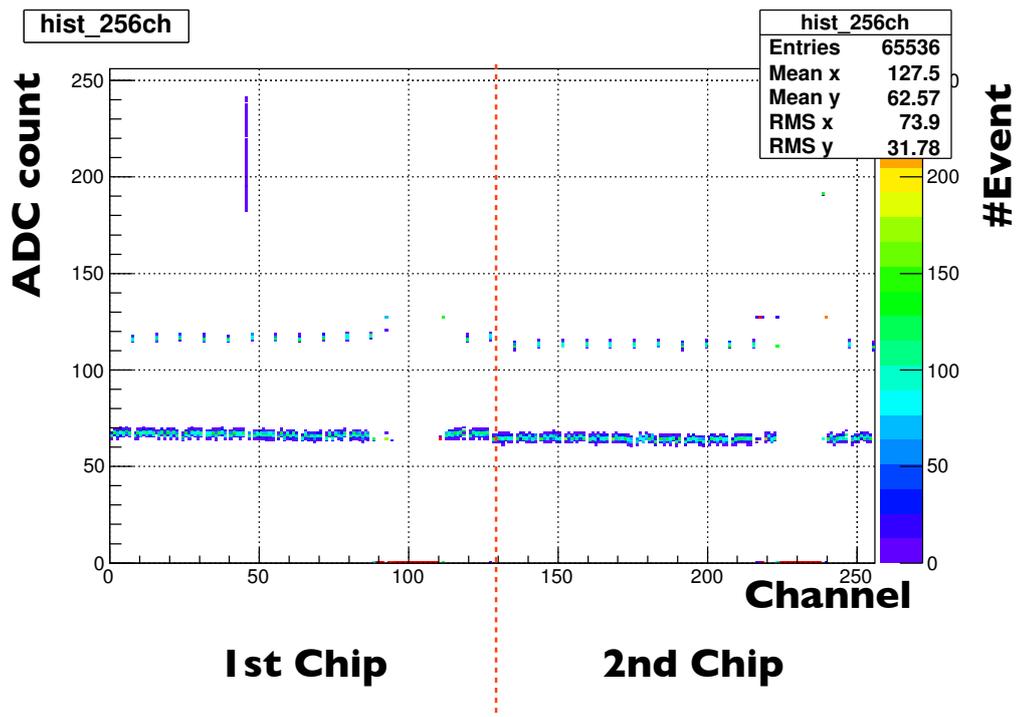


図 5.20: SVX4 から出力された信号と、SEABAS に入力される信号の波形の比較

最後に、SVX4から出力されたデータが正常な値かどうかを確認した。2つのSVX4の任意のチャンネルに内部電源を用いてテスト用電荷を入射したときの、全チャンネルのADC値を示した2次元ヒストグラムを図5.21に示す。テスト電荷は、2つのSVX4の8チャンネルごとに入射した。また、L1Aを256回送り、それぞれの事象に対して全チャンネルのADC値を出力するようConfigurationで設定した。テスト電荷を入射したチャンネルのADCが、1チップでのテスト電荷の入射試験のときと同様に、各チップで一様に他のチャンネルのADC値(=ペDESTAL)より大きくなっていることから、テスト電荷が任意のチャンネルに対して入射できており、PreampからFIFO、SVX4内の出力ドライバに至るまですべて動作していることがわかる。

図5.21では、2つのSVX4のそれぞれ100チャンネル目付近のADCの値が常に0となっている。これは、SVX4 BOARD V1の動作試験を行った際に、AVDDに+2.0



BW = 4 **IWsel = 1** **RTPS = 1** **RampPed = 0**
Isel = 4 **IRsel = 1** **RAI1 = 1** **RampRng = 6**

図 5.21: 2つのSVX4の任意のチャンネルに内部電源を用いてテスト電荷を入射し、全チャンネルのADC値を読み出して得られた2次元ヒストグラム。

Vに満たない電圧を供給していたときに見られた現象と同様であるため、今回の試験に関してもSVX4に十分な電圧がかかっていないということが考えられる。しかし、SVX4に供給しているAVDDの値は正常に+2.6 Vを示しており、問題の原因の理解には至っていない。

また、最初に読み出すSVX4（図の0チャンネルから127チャンネル）の45チャンネル目にはテスト電荷を入射していないものの、大きなADC値とノイズが出力されている。この現象は、45チャンネルのみが常に挙動を示していることから、このSVX4全体の問題、あるいは基板全体の問題ではなく、このチャンネルの読み出し系に限った問題であると考えられる。

以上の測定結果から、SVX4の全チャンネルを正常に読み出すには、DAUGHTER BOARD、SVX4 BOARD V2を用いたデータ読み出し自体は正常に動作していることが測定結果から確認できた。

第6章 考察

全体について

SVX4 BOARD V1 のノイズについての考察を行う。図 5.9 や図 5.11 からわかるように、各チャンネルの ADC 値を取得すると、ある特定のチャンネル (ch 0, 32, 63, 96, 127) のペDESTAL 値のみ他のチャンネルより大きな値を示し、ノイズも大きい。これらのチャンネルのパッドは、図 6.1 に示すように外部から試験用信号を入射するために基板上の回路とワイヤーボンディングで繋いでいる。このワイヤーボンディングの先の基板上の回路の影響でノイズが大きくなり、ペDESTAL 値も大きくなっていると考える。

また、SVX4 は裏面で AGND と接続する必要があるが、SVX4 BOARD V1 は、SVX4 を搭載する箇所が AGND と接続されていないため、基板に銅テープを貼付けて、その上に銀ペーストで SVX4 を接着している。銅テープは SVX4 より面積を大きくしてあり、銅テープから導線を経由して基板上の AGND に接続している。接続のために用いている導線が細いため、SVX4 は AGND との接続が弱く、その影響で本システムのノイズが大きくなっていると、一つの可能性として考えている。

テレスコープ検出器の位置分解能は、式 2.4 で表せるようにシグナル・ノイズ比によって決まる。今、シリコンストリップ検出器からのシグナルが、MIP に相当する荷電粒子がテレスコープ検出器を通過するときに落とすエネルギーとして見積もった $22,000 e^-$ と仮定する。ノイズは、SVX4 も含めた電気回路によるものと、シリコンセンサーからくるものがあるが、センサーからのノイズは電気回路からのものより十分小さいと仮定する。SVX4 BOARD V1 を用いた DAQ システムの動作試験において、このシステムにおけるノイズは $1,130 e^-$ であったので、それを電気回路からのノイズとすると、式 2.4 より、テレスコープ検出器の位置分解能はおよそ $2 \mu m$ と見積もることができる。これは、テレスコープ検出器に求める性能を十分に満たす。

今回開発したシステムでは、まだ外部からのトリガー信号を処理することができない。シリコンストリップセンサーからの信号を見るにはまず外部トリガーとの同期をとる機構を実装する必要がある。

テレスコープ用基板は現在業者が基板の製作を進めている。基板が完成したら、SVX4 とシリコンストリップセンサーを実装してワイヤーボンディングを済ませた

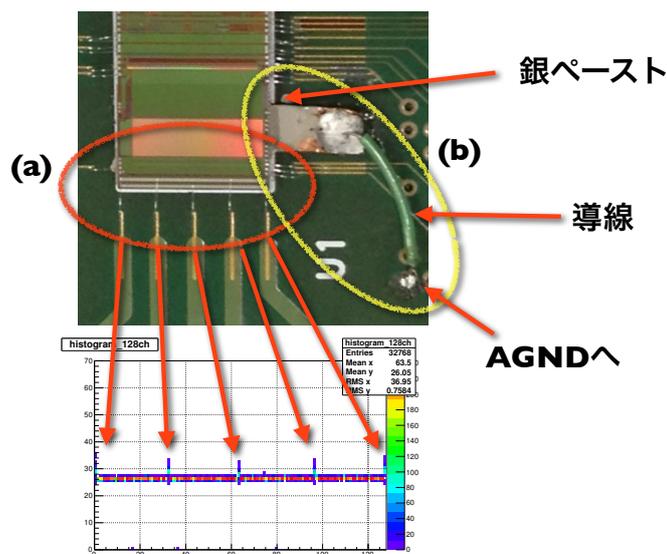


図 6.1: (a): SVX4 にテスト信号を入力するために、入力信号用パッドにワイヤーボンディングしているチャンネルのノイズが増える。(b): SVX4 BOARD V1 は SVX4 の裏面で AGND を取るような設計になっておらず、基板に銅テープを張り、その上に銀ペーストで SVX4 を接着している。

後、その性能の試験を行う。

また、テレスコープ検出器の性能の要請として、低温 (-40°C 程度) で動作することを挙げたが、本システムが低温で動作することを確認していないので、今後の課題として取り組むべきである。

ファームウェアとソフトウェア

SVX4 に送信する制御信号の bit stream をテキストファイルに書き、それを SEABAS を介して SVX4 に送信するシステムを開発したが、これは SVX4 の挙動を調べる際に大変役立った。特に、Acquire Mode から Digitize Mode に切り替えるときの複雑な信号制御において、ファームウェアを編集して User FPGA にダウンロードする手間をかけずに各制御信号の立ち上げ、立ち下げのタイミングを変化させて Pipeline や ADC の挙動を確認することができたのは非常に効率的であった。

テレスコープ検出器は、直近では HL-LHC 用シリコン検出器の開発のためのビーム試験に用いる予定である。試験の際に、SEABAS を用いてシリコン検出器との DAQ システムの統合を行う予定であるが、本研究ではテレスコープ検出器に限った DAQ システムを開発したので、今後はそのために DAQ システムを派生させる計画である。

また、現在の DAQ システムでは、データを PC が受信する際に、各事象 (各トリ

ガー) ごとにデコードするのではなく、必要なトリガー分のデータをすべて PC のバッファに一時保存しておき、データ収集が終了したあとにデコードを行っている。実際にテレスコープ検出器を動作させる際には、各事象ごとにデータのデコードを行うため、そのためにファームウェアとソフトウェアを書き変える予定である。デコードを各事象ごとに行うと、デコードにかかる時間の分だけ不感時間が生じるので読み出しが遅くなる。テレスコープ検出器は 10 kHz 以上のトリガーレートを要求しているので、デコードにかかる時間を短くするなどの読み出し時間に対する調整を今後行っていく。

ハードウェアについて

SVX4 BOARD V2 の試験において、80 極のフラットケーブルの長さを 10 cm と短いもので測定を行ったが、テレスコープ検出器を用いたシリコン検出器のビーム試験の際は 5 m くらいの長さのケーブルでも使用できるような DAQ システムであることが求められる。一方、ケーブルを長くするとノイズが大きくなり、データ通信に支障が出る可能性がある。このため、どこまでケーブルを長くできるかの試験を行う必要がある。長いケーブルを用いるための対策として、現在使用しているフラットケーブルからシールド付きのツイストフラットケーブルに変更することを検討しており、このケーブルをどれくらい長くできるかの試験を行う必要がある。

一方、SVX4 BOARD V2 と DAUGHTER BOARD を離れたところで使用するために両基板に搭載したドライバ、レシーバの正常な動作が本研究で確認できた。特に、LVDS の双方向信号線は、研究グループでこれまで扱ったことがなかったが、ドライバ・レシーバを含めた取り扱いを本研究で確立することができた。

また、SVX4 BOARD V2 と DAUGHTER BOARD を用いた読み出しシステムでは、SVX4 BOARD V2 への電源供給を、DAUGHTER BOARD とケーブルを経由することで行っていた。DAUGHTER BOARD と SVX4 BOARD V2 またはテレスコープ用基板に与える電源系を統合することで必要な電源の数を減らす目的でこのようなシステムを開発したが、このシステムでは各基板にどれくらい電流が流れているか、特に SVX4 の電流値を測定することができないため、開発の際にそれぞれの基板に独立に電源を供給できるような工夫を施す必要があった。AVDD と DVDD に関しても、同様に電源の数を減らす目的で、+3.3 V の電源から 2 つの Regulator を用いてそれぞれ生成している。この 2 つの電源系は本来別々に供給するような仕様であるので、Regulator を用いて AVDD、DVDD を供給する方法によってどれくらいノイズが増えるか、あるいは減少するかの評価を事前しておくべきであった。

SVX4 BOARD V1 では、SVX4 を基板に接着する際に銅シールと銀ペーストを用いて、SVX4 の裏面が AGND に接続するように接着した。一方、SVX4 BOARD V2 では、導電性のシリコンペーストを用いて基板に接着している。導電性シリコンペーストを使用する際、SVX4 を基板に接着した場合の抵抗値をあらかじめ見積もってお

り、その値がおよそ 0.3Ω と小さかったため使用できると判断したが、現在製作を進めている望遠鏡検出器用基板ではどのような導電性ペーストを用いて SVX4 を基板に搭載するか、最適なものを探す研究が必要である。

第7章 結論

HL-LHC用のシリコン検出器の試験のためのテレスコープ検出器開発の一環として、SVX4とSEABASを用いたDAQシステムを構築した。システムの仕様決定から始まり、基板の製作、ファームウェア、ソフトウェアの開発をすべて行った。

このシステムは、SEABASを用いた省スペースでの読み出しが可能であることが特徴であり、SVX4を搭載するSVX4 BOARD V1とSEABASを用いて開発したDAQシステムが正しく動作していることを確認した。また、テレスコープ検出器により近いDAQシステムを開発するべく、新たな電気回路と2個のSVX4を搭載したSVX4 BOARD V2とDAUGHTER BOARDを設計・開発した。これが正常に動作することが確認でき、テレスコープ検出器のDAQシステムの開発に成功した。

付録A SVX4のConfiguration register

表 A.1: Configuration parameter 1

名前	Bit No.	説明	値
Mask[127:0]	0:127	チャンネルのマスク、または disable	0 = mask/disable
spare	128	spare	
VCAL	129	テスト電荷を入射するために使用する電源の選択	0 = 外部電源、1 = 内部電源
Disable	130	0 から 127 のチャンネルに対してテスト電荷の入射をマスク (Mask) 、または Preamp を常に Reset 状態にしておく (disable)、の選択	0 = mask, 1 = disable
BW[0:3]	131:134	Preamp の立ち上がり時間の調整	ストリップセンサーの負荷静電容量の値によって異なる。BW の値が大きいほど立ち上がり時間が長い
Isel[0:3]	135:138	Preamp の入力トランジスタへのバイアス電流	バイアス電流 $\approx 164 \mu A + (Isel \times 32 \mu A)$
IWsel[0:1]	139:140	Pipeline に書き込む amp へのバイアス電流	バイアス電流 $\approx 26 \mu A + (IWsel[0] \times 26 \mu A) + (IWsel[1] \times 26 \mu A)$
IRsel[0:1]	141:142	Pipeline から読み出す amp へのバイアス電流	バイアス電流 $\approx 26 \mu A + (IRsel \times 13 \mu A)$

表 A.2: Configuration parameter 2

名前	Bit No.	説明	値
PickDel[0:5]	143:148	L1A を受け取ってから何 FECLK 分遡ったところのコンデンサから電荷を読み出すかの選択	0 - 42
PB	149	Pipeline からの読み出しの順番	0 = はじめにペDESTAL、次に信号。1 = はじめに信号、次にペDESTAL
ID[6:0]	150:156	Chip ID	0 - 127
RTPS	157	Real Time Pedestal Subtraction disable	0 = RTPS on, 1 = RTPS off
Rd127	158	ADC の値によらず常に 127 チャンネル目を読み出す	0 = Rd127 off, 1 = Rd127 on
Rd63	159	ADC の値によらず常に 63 チャンネル目を読み出す	0 = Rd63 off, 1 = Rd63 on
RdAll	160	ADC の値によらず常に全チャンネルを読み出す	0 = RdAll off, 1 = RdAll on
RdNeigh	161	ADC の値が閾値を超えたチャンネルと、その両隣のチャンネルを読み出す	0 = RdNeigh off, 1 = RdNeigh on
RampPed[0:3]	162:165	ADC の Ramp Pedestal の値の調整	$V_{ped} = V_{ref} - (11 - \text{RampPed}) \times 23 \text{ mV}$ ※ V_{ref} は Ramp Reference の値
RampDir	166	ランプ電圧を上昇または下降させるかの選択	0 = ramp up, 1 = ramp down
CompPol	167	Comparator の極性	0 = 0 → 1 (RampDir = 0), 1 = 1 → 0 (RampDir = 1)
RampRng[0:2]	168:170	ランプ電圧の上昇率の変化	上昇率 $\approx 0.5 \text{ mV/nS} \cdot [1 + (2 \cdot r_0) + (2 \cdot r_1) + (1 \cdot r_2)]^{-1}$

表 A.3: Configuration parameter 3

名前	Bit No.	説明	値
Thresh[7:0]	171:178	ADC 値の閾値 ※グレイコード表記	0 - 255
CntrMod[7:0]	179:186	ADC 値の最大値の設定 ※グレイコード表記	0 - 255
FC	187	最初に読み出すチップの指標	1 = 最初に読み出すチップ
LC	188	最後に読み出すチップの指標	1 = 最後に読み出すチップ
DriverI[2:0]	189:191	出力信号の電流の大きさ (抵抗値の大きさ) の設定	$R \approx [(d2/43) + (d1/86) + (d0/172)]^{-1}$, 0 = ドライバを無効

謝辞

本研究を進めるにあたり、素晴らしい研究環境に加えて、素粒子物理学に関する知識や研究に対する鋭いご指摘など、様々なものを与えてくださった山中卓教授にまず心より感謝申し上げます。

指導教官である花垣和則准教授からは、研究課題の提案やKEK、CERNへの出張など、さまざまな機会を私に与えていただきました。私が学部4年生頃から実験に対する考え方などを熱心に指導していただいたおかげで、研究だけでなくあらゆる物事に対する論理的な考え方を身につけることができました。本当にありがとうございます。

KEKの海野義信さん、池上陽一さんには、シリコンセンサーの開発に関する様々なアドバイスをいただきました。なんとか修士論文にまとめられるような成果を上げることができたのは海野さん、池上さんの助けがあったからこそだと思っています。

同じくKEKの池野正弘さん、内田智久さんには、計測システム開発に関するOpen-itという団体のもとで、KEKでの素晴らしい研究環境を用意していただきました。また、電気回路について知識の浅かった私ですが、お二方の丁寧なご指導により様々な基板の開発を行うことができました。

阪大ALTASグループのスタッフであるJason Sang Hun Leeさん、音野瑛俊さん、先輩である廣瀬穰さん、岡村航さん、遠藤理樹さんからたくさんアドバイスをいただきました。特に、先輩の廣瀬さん、岡村さん、遠藤さんには生意気な質問をたくさんしてしまいましたが、あきれることなく質問に答えていただけしたことにとっても感謝しています。同期の辻嶺二くん、Teoh Jia Jianくんには素粒子や実験に関する議論にたくさん付き合ってもらいました。同じ研究室に、気軽に議論を持ちかける仲の人がいたことはとてもプラスになっていました。ありがとう。後輩の石島直樹くん、渡邊誠くんは、わからないことがあればなんでも質問してくれるので、それによって私も勉強になっています。

助教授の外川学さん、研究員の岩井瑛人さん、塩見公志さん、先輩の佐藤和史さん、Lee Jong-wonさん、村山理恵さん、杉山泰之さん、同期の伴野くん、後輩の高島悠太くん、豊田高士くん、実験グループは異なるものの、みなさんの実験に対する姿勢によって、私の研究のモチベーションは大きな影響を受けています。特に岩井さん、佐藤さん、Jong-wonさんは、研究室内でくだらない話や私の適当な発言にも反応してくれて、よい息抜きになっていました。4年生の荒井泰貴くん、家城斉さん、北村遼くんが卒業研究に励む姿にも大変よい刺激を受けていました。

元秘書の亀井さん、現秘書の茶田さんは、事務的な処理だけでなく、いつも明るく振る舞ってくれるので研究室がとても和みます。ありがとうございました。

最後に、ここでは書ききれませんが、私の研究生生活に関わったすべての方々のおかげでこの論文を書き上げることができたことは忘れません。みなさん、本当にありがとうございました。

参考文献

- [1] The ATLAS Collaboration [The ATLAS Experiment at the CERN Large Hadron Collider], JINST 3 S08003 (2008).
- [2] L. Christofek, K. Hanagaki, *et al.* [SVX4 User's Manual], DØ Note 4252 (2005).
- [3] L. Christofek, K. Hanagaki, *et al.* [Preliminary Test Results for the SVX4], DØ Note 4250 (2005).
- [4] B. Krieger, *et al.* [SVX4: A New Deep-Submicron Readout IC for the Tevatron Collider at Fermilab].
- [5] T. Uchida, Y.Arai [Soi EvAluation BoArd with Sitcp) User's Manual].
- [6] T. Uchida [Hardware-Based TCP Processor for Gigabit Ethernet], IEEE Transactions on Nuclear Science, Vol. 55, No 3 (2008).
- [7] Xilinx [Virtex_4 Family Overview], DS112 v3.1 (2010).