J-PARC E14 KOTO 実験のための データ収集システムの開発及び構築

大阪大学大学院 理学研究科物理学専攻 山中卓研究室 博士前期課程 2 年 杉山 泰之

2011年2月7日

Abstract

茨城県東海村の大強度陽子加速器施設 J-PARC にて行われる K^OTO 実験 は、J-PARC で作られる大量の陽子を用い、中性 K 中間子の稀な崩壊イベン ト $K_L \rightarrow \pi^0 \nu \overline{\nu}$ の探索、及びその崩壊分岐比の測定を目的とする実験である。

K^OTO 実験では、すべての検出器からの信号波高を一定時間ごとにデジタ ル化し波形情報として扱う。データ収集のトリガー判断は、この波形情報を用 いて行われる。2010 年秋に行った CsI カロリメータのテスト実験においてプ ロトタイプのトリガーモジュールを用いてデータ収集システムを構築し、1 秒 間あたり最大およそ 450 イベントの取得を達成した。実験後、プロトタイプモ ジュールにおける問題点を修正した新モジュールを用いてシステムの動作試験 を行い、安定して動作することを確認した。

目次

第 1章	K ^O TO 実験	1
1.1	物理	1
	1.1.1 CP 対称性とその破れ	1
	1.1.2 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊の物理	2
1.2	バックグラウンドイベント	5
	1.2.1 K_L の崩壊によるバックグラウンドイベント	6
	1.2.2 ビーム周りの中性子と物質の相互作用によるバックグラウンドイ	
	ベント	6
1.3	$K_L o \pi^0 u \overline{ u}$ 探索実験	7
	1.3.1 KEK E391a 実験	7
1.4	K ^O TO 実験の概要	8
1.5	K ^O TO 実験の原理	8
	1.5.1 CsI カロリメータをもちいたイベントの再構成	9
	1.5.2 直径の小さなビーム	9
	1.5.3 崩壊領域を囲む検出器	10
1.6	実験エリアとビームライン............................	10
1.7	検出器	11
	1.7.1 CsI カロリメータ	12
	1.7.2 VETO 検出器	14
1.8	予測されるトリガーレート..........................	15
1.9	データ収集システムに対する要求	16
1.10	研究の目的と概要、及び本論文の流れ..................	17
第 2章	K ^O TO 実験のためのデータ収集システム	18
2.1	データ収集システムの概要...........................	18
	2.1.1 データ読み出し	19

	2.1.2	トリガー系
	2.1.3	FADC からの読み出しシステムの制御
2.2	セッ	トアップ
2.3	波形到	変換フィルターと FlashADC を用いた波形読み出し.......23
	2.3.1	FlashADC とは
	2.3.2	Bessel FIlter & 125MHzFADC 25
2.4	各ト	リガー段階における最大データ取得レート
	2.4.1	レベル1トリガー
	2.4.2	レベル2トリガー 28
	2.4.3	レベル 3 トリガー
第 3章	2010	年秋 Csl カロリメータ
	エン	ジニアリングランにおける DAQ システムの構築 30
3.1	2010	年秋 CsI カロリメータエンジニアリングランの概要 30
3.2	2010	年秋ランにおける検出器のセットアップ31
	3.2.1	実験エリア全体のセットアップ
	3.2.2	CsI カロリメータ及びエンドキャップ部周辺のセットアップ 32
3.3	エン	ジニアリングランにおけるデータ収集システムの概要 34
	3.3.1	セットアップ 34
	3.3.2	実験エリアでの配置
	3.3.3	用いたモジュール
3.4	トリン	ガーシステム
	3.4.1	Et トリガーモード 39
	3.4.2	外部トリガーモード
3.5	デー	タ収集システム
	3.5.1	トリガークレートでのデータ収集システム
	3.5.2	FADC クレートでのデータ収集システム
	3.5.3	読み出しとイベントの同期 43
	3.5.4	ネットワークを介したデータの読み出しと保存の流れ 45
	3.5.5	1回のデータ収集ランの長さ 45
第 4章	2010	年秋ランにおけるデータ収集システムの動作性能調査 46
4.1	トリン	ガーレート
4.2	取得	したデータの内容の確認 4g
	4.2.1	データ構造

	4.2.2 クロック信号の同期	50
4.3	2010 年秋ランにおいて見つかった問題	50
	4.3.1 エラーによる光通信接続の喪失とその回復	51
	4.3.2 トリガーと読み出しの同期の失敗	52
	4.3.3 L1 トリガー発行のタイミング	52
第 5章	本実験に向けた検証	57
5.1	セットアップ	57
5.2	光通信の安定性の確認	58
	5.2.1 動作試験	58
5.3	トリガーと読み出しの同期の確認	59
5.4	L1 トリガーロジックの動作確認	59
5.5	改善に寄与したと考えられる、プロトタイプからの変更点	62
	5.5.1 トリガー同期問題	62
	5.5.2 光通信問題	63
第 6章	考察と課題	64
第 7章	結論	65
謝辞		66
付録∧	ハードウェア	69
אצענין A 1	125MHz Floch ADC II - K	60
A.1	125101112 FlashADC ホード・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	68
	A.1.9 FADC ボードのファームウェアと動作	70
Δ 2	A.1.2 TADO ホートックティー コフェノ C動IF	70
11.2	$A 21 \text{CDE VME9II} 2 \downarrow - \flat$	74
	A 2.2 MAster Clock and TBIgger Supervisor Board (MACTRIS)	75
	A 2.3 $L_x 1/2$ b U $\pi - \pi - F$	76
	A 2.4 Fanout $\vec{x} - \vec{F}$	79
A.3	コンピューター	81
	A.3.1 VME クレートコントローラー	81
	A.3.2 PC farm	82
	A.3.3 ストレージ	82
付録 B	シリアル通信を用いたパラレルデータの転送	84

iii

B.1	パラレル/シリアル変換	84
B.2	K ^O TO 実験での光通信	85
B.3	TLK3101	85
	B.3.1 TLK3101 の動作状態とその遷移	85
付録 C	2010 年秋カロリメータエンジニアリングランにおけるデータファイルの	
	構造	87
C.1	FADC で記録したデータのファイル	87
	C.1.1 File Header \ldots	87
	C.1.2 Event Data \ldots	88
	C.1.3 File Trailer	88
C.2	解析用変換後ファイル	89
	C.2.1 TTree	89
参考文南	伏	91

図目次

1.1	$K_L o \pi^0 u \overline{ u}$ 崩壊のファインマンダイアグラム。s クォークが W ボソン	
	とtクォークのループを介してdクォークに変わる。	3
1.2	$Br(K_L \to \pi^0 \nu \overline{\nu})$ と $Br(K^+ \to \pi^+ \nu \overline{\nu})$ の関係 [1]。図中の斜線で囲ま	
	れた領域は、 E787、E949 実験の結果によって排除される $Br(K^+ ightarrow$	
	$\pi^+ u \overline{ u})、 Br(K_L o \pi^0 u \overline{ u})$ の領域である。標準理論を超える物理モデル	
	の種類によって、予言される $Br(K^+ o\pi^+ u\overline{ u})$ 、 $Br(K_L o\pi^0 u\overline{ u})$ の領	
	域が異なる。	5
1.3	KEK E391a 実験の検出器	7
1.4	J-PARC の全景。実験はメインリング加速器で加速された陽子を用いて、	
	ハドロン実験施設にて行う。	8
1.5	ハドロン実験施設の実験エリアと KL ビームライン。K _L はメインリン	
	グからの陽子をターゲットに当てて生成する。生成した K _L のビームを	
	2 つのコリメータに通してビームの直径を絞る。	10
1.6	$\mathrm{K}^{\mathrm{O}}\mathrm{T\mathrm{O}}$ 実験の検出器群。 K_L ビームは図左側から入射する。図中に灰色	
	で塗りつぶされた領域が崩壊領域であり、この領域で K _L が崩壊したイ	
	ベントをシグナルイベントの候補としてデータを集める。崩壊領域を検	
	出器で囲み、崩壊でできた粒子を逃さないようにしている。......	11
1.7	ビームライン上流から見た、K ^O TO 実験で用いる CsI カロリメータ。 .	12
1.8	KTeV 実験で用いられた CsI 結晶。断面積が 2.5cm 角の結晶と 5cm 角	
	の結晶がある。...............................	13
1.9	CsI カロリメータ読み出しシステム	14
2.1	K ^O TO 実験でのデータ収集システムの説明図。FADC モジュールを用	
	いてデジタル化された波形情報に対し、3 段階のトリガー判断を用いて	
	取捨選択を行う。	19
		-0

2.2	Lv1 トリガーの説明図。FADC ボードは 16 チャンネル分のエネルギー	
	情報を足し上げて Lv1 トリガーボードに送る。Lv1 トリガーボードは 16	
	台の FADC ボードからのエネルギー情報を足し上げて MACTRIS に送	
	る。MACTRIS は全 Lv1 トリガーボードからのエネルギーの和を求め	
	てトリガー判断に用いる。	21
2.3	K ^O TO 実験でのデータ収集システムのセットアップ図。各データ収集	
	モジュールは VME クレートに設置される。FADC クレートと Fanout	
	クレートは実験施設内の実験エリアに置かれ、トリガークレートと PC	
	ファームはハドロン実験施設外の計測室 (Counting room) に置かれる。	23
2.4	K ^O TO 実験で用いる 125MHz FADC ボード。アナログ信号を波形変換	
	フィルターを通した後に FADC に渡してデジタル化を行う。	24
2.5	CsI カロリメータの PMT からの信号(上図)を入力した場合の入力信	
	号7極ベッセルフィルター(中図)と 10 極ベッセルフィルター(下図)	
	の間での出力波形の違い。出力波形はそれぞれフィルターを設計する際	
	のシミュレーションで作られた波形である。	26
2.6	10 極ベッセルフィルター	26
2.7	左図がオシロスコープで取得した CsI カロリメータの PMT からの信	
	号である。この出力信号を 10 極ベッセルフィルターに通して 14bit	
	125MHz FADC で記録すると右の図のようになる。	27
3.1	CsI カロリメータエンジニアリングランにおける実験エリア見取り図	31
3.2	2010 年秋ランにおけるエンドキャップ部のセットアップ図......	33
3.3	2010 年秋ランでのデータ収集システムのセットアップ図 。実際には、	
	Fanout ボードはトリガークレートに入れて用いた。	35
3.4	2010 年秋ランでのデータ収集システムの配置図	36
3.5	プロトタイプ MACTRIS ボード	37
3.6	プロトタイプ Lv1/2 トリガーボード。	38
3.7	トリガーモード: Et モード	39
3.8	トリガーモード: 外部トリガーモード	40
3.9	データ収集システムの動作	41
	9010 年秋ランズのデータ港ひ山しシステリ	19
3.10	2010 中秋 / 2 どの / 一 2 読み出し 2 入 / ム	45

4.1	トリガーレートと DAQ システムの LIVE タイムの割合 (上下の図の内	
	容は同じで、下図は縦軸を対数目盛にしている。)。2 次元ヒストグラム	
	が、実際のランにおける結果で、赤い線が式 4.1 で予測した値、緑の丸は	
	クロックトリガーを入れた場合の結果である。	48
4.2	トリガーレートとデータ収集レート。2 次元ヒストグラムが、実際のラ	
	ンにおける結果で、赤い線が式 4.2 で予測した値、緑の丸はクロックト	
	リガーを入れた場合の結果である。トリガー要求レートが高くなるに従	
	い、データ収集レートも増加するが最終的には紫の破線で表した 470Hz	
	に漸近する。	49
4.3	Et トリガーをかけたイベントのデータから、エネルギー和信号の時間変	
	化を再構成する仕組み。すべての FADC で記録した波形を同じタイミン	
	グのデータ点毎に足しあわせれば Lv1 トリガーボードが受け取ったと考	
	えられるエネルギーの波形が得られる(上)。得られたエネルギーの波形	
	に対して各タイミングでの波高分布を作れば、トリガーがかかったタイ	
	ミングの前後で分布にエッジが見える。(ここに示したグラフのデータは	
	第5章で行った検証で得たデータであり、11月のビームによるデータ測	
	定を用いて作ったものではない。)........................	54
4.4	Lv1 トリガーボードの光入力 l に接続した FADC でのエネルギー和の高	
	さ分布	55
4.5	Lv1 トリガーボードの光入力2に接続した FADC でのエネルギー和の高	
	さ分布	55
4.6	11 月のランでトリガー判断に用いた 8 本のファイバー全てに対する	
	FADC でのエネルギー和の高さ分布...................	56
5.1	2010 年 12 月に行ったテストにおけるセットアップ	58
5.2	32 台の FADC ボードからのエネルギー情報を用いて Et トリガーをかけ	
	たイベントにおける、再構成されたエネルギー和信号の時間変化。	60
5.3	左側の Lv1 トリガーボードの光入力 1 に接続した FADC をトリガー判	
	断に用いた際の、FADC のデータから再構成されたエネルギー和信号の	
	時間変化。	61
5.4	左側の Lv1 トリガーボードの光入力 2 に接続した FADC をトリガー判	
	断に用いた際の、FADC のデータから再構成されたエネルギー和信号の	
	時間変化。	61
5.5	プロトタイプ MACTRIS における配線	62
5.6	プロトタイプ Lv1 トリガーボードにおける、通信モジュールへの配線	63

A.1	FADC ボードの FPGA のファームウェアの模式図	70
A.2	FADC ボードで記録されるイベントのデータ構造。データは 16bit の	
	データとして記録され、6 つのヘッダーと各時間での各チャンネルの波	
	形情報が記録される。	73
A.3	CDF VME9U クレートの写真。上から、P1、P0、P2、P3 バックプレー	
	ンである。	74
A.4	MAster Clock and TRIgger Supervisor Board (MACTRIS) モジュール	75
A.5	Lv1/2 トリガーボード	77
A.6	全エネルギー和を作る仕組み。Daisy-chain line を用いてバケツリレー	
	方式でエネルギー和を隣に渡して足し上げていく。・・・・・・・・・	78
A.7	Fanout モジュール	80
A.8	Fanout モジュールで FADC コントロール信号を複製する流れ。	80
A.9	VME クレートコントローラー	82
A.10	PC ファーム	83
-		
B.1	シリアル通信を用いたパラレルデータの転送	84
B.2	TLK3101 の動作状態とその遷移	86

第1章

K^OTO 実験

この章では K^OTO 実験、及び本研究の目的と概要について述べる。

1.1 **物理**

K^OTO 実験は $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊の崩壊分岐比から CP 対称性の破れを調べる実験である。

1.1.1 CP 対称性とその破れ

CP 対称性とは、粒子と反粒子の間に存在する対称性のことである^{*1}。粒子と反粒子に 対して物理法則が同じようにはたらく場合、「CP 対称性が保たれている」と言う。

CP 対称性の破れは、現在の宇宙になぜ物質ばかりしかないのかという謎を解く鍵の一 つである。宇宙ができた時には粒子と反粒子は同数だけ作られたと考えられえている。同 数あった粒子と反粒子のうち粒子のみが今優勢になっているのは、粒子と反粒子とでは物 理法則のはたらき方が異なっている、つまり「CP 対称性が破れている」からであると考 えられている。

標準理論では、CP 対称性の破れは、3 世代あるクォークの世代間での混合の関係を表 すカビボ・小林・益川行列 (CKM) 行列 V_{CKM} に複素位相が存在することで引き起こさ

^{*1} C (Charge) 対称性とは電荷を反転させるとおなじになるペアの間の対称性で、P(パリティ Parity) 対称 性とは空間反転しておなじになるペアの間の対称性のことである。弱い相互作用においては左巻きニュー トリノしかないため C、P 対称性が破れており、それらを組み合わせた CP 対称性が粒子と反粒子の間 の対称性となる。

れると説明される。

$$V_{CKM} = \begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix}$$
(1.1)

CKM 行列は Wolfenstein パラメータ η, ρ, λ を用いて、以下のように書ける。

$$V_{CKM} = \begin{pmatrix} 1 - \frac{\lambda^2}{2} & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1 - \frac{\lambda^2}{2} & A\lambda^2 \\ A\lambda^3(1 - \rho - i\eta) & -A\lambda^2 & 1 \end{pmatrix}$$
(1.2)

CP 対称性の破れの大きさは CKM 行列の複素成分の大きさ η に比例する。

現在まで行われてきた CP 対称性の破れに関する様々な測定の結果は、標準理論が予想 する値とよく一致している。しかしながら、標準理論で予言する CP 対称性の破れの大き さでは、現在の宇宙における粒子と反粒子の存在比の圧倒的な差を説明できないと考えら れている。このため、CP 対称性の破れを引き起こす標準理論を超えた物理の探索が必要 となってくる。

CP 対称性の破れの大きさ η を B 中間子系と K 中間子系とで測って比べ、もしズレが ある場合は標準理論を超えた新たな物理の存在を示すことができる。

1.1.2 $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊の物理

K^OTO 実験で探索するのは、中性 K 中間子のうち寿命の長い K_L の非常にまれな崩壊 モード $K_L \rightarrow \pi^0 \nu \overline{\nu}$ のイベントである。

■中性 K 中間子

中性 K 中間子 K^0 は d クォークと s クォークから構成されており、その組み合わせか ら $K^0(d\bar{s})$ とその反粒子である $\overline{K^0}(\bar{d}s)$ の二種類が存在する。これらの状態はストレンジ ネスの固有状態であるが、CP 固有状態ではない。中性 K 中間子の CP 固有状態は K^0 、 $\overline{K^0}$ の線形結合で表せて、

$$|K_1\rangle = \frac{1}{\sqrt{2}}(|K^0\rangle + |\overline{K^0}\rangle) \tag{1.3}$$

$$|K_2\rangle = \frac{1}{\sqrt{2}} (|K^0\rangle - |\overline{K^0}\rangle) \tag{1.4}$$

と書くことができる。 K_1 、 K_2 はそれぞれ CP の固有値が +1、-1 の固有状態であるため、 CP 対称性が保存されるならば K_1 は 2 つの π 中間子に、 K_2 は 3 つの π 中間子に崩壊す る。 K_1 と K_2 の寿命は、 K_1 の寿命が 0.9×10^{-10} sec で、 K_2 の寿命 5.2×10^{-8} sec と異 なり、 K_2 のほうが 500 倍長い [2]。 しかし、1964 年に Cronin や Fitch が行った実験によって、長い寿命を持つ中性 K 中間子 K_L が CP 対称性を破り 2 つの π 中間子に崩壊する事例が観測された [3]。これは、 K_L が純粋な固有値-1 の CP 固有状態 K_2 ではなく、固有値 +1 の CP 固有状態 K_1 がわ ずかに混じっているからであると考えられる。この場合 K_L は純粋な固有値-1 の CP 固有状態からのズレ ϵ を用いて、

$$|K_L\rangle = \frac{1}{\sqrt{1+|\epsilon|^2}} (|K_2\rangle + \epsilon |K_1\rangle) \tag{1.5}$$

$$=\frac{1}{\sqrt{2(1+|\epsilon|^2)}}((1+\epsilon)|K^0\rangle + (1-\epsilon)|\overline{K_0}\rangle)$$
(1.6)

$$\propto (1+\epsilon)|K^0\rangle + (1-\epsilon)|\overline{K_0}\rangle \tag{1.7}$$

と表すことができる。

 $\blacksquare K_L \to \pi^0 \nu \overline{\nu}$ 崩壊

標準理論における $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊を表すファインマンダイアグラムは以下の図 1.1 の ようになる。このダイアグラムはペンギンダイアグラムと呼ばれる。



図 1.1 $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊のファインマンダイアグラム。s クォークが W ボソンと t クォークのループを介して d クォークに変わる。

崩壊の中間状態に t クォークを含むため、 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊の崩壊振幅 $A(K_L \to \pi^0 \nu \overline{\nu})$ は CKM 行列の V_{td} 、 V_{ts} を含み、

$$A(K_L \to \pi^0 \nu \bar{\nu}) = \frac{1}{\sqrt{2(1+|\epsilon|^2)}} \left\{ (1+\epsilon)A(K^o \to \pi^0 \nu \bar{\nu}) - (1-\epsilon)A(\bar{K}^o \to \pi^0 \nu \bar{\nu}) \right\}$$
$$\sim A(K^o \to \pi^0 \nu \bar{\nu}) - A(\bar{K}^o \to \pi^0 \nu \bar{\nu})$$
$$\propto V_{td}^* V_{ts} - V_{ts}^* V_{td}$$
$$= 2 \times Im \left(V_{ts}^* V_{td} \right) \propto 2i\eta$$
(1.8)

となり、 η に比例することがわかる。崩壊分岐比 $Br(K_L \to \pi^0 \nu \overline{\nu})$ は崩壊振幅 $A(K_L \to \pi^0 \nu \overline{\nu})$ の二乗に比例するので、

$$Br(K_L \to \pi^0 \nu \overline{\nu}) \propto \eta^2$$
 (1.9)

となる。よって、 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊モードの崩壊分岐比を測定すれば CKM 行列のパラ メータ η を決定することができる。

標準理論で予言される崩壊分岐比は、 $Br(K_L \to \pi^0 \nu \overline{\nu}) = (2.49 \pm 0.39) \times 10^{-11}$ である [4]。この理論値と実験で得られた値とを比べることで標準理論の検証と新たな物理の 探索を行うことができる。

Grossman-Nir limit

 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊は $K^+ \to \pi^+ \nu \overline{\nu}$ 崩壊との間に isospin 対称な関係をもつため^{*2}、 $K^+ \to \pi^+ \nu \overline{\nu}$ の情報を用いて $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊の崩壊分岐比に対して以下の式 1.10 で与 えられるような理論的な上限をつけることができる。

$$Br(K_L \to \pi^0 \nu \overline{\nu}) \le 4.4 \times Br(K^+ \to \pi^+ \nu \overline{\nu}) \tag{1.10}$$

この理論的上限は理論モデルによらない上限値で、提唱者の名前を取り"Grossman-Nir(GN) limit"と呼ばれる。

ブルックヘブン国立研究所で行われた AGS E787、E949 実験での得られた $K^+ \rightarrow \pi^+ \nu \overline{\nu}$ の崩壊分岐比は [5]、

$$Br(K^+ \to \pi^+ \nu \overline{\nu}) = [1.73^{+1.15}_{-1.05}] \times 10^{-11}$$
(1.11)

であるので、ここから求められる $Br(K_L \to \pi^0 \nu \overline{\nu})$ に対する上限値は、

$$Br(K_L \to \pi^0 \nu \overline{\nu}) < 1.4 \times 10^{-9} \tag{1.12}$$

となる。

図 1.2 で示すように、GN limit よりも小さな分岐比の領域では標準理論を越える物理 モデルの種類によって $Br(K_L \to \pi^0 \nu \overline{\nu})$ と $Br(K^+ \to \pi^+ \nu \overline{\nu})$ の予想される値が異なる。 このため、GN limit を超える実験感度があれば、これらの標準理論を超える新たな物理 を検証できる

^{*2} $K^+ \to \pi^+ \nu \overline{\nu}$ 崩壊のダイアグラム中の u クォークを d クォークに置き換える、つまり isospin 空間内で 回転させることで $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊のダイアグラムが得られる。



図 1.2 $Br(K_L \to \pi^0 \nu \overline{\nu}) \geq Br(K^+ \to \pi^+ \nu \overline{\nu})$ の関係 [1]。図中の斜線で囲まれた領域は、 E787、E949 実験の結果によって排除される $Br(K^+ \to \pi^+ \nu \overline{\nu})$ 、 $Br(K_L \to \pi^0 \nu \overline{\nu})$ の領域である。標準理論を超える物理モデルの種類によって、予言される $Br(K^+ \to \pi^+ \nu \overline{\nu})$ 、 $Br(K_L \to \pi^0 \nu \overline{\nu})$ の領域が異なる。

1.2 バックグラウンドイベント

 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊を探索する時にバックグラウンドイベントの原因になるものとして以下の二つが挙げられる。

- *K_L* 自体の崩壊によるバックグラウンドイベント
- *K*_L に伴ってできるビーム周りの中性子と、物質の相互作用

ここではこの2つのバックグラウンドの原因について述べる。

崩壊モード分岐比終状態 $K_L \to \pi^{\pm} e^{\mp} \nu_e \ (K_{e3} \ \text{mode})$ $40.55 \pm 0.12\%$ 荷電粒子 $K_L \to \pi^{\pm} \mu^{\mp} \nu_{\mu} \ (K_{\mu 3} \ \text{mode})$ $27.04 \pm 0.07\%$ 荷電粒子 $K_L \to \pi^{\pm} \pi^{-} \pi^0$ $12.54 \pm 0.05\%$ 荷電粒子 $K_L \to \pi^{+} \pi^{-} \pi^0$ $12.54 \pm 0.010) \times 10^{-3}$ 荷電粒子 $K_L \to 3\pi^0$ $19.52 \pm 0.12\%$ 中性粒子 $K_L \to 2\pi^0$ $(8.65 \pm 0.06) \times 10^{-4}$ 中性粒子			
$K_L \to \pi^{\pm} e^{\mp} \nu_e \ (K_{e3} \text{ mode})$ 40.55 ± 0.12% 荷電粒子 $K_L \to \pi^{\pm} \mu^{\mp} \nu_{\mu} \ (K_{\mu 3} \text{ mode})$ 27.04 ± 0.07% 荷電粒子 $K_L \to \pi^{\pm} \pi^{-} \pi^{0}$ 12.54 ± 0.05% 荷電粒子 $K_L \to \pi^{+} \pi^{-} \pi^{-}$ (1.966 ± 0.010) × 10^{-3} 荷電粒子 $K_L \to 3\pi^{0}$ 19.52 ± 0.12% 中性粒子 $K_L \to 2\pi^{0}$ (8.65 ± 0.06) × 10^{-4} 中性粒子	崩壊モード	分岐比	終状態
$K_L \to \pi^{\pm} \mu^{\mp} \nu_{\mu} \ (K_{\mu 3} \text{ mode})$ 27.04 ± 0.07% 荷電粒子 $K_L \to \pi^+ \pi^- \pi^0$ 12.54 ± 0.05% 荷電粒子 $K_L \to \pi^+ \pi^-$ (1.966 ± 0.010) × 10^{-3} 荷電粒子 $K_L \to 3\pi^0$ 19.52 ± 0.12% 中性粒子 $K_L \to 2\pi^0$ (8.65 ± 0.06) × 10^{-4} 中性粒子	$K_L \to \pi^{\pm} e^{\mp} \nu_e \ (K_{e3} \ \text{mode})$	$40.55 \pm 0.12\%$	荷電粒子
$K_L \to \pi^+ \pi^- \pi^0$ 12.54 ± 0.05%荷電粒子 $K_L \to \pi^+ \pi^-$ (1.966 ± 0.010) × 10^{-3}荷電粒子 $K_L \to 3\pi^0$ 19.52 ± 0.12%中性粒子 $K_L \to 2\pi^0$ (8.65 ± 0.06) × 10^{-4}中性粒子	$K_L \to \pi^{\pm} \mu^{\mp} \nu_{\mu} \ (K_{\mu 3} \ \text{mode})$	$27.04 \pm 0.07\%$	荷電粒子
$K_L \to \pi^+ \pi^ (1.966 \pm 0.010) \times 10^{-3}$ 荷電粒子 $K_L \to 3\pi^0$ $19.52 \pm 0.12\%$ 中性粒子 $K_L \to 2\pi^0$ $(8.65 \pm 0.06) \times 10^{-4}$ 中性粒子	$K_L \to \pi^+ \pi^- \pi^0$	$12.54 \pm 0.05\%$	荷電粒子
$K_L \to 3\pi^0$ 19.52 ± 0.12% 中性粒子 $K_L \to 2\pi^0$ (8.65 ± 0.06) × 10^{-4} 中性粒子	$K_L \to \pi^+ \pi^-$	$(1.966 \pm 0.010) \times 10^{-3}$	荷電粒子
$K_L \to 2\pi^0$ (8.65 ± 0.06) × 10 ⁻⁴ 中性粒子	$K_L o 3\pi^0$	$19.52 \pm 0.12\%$	中性粒子
	$K_L \to 2\pi^0$	$(8.65\pm 0.06)\times 10^{-4}$	中性粒子

表 1.1 K⁰_Lの主な崩壊モード

1.2.1 K_L の崩壊によるバックグラウンドイベント

 K_L の主な崩壊モードとのその分岐比を表 1.1 に挙げる [2]。これらの崩壊モードは $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊を探索する時にバックグラウンドイベントとなりうる。 K_L^0 の主な崩壊 モードのうち、およそ8割のモードは荷電粒子を終状態に持つので、荷電粒子を検出すれ ばで取り除くことができる。中性粒子を終状態にもつ崩壊モードの場合は、その多くは $2\pi^0$ または、 $3\pi^0$ に崩壊するため、 π^0 が崩壊してできた γ 線を検出して、その本数を数 えてやれば取り除くことができる。

終状態に π^0 を含む $K_L \to \pi^+ \pi^- \pi^0, 3\pi^0, 2\pi^0$ の崩壊モードにおいては、一個の π^0 からの 2 本の γ 線以外に粒子を検出できなかった場合は、 $K_L \to \pi^0 \nu \overline{\nu}$ イベントのシグナル と見誤る可能性がある。このため、検出器には荷電粒子や γ 線を逃さず捉えるような配置 と高い検出効率が求められる。

1.2.2 ビーム周りの中性子と物質の相互作用によるバックグラウンドイベ ント

 K_L は陽子ビームをターゲットに当てて生成する。この際に、中性子も生成される。 ビーム周りに広く存在する中性子(ハロー中性子)が物質に当たって相互作用を起こして π^0 を作ると、 $K_L \to \pi^0 \nu \overline{\nu}$ イベントのシグナルと見誤る可能性がある。このため、ハロー 中性子の数が少ないビームラインをつくり、さらにハロー中性子が検出器に当たらないよ う検出器をデザインする必要がある。

1.3 $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 探索実験

 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊では、始状態、終状態ともにすべて中性粒子であるため、検出が困難である。 ν は検出できないため、「崩壊領域中で π^0 から崩壊してできた 2γ 以外何も見つからないこと」を以て、崩壊イベントを同定する。

現在まで幾つかの実験において $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊イベントの探索が行われてきたが、未 だ観測例は存在しない。現在 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊の探索の結果得られた $Br(K_L \to \pi^0 \nu \overline{\nu})$ の上限値は、KEK E391a 実験が与えた値である。

1.3.1 KEK E391a 実験

KEK E391a 実験は $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊イベントの探索に特化した初めての実験である。 また、 J-PARC E14 K^OTO 実験でもちいる実験原理の検証を目的としたプロトタイプ 実験としての意味も持っている。茨城県つくば市の高エネルギー加速器研究機構(KEK) の 12GeV 陽子シンクロトロンを用いて、2004 年の 2 月から 2005 年 12 月までの間に 3 回のランにわけて行われた。図 1.3 に E391a 実験において用いられた検出器を示す。



図 1.3 KEK E391a 実験の検出器

KEK E391a 実験では、ターゲットからの立体角が 12.6µstr と非常に細いビームを用い、崩壊領域を真空にしてすべて検出器で覆うことにより、バックグラウンドイベントを

抑えている。KEK E391a 実験から得られた $Br(K_L \to \pi^0 \nu \overline{\nu})$ の上限値は、

$$Br(K_L \to \pi^0 \nu \overline{\nu}) < 2.6 \times 10^{-8} \quad (90\% \text{C.L.})$$
 (1.13)

である [6]。

1.4 K^OTO 実験の概要

K^OTO 実験は、茨城県東海村の大強度陽子加速器施設 (J-PARC、図 1.4) で行われる $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 探索実験である。J-PARC のメインリング加速器と呼ばれる陽子シンクロト ロンから供給される 30GeV の陽子ビームを用いて世界初の $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊イベント の観測を目標としている。2012 年からの物理ランの開始を予定している。K^OTO 実験で は、プロトタイプ実験である KEK E391a 実験で用いた検出器を最大限再利用し、同じ実 験原理で実験を行う。



図 1.4 J-PARC の全景。実験はメインリング加速器で加速された陽子を用いて、ハド ロン実験施設にて行う。

1.5 K^OTO 実験の原理

ここでは、K^OTO 実験の実験原理について述べる。

1.5.1 Csl カロリメータをもちいたイベントの再構成

 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊で観測される π^0 は 99.8% の分岐比で $\pi^0 \to 2\gamma$ のモードを通じて崩壊するため、この 2 本の γ 線を検出するによって π^0 を同定する。

K^OTO 実験では、ビームライン下流に CsI 結晶を用いたカロリメータ^{*3}を置き、 γ 線が CsI カロリメータに落としたエネルギーと入射位置を測ることによって崩壊イベント を再構成し粒子が π^0 かどうかを判断する。測定したエネルギーと入射位置から、崩壊元 の粒子の崩壊位置とビーム軸に垂直な方向の運動量(以降、横方向運動量と呼ぶ)を計算 することができる。物理解析の際には、この崩壊位置と横方向運動量を用いて、バックグ ラウンドイベントを抑制する。探索するシグナルイベントは、「高い横方向運動量を持っ た π^0 が、検出器で囲まれた崩壊領域内で 2 γ に崩壊する」イベントである。

横方向運動量に制限を設けることにより、 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊と同じく 2 γ のみ観測さ れる $K_L \to 2\gamma$ 崩壊をバックグラウンドイベントとして区別することができる。これは、 $K_L \to 2\gamma$ 崩壊が2体崩壊であるため横方向運動量が0であるのに対し、 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊できた π は有限の横方向運動量を持つからである。

1.5.2 **直径の小さなビーム**

 $K^{O}TO$ 実験では、ビームラインに入射してくる K_L ビームをコリメータを用いて絞り、 直径の細いビームを作る。ビームの直径を小さくすることには 2 つの利点がある。

■検出されずにビームホールを抜ける粒子の削減

入射したビームのうち、崩壊せずにビームラインを通過する中性子や *K_L* などの粒子が 検出器に当たらないように、検出器のビーム軸近傍の領域は空けておく必要がある。これ をビームホールと呼ぶ。ビームの大きさを小さくすればビームホールを小さくすることが でき、崩壊でできた粒子が CsI カロリメータのビームホールを通り抜けて観測されずに バックグラウンド源となる確率を減らすことができる。

■ビーム中の粒子の横運動量の制限

 $K^{O}TO$ 実験では、CsI カロリメータに入射した γ の位置とエネルギーから、元の親粒 子の崩壊位置と横運動量を計算し、 π^{0} かどうかを調べる。ビームの大きさを小さくすれ ば、ビーム中の粒子の横運動量を小さく抑えることができるとともに、崩壊によってでき た π^{0} がビーム軸上で崩壊したと仮定して崩壊位置を求めることができる。 このビームを実現するためのビームラインについては後の1.6章で述べる。

1.5.3 崩壊領域を囲む検出器

得られた崩壊イベントが K_L の他の崩壊モードでなく $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊であることを示すには、崩壊によってできた終状態の粒子が 2γ のみであることを示す必要がある。

K^OTO 実験では、崩壊領域をすべて検出器で覆い、崩壊によってできた粒子が 2γ のみ であることを保証する。さらに、崩壊領域よりもビームライン下流側にも検出器を置き、 ビームホールを通り抜けた粒子を検出する。また、崩壊領域を真空状態にすることによっ て空気とビームとの相互作用で生じるバックグラウンドイベントを抑制している。

検出器については後の1.7章で述べる。

1.6 実験エリアとビームライン

実験は、J-PARC ハドロン実験施設内の KL ビームラインにおいて行う。図 1.5 に、ハ ドロン実験施設内で実験を行う実験エリアとビームラインを示す。



図 1.5 ハドロン実験施設の実験エリアと KL ビームライン。K_L はメインリングからの陽子をターゲットに当てて生成する。生成した K_L のビームを 2 つのコリメータに通してビームの直径を絞る。

K^OTO 実験では、J-PARC のメインリング加速器から取り出された陽子をハドロン ホール内のターゲットに衝突させて K_L ビームを作る。メインリング加速器のビーム強度 がデザイン強度である 330kW に達すると、1 回のビーム取り出し(スピル Spill と呼ぶ) あたりにターゲットに衝突する陽子の数は、2 × 10¹⁴ 個に達する。

陽子ビームはメインリングから一定の量ずつ時間をかけてとり出される。デザインで は、陽子の取り出しは 3.3 秒ごとに行われ、そのうち 0.7 秒をかけてハドロンホールへ取 り出す。

ターゲットで生成された K_L は全長 21m の K_L ビームラインを通じて引き出し、検出 器まで輸送する。ビームラインには、2 つのコリメータが置き、ビームの直径を細く絞る。 ビームライン中には電磁石を置き、ビーム中の荷電粒子を取り除く。また、ビームライン 中には厚み 7cm の鉛でできた γ absorber を置き、ビーム中の γ を吸収する。

1.7 検出器

ここでは K^OTO 実験の検出器群について述べる。



図 1.6 K^OTO 実験の検出器群。*K_L*ビームは図左側から入射する。図中に灰色で塗りつぶされた領域が崩壊領域であり、この領域で *K_L* が崩壊したイベントをシグナルイベントの候補としてデータを集める。崩壊領域を検出器で囲み、崩壊でできた粒子を逃さないようにしている。

 $K^{O}TO$ 実験の検出器は、崩壊によってできた γ 線を捉える CsI カロリメータと、バッ クグラウンドイベントを抑制するための VETO^{*4}検出器から構成される。図中の灰色に

^{*4} veto とは禁止、拒否を表す英単語である。ここではバックグラウンドイベントを抑制するという意味で 用いる。

塗りつぶされた領域が崩壊領域であり、この領域で *K_L* が崩壊したイベントをシグナルイ ベントの候補としてデータを集める。

検出器から信号を読み出すチャンネル数は合計で3000チャンネルを越える。

1.7.1 Csl **カロリメータ**

CsI カロリメータは崩壊領域下流に置かれ、崩壊でできた γ 線を捉えてそのエネルギー と入射位置を測る検出器である。エネルギーと入射位置から、入射した γ 線が、崩壊領域 中で崩壊した $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊のものかどうかを同定する。CsI カロリメータは図 1.7 に 示すような直径 1.9m の円筒形をした検出器である。K^OTO 実験ではアメリカ フェルミ



図 1.7 ビームライン上流から見た、K^OTO 実験で用いる CsI カロリメータ。

国立研究所 (FNAL) で行われた KTeV 実験で用いられた長さ 50cm(27 放射長に相当) の CsI 結晶を CsI カロリメータに使用する。この CsI 結晶は、タリウムなどが添加されてい ない純 CsI 結晶である。



図 1.8 KTeV 実験で用いられた CsI 結晶。断面積が 2.5cm 角の結晶と 5cm 角の結晶がある。

KTeV 実験で用いられた CsI 結晶には図 1.8 に示すように断面積が 2.5cm 角の結晶と 5cm 角の結晶の異なる 2 種類の大きさの結晶がある。図 1.7 に示すように 2.5cm 角の結 晶 2240 個をカロリメータの内側の領域に用い、5cm 角の結晶 476 個を外側の領域に用い る。これは、E391a 実験で用いた断面積 7cm×7cm、長さが 30cm(16 放射長に相当)の CsI 結晶に比べて、断面積が小さく、奥行きも長い。断面積の小さな結晶を用いることに よって、 γ 線によるエネルギー損失の分布のより詳細な情報が得られるようになる。これ により、 γ 線の入射位置と崩壊位置の分解能を向上させることができるのに加え、短い距 離に入射した複数の γ 線が作るエネルギー損失を 1 個の γ によるものと見誤る確率を減 らすことができる。また、長い結晶を用いることにより、 γ 線が CsI 結晶内で反応しない か、反応してもエネルギーを落としきれないまま突き抜けてしまうことで、エネルギーを 誤って測定する確率を減らすことができる。エネルギーを誤って見積もると、粒子の再構 成される崩壊位置が移動して崩壊領域に入ってバックグラウンドイベントとなる。

CsI 結晶で発生する光(シンチレーション光)は、光電子増倍管(Photo Mulitiplier Tube,PMT)を用いて読み出す。CsI 結晶と PMT は透明なシリコーン樹脂で作られた クッキー (Silicone Cookie) と呼ばれる厚さ 4,7mm の円盤で光学的に接続する。CsI 結 晶のシンチレーション光の波形には、減衰の速い成分(時定数 6ns)と遅い成分(時定数 35ns)がある [2]。高い頻度で粒子が入射することが予想される K^OTO 実験では PMT の 光電面前面に波長 400ns 以上の光を遮断する紫外線透過フィルターを付けて遅い成分を 取り除く。

PMT は KTeV 実験で用いた物(浜松ホトニクス製 R5330、R5364)を再利用するが、 そのままでは増幅率が不十分であるので PMT のベース部にプリアンプを搭載して信号を 増幅して読み出す。また、PMT での電子の数を増幅するのに必要な高電圧を供給する回 路は、発熱を抑えるために CW(Cockroft-Walton)回路を用いる。PMT から読み出され た信号は、ノイズを抑えるため PMT 直後で差動信号に変換してデータ収集システムへと 送る。図 1.9 に CsI 結晶からデータ読み出すまでのシステムの概略図を載せる。



図 1.9 CsI カロリメータ読み出しシステム

CsI カロリメータはエンドキャップ EndCap と呼ばれる円筒形の領域に設置する。CsI カロリメータの形状と円筒の間の隙間を埋めるために、鉛とプラスチックシンチレータを 交互に積層して作られたカロリメータ(Outer Edge Veto 検出器、OEV 検出器)を CsI カロリメータの外側に設置する。

CsI カロリメータの中心には強化炭素繊維で作られたビームパイプを設置しビームが通 り抜けるビームホール領域を確保している。ビームパイプ中で崩壊してできた荷電粒子や γ 線を検出するため、ビームパイプの内側には、荷電粒子 Veto 検出器としてシンチレー ティングファイバーで作られた Liner Charged Veto(LCV) と呼ばれる検出器を置き、外 側には KTeVCsI 結晶を加工して作られた CC03 と呼ばれる検出器を γ 線検出器として 置く。

1.7.2 VETO 検出器

ここではバックグラウンドイベントを取り除くために用いる VETO 検出器について述べる。

第1.2章で述べたように、*K_L*の崩壊のイベントの内、およそ8割は終状態に荷電粒子 を伴う崩壊モードである。そのため、荷電粒子を検出してこのようなバックグラウンドイ ベントを大幅に取り除く。また、終状態が中性粒子である崩壊モードの大半を占めるのが $K_L \rightarrow 2\pi^0, 3\pi^0$ 崩壊である。これらのイベントでは崩壊して生じる π^0 の数が 2 個以上あ るため、そこから生成される多数の γ 線を検出して取り除く。

VETO 検出器は、図 1.6 で示すような設置する場所と、対象とする粒子の種類によって 次に述べる4種類の検出器に分けることができる。

1.7.2.1 ChargedVeto 検出器

Charged Veto (CV) 検出器は、荷電粒子を検出して取り除く役割を持つ検出器であ る。崩壊領域中で生成された荷電粒子を検出するために、カロリメータ前面に Front CV、 Rear CV と呼ばれる検出器を置き、後述する Barrel 検出器の内側に BarrelCV と呼ばれ る検出器を置く。これらの CV 検出器は、共にプラスチックシンチレータを用いた検出器 であり、波長変換ファイバーを用いて光を読み出す。

1.7.2.2 Collar 検出器

Collar 検出器はビーム軸周りに置かれる検出器であり、崩壊領域から上流へ向かう γ 線や、崩壊領域よりも上流や下流での K_L の崩壊で生成された γ 線を検知して取り除く役 割を持っている。NCC,CC03~CC06 と呼ばれる 5 つの検出器から構成される。

1.7.2.3 Barrel 検出器

Barrel 検出器は、図 1.6 中で MB と示した MainBarrel 検出器と、FB と示した Front-Barrel 検出器から成る、円筒形の検出器である。Barrel 検出器は鉛とプラスチックシン チレータを積層してつくられ、崩壊でできた γ 線を検出して取り除く役割を持っている。

1.7.2.4 Beam Hole Veto 検出器

Beam Hole Veto 検出器はビームライン下流に置かれ、ビームパイプを通り抜けて来る 粒子を検出して取り除く検出器である。Beam Hole Veto 検出器は、 γ 線を検出するため の Beam Hole Photon Veto (BHPV) と呼ばれる検出器と、荷電粒子を検出するための BHCV と呼ばれる検出器がある。これらの検出器はビーム中に多く存在する中性子には 不感であることが要求される。

1.8 予測されるトリガーレート

K^OTO 実験では、主なトリガー条件として、CsI カロリメータ全体に吸収されたエネル ギー損失 E_t の値を用いる。これは、 $K_L \rightarrow \pi^0 \nu \overline{\nu}$ 崩壊ではエネルギーの大部分が2本の γ 線に与えられるため、他の崩壊モードに比べて CsI カロリメータに与えるエネルギーの 値が大きくなるからである。

トリガー条件として $E_t \ge 300$ [MeV] を用いる場合、メインリング加速器がデザイン強度に達した状態において予想されるイベントトリガーレートは 800kHz である。これにさらに加えて CV、NCC、CC04 検出器に大きなエネルギー損失がないことを要求すると 250kHz になる [7]。

1.9 データ収集システムに対する要求

ここでは大強度のビームを用いて稀な崩壊イベントを探索するために、データ収集シス テムに求められる性能について述べる。

■2つの重なった γ 線イベントの分離

高い頻度で γ 線が検出器に入射するようになると、短い間隔で入射した異なる二つの γ による信号が重なって (ダブルパルスイベント)、一つの γ と誤って認識される可能性が 増える。K^OTO 実験では γ の情報のみからイベントを再構成するため、このようなイベ ントのデータから、それぞれの γ の情報を分離することが求められる。

■時間分解能

立ち上がりの速い CsI 結晶の信号から γ 線の入射タイミングを正確に求めるには、読 み出し系の時間分解能は 1ns 以下であることが求められる。

■ダイナミックレンジ及びエネルギー分解能

京都大学 増田氏の研究 [8] によれば、CsI カロリメータが測定すべきエネルギーの範囲 は 1MeV~1GeV である。また、CsI カロリメータは、 $K_L \to \pi^0 \nu \overline{\nu}$ 崩壊イベント以外か ら来る γ 線を検出して見分ける役目も持っている。このような γ 線を検出して取り除く にはエネルギーの情報を 1MeV あたり数 bit 分の精度でデジタル化することが必要とな る。1MeV~1GeV の範囲でエネルギーをこの精度で測定するためには、信号の電荷の大 きさを 14bit の精度でデジタル化できる読み出し回路が必要となる。

■高頻度のトリガーに対応できるデータ収集システム

J-PARC の K^OTO 実験は稀崩壊イベントの検出が目的であるので、データ収集システムに対しては高い頻度のトリガー要求に対しても必要な崩壊イベントを取りこぼしなく効率的に取得することが求められる。

1.10 研究の目的と概要、及び本論文の流れ

上で挙げたような要求を満たすデータ収集システムの構築を目指し、K^OTO 実験に参加しているアメリカの研究グループにより FADC モジュール、トリガーモジュールの開発が進んでいる。本研究の目的は、本番の実験に向け、複数の FADC モジュールとトリガーシステムを統合して効率的なデータ収集システムを構築し、その動作試験を行うことである。

本論文では、まず K^OTO 実験で用いるデータ収集システムについて述べる。次に 2010 年秋の測定のためにプロトタイプ機を用いて構築したデータ収集システムについて述べ る。最後にプロトタイプ機で見つかった問題点に関して改良されたトリガーボードで行っ た動作確認について述べる。

第2章

K^OTO 実験のためのデータ収集シス テム

K^OTO 実験では検出器からの信号の波高を一定時間ごとにデジタル変換して波形信号 として記録し、トリガー判断やイベント解析に用いる。この章では、K^OTO 実験で用い られる予定であるデータ読み出しモジュール、トリガー用モジュールと、それらで構成さ れるデータ収集システムについて述べる。

ここでは K^OTO 実験で用いるデータ収集システムの概要について述べるに留め、それ ぞれのハードウェアについての詳細は付録 A で述べる。

2.1 データ収集システムの概要

K^OTO 実験におけるデータ収集システムの概要を図 2.1 に示す。データ読み出しやト リガー判断を専用のハードウェアモジュールを用いて処理を行う部分をフロントエンド (Front end) システムと呼ぶ。これに対し、フロントエンドが処理したデータを PC 上で ソフトウェアを用いて扱う領域をバックエンド (Back end) システムと呼ぶ。

フロントエンドシステムの動作は Master Clock TRIgger Supervisor (MACTRIS) と 呼ばれるモジュールが制御を行う。フロントエンドシステムは MACTRIS が生成した 125MHz の共通動作クロック信号を受け取り、同期して動作を行う。

すべてのハードウェアモジュールは FPGA(Field Programmable Grid Array)と呼 ばれる論理回路を搭載していて、モジュールの動作はこの FPGA によって定義される。 FPGA の論理構造は、ファームウェアと呼ばれるプログラムによって定義され、ファー ムウェアを変更すれば FPGA の動作を変更できる。



図 2.1 K^OTO 実験でのデータ収集システムの説明図。FADC モジュールを用いてデ ジタル化された波形情報に対し、3 段階のトリガー判断を用いて取捨選択を行う。

2.1.1 データ読み出し

すべての検出器からのアナログ信号は。FlashADC(以下 FADC) ボードと呼ばれるモ ジュールに送り一定の時間間隔ごとに波高をデジタル化する。FADC ボードは、1 台あ たり 16 チャンネル分のアナログ信号をデジタル化する。

デジタル化された波形情報は、FPGA 内の長さ 4μs のパイプラインバッファーと呼ば れるデジタルディレイ回路へと送る。トリガーを受け取ると、FADC ボードがディレイ 回路からデータを読み出して保存する。このため、データ収集にかかる時間のうちトリ ガー判断の占める時間はほぼ無視できる。

また、FADC ボードにおいてデジタル化した波形情報をトリガーシステムに対しても 同時に送り、トリガー判断に用いる。

2.1.2 トリガー系

トリガーシステムを用いて、必要なイベントのみを選択してデータを保存する。K^OTO 実験では、トリガーシステムをレベル 1,2,3(以下 Lv 1,2,3)の3段階のトリガー判断に分 けている。このうち Lv1,2 トリガー判断はそれぞれの専用のトリガーモジュールを用い てハードウェアによって行われ、Lv3 トリガー判断は PC ファームにおいてソフトウェア を用いて行われる。

Lv1トリガーは、イベント選択の最も基本となるトリガーであり、CsI カロリメータに 与えられた総エネルギー E_t の情報を用いてトリガー判断を行う。このため、CsI カロリ メータのエネルギー情報を使った Lv1トリガーは Et トリガーとも呼ぶ。図 2.2 に Lv1 トリガー判断を行うシステムに付いて示す。FADC ボードは、その内部でデジタル化し た 16 チャンネル分の波形情報の各時間ごとの和を取り、Lv1トリガーボードへと送信す る。Lv1トリガーボードは FADC ボード 16 台から受け取ったエネルギーを足し上げて MACTRIS へと伝える。MACTRIS は全 Lv1トリガーボードから受け取ったエネルギー 情報の和をとり、CsI カロリメータに与えられた総エネルギー E_t を求める。この E_t が 設定された閾値を越している場合、MACTRIS は Lv1トリガーを発行する。

FADC ボードは、Lv1 トリガーを受け取ると、FPGA 内のパイプラインバッファーか ら1イベント分の長さのデータを取り出して、Lv2 トリガーボードへ送る。Lv2 トリガー ボードは1 台あたり 16 台の FADC ボードからデータを受け取る。Lv2 トリガーボード は受け取った波形情報から信号の時間情報やエネルギー情報を用いてハードウェアによる Lv2 トリガー判断を行う。

Lv2 トリガー判断を通過したイベントのデータは、ネットワークを通じて PC ファーム へと転送される。PC ファームでは、各 Lv2 トリガーボードが送ってくる各検出器の各部 分のデータをまとめてイベントとして再構成し、ソフトウェアを用いて Lv3 トリガー判 断をおこなう。

Lv3 トリガー判断を通過したイベントは J-PARC と KEK をつなぐネットワークを通 じて KEK へと送り、KEK 内に置かれたデータ保存領域 (ストレージ) に保存する。

2.1.3 FADC からの読み出しシステムの制御

MACTRIS が作った FADC ボードへのコントロール信号は、一旦 Fanout ボードと呼 ばれるモジュールで複製した後 FADC ボードに配布する。Fanout ボード 1 台で 16 倍に 複製するので、Fanout ボードを Master Fanout と Slave Fanout の 2 段階に分けて用い てすべての FADC ボードに対してコントロール信号を配布する。



図 2.2 Lv1 トリガーの説明図。FADC ボードは 16 チャンネル分のエネルギー情報を 足し上げて Lv1 トリガーボードに送る。Lv1 トリガーボードは 16 台の FADC ボー ドからのエネルギー情報を足し上げて MACTRIS に送る。MACTRIS は全 Lv1 トリ ガーボードからのエネルギーの和を求めてトリガー判断に用いる。

■FADC ボードコントロール信号

FADC ボードの動作をコントロールする信号として以下に挙げる4種類のロジック信号を用いる。初めの3種類は FADC モジュールへの入力信号であり、残りの1種類は FADC モジュールからの出力信号である。これらのコントロール信号の規格として、差動ロジック信号である LVDS 信号を用いる。

125MHz クロック信号(入力)

FlashADC 素子や FPGA の動作クロックとして用いられる。 LIVE 信号(入力)

LIVE 信号はデータ取得の開始のタイミングと、その期間を示す ゲート信号である。LIVE 信号が来ると FPGA が FADC 素子から データ取得を開始し、LIVE 信号が止まると取得を停止する。 Lv1 トリガー信号(入力) トリガーシステムで生成された Lv1 トリガー信号である。 FADC モジュールは Lv1 トリガー信号を受けるとデータを一旦 FPGA 内のメモリに貯め、順次 Lv2 トリガーボードへ送る。 エラー信号(出力) FADC モジュール上で動作にエラーが起きたときに、それを通知 するための信号ラインである。

これらのコントロール信号はまとめて4対の差動信号として扱い、カテゴリー 6(以降 Cat6) イーサネットケーブルの信号線8本を利用して FADC ボードとトリガーシステム との間で通信を行う。

2.2 セットアップ

ここでは、現在検討している K^OTO 実験でのデータ収集システムのセットアップについて述べる。図 2.3 にデータ読み出しシステムの配置、及び信号の流れを示す。

フロントエンドシステムのモジュールは VME クレートに設置する。FADC ボードは 16 台毎に 1 台の VME6U 規格のクレート (FADC クレートと呼ぶ) に設置される。こ の FADC クレートの 1 クレートに入っている分の FADC ボード 16 枚に対して、1 台の Lv1 トリガーボード、Lv2 トリガーボード、Fanout ボードを接続する。検出器からのア ナログ信号と、Fanout ボードからのコントロール信号は Cat6 のイーサネットケーブル で FADC ボードまで送る。Lv1 トリガーボード、Lv2 トリガーボード、Fanout ボードは それぞれ別々の VME9U 規格のクレートに 16 台ずつ設置して用いる。それぞれの VME クレートを Lv1 トリガークレート、Lv2 トリガークレート、Fanout クレートと呼ぶ。

MACTRIS ボードは、Lv1 トリガークレートと Lv2 トリガークレートにそれぞれ 2 台 ずつ設置する。このうち、Lv1 トリガークレートに設置した 1 台がマスタートリガーボー ドとして動作を行い、ほかの MACTRIS ボードは、MACTRIS ボード同士や Lv1、2 ト リガーボードとの通信や Lv2 トリガー判断に用いる。

FADC クレートと Fanout クレートは実験エリア内の検出器近くに設置し、トリガーク レートと PC ファームはハドロン実験施設の外の計測室に設置する。実験エリアと計測 室の間は光ファイバーで接続し、Fanout ボードへのコントロール信号の送信や、FADC ボードからトリガーボードへのデータの送信を行う。光ファイバーで MACTRIS から送 られたコントロール信号は、実験エリアにおいて Cat6 のイーサネットケーブルに変換し Fanout ボードに接続する。

それぞれの VME クレートには VME クレートコントローラと呼ばれる小型のコン

ピュータを設置する。VME クレートコントローラは VME バス経由で各データ収集モ ジュールの動作状態を変更出来る。



図 2.3 K^OTO 実験でのデータ収集システムのセットアップ図。各データ収集モ ジュールは VME クレートに設置される。FADC クレートと Fanout クレートは実験 施設内の実験エリアに置かれ、トリガークレートと PC ファームはハドロン実験施設 外の計測室 (Counting room) に置かれる。

2.3 波形変換フィルターと FlashADC を用いた波形読み出し

先にも述べたように K^OTO 実験ではすべての検出器からの信号を FlashADC(FADC) と呼ばれるモジュールを用いて信号の波高を一定時間間隔でデジタル化し、波形情報とし て扱う。

ただし、K^OTO 実験では図 2.4 に示すように、アナログ信号をそのままデジタル変換 するのではなく、波形変換フィルターを通した信号を FADC モジュールに渡してデジタ ル化して用いる。この節では、FlashADC と波形変換フィルターを併用した波形読み出 しについて述べる。



図 2.4 K^OTO 実験で用いる 125MHz FADC ボード。アナログ信号を波形変換フィルターを通した後に FADC に渡してデジタル化を行う。

2.3.1 FlashADC とは

FlashADC(FADC) モジュールとは入力信号を一定時間毎にデジタル化して、波形をデ ジタル信号として取得するモジュールである。

一般的な ADC^{*1}モジュールでは、ゲート信号が入力されている間に蓄積したアナログ 信号の電荷をデジタルデータに変換する。この場合得られるデータからは、時間情報は失 われている。そのため、多くの実験では、ADC のみでなく、TDC^{*2}を併用して時間情報 を取得している。

^{*1} Analog to Digital Converter アナログ/デジタル変換回路

^{*&}lt;sup>2</sup> Time to Digital Converter 時間測定回路

これに対し、Flash ADC は信号の波形を記録するため、エネルギー情報だけでなく時 間情報も得ることができる。1 秒間にデジタル化を行う回数(サンプリング周波数)が多 いほど、より細かな時間情報やエネルギー情報が得られるが、それに伴い価格も高くなる。

2.3.2 Bessel Fllter **&** 125MHzFADC

K^OTO 実験における検出器群の信号チャンネル数は合計 3000 チャンネルを越え、CsI カロリメータのみでも 2716 チャンネルに及ぶ。

CsI カロリメータに γ 線が入射したタイミングを 1ns 以下の時間分解能で測るには、波 形が立ち上がる過程の時間情報が重要となる。CsI カロリメータの信号が立上がるのに要 する 5ns の間に数回デジタル化を行って情報を取得するには、300MHz 以上のサンプリ ング周波数を持った FADC 回路が必要となる。3000 チャンネルを超える信号全てに対し てこれだけ高速な FADC を用意するためには膨大な資金がかかる。

多数のチャンネルに対して望んだ時間分解能を得るために、K^OTO 実験では、ベッセ ルフィルター (Bessel Filter) と呼ばれる波形変換フィルター回路に信号を通して一旦波 形を時間方向に引き伸ばした後、その信号を比較的安価なサンプリング周波数 125MHz の FlashADC で読み出すという方法を取る。ベッセルフィルターを通すと信号は面積を 保ったまま、時間方向に広がったガウス関数の形の信号に変換される。低いサンプリング 周波数での読み出しでも波形をガウス関数でフィットすることにより、波形のピークの位 置やエネルギーを十分な精度で求めることが出来る。このベッセルフィルターを通して波 形を広げて読み出す技術は、CERN LHC における ATLAS 実験のタイルカロリメータの 読み出しシステムに用いるためアメリカ シカゴ大が開発した [9]。

K^oTO 実験において用いる波形変換フィルターもシカゴ大が開発を行った。ATLAS タイルカロリメータ読み出し用の波形変換フィルターでは7極ベッセルフィルターが用い られたが、K^oTO 実験では 10 極ベッセルフィルターを用いる。これは図 2.5 で示すよう に7極ベッセルフィルターの出力する波形に比べて、10 極ベッセルフィルターの出力す る波形の方がより左右対称でガウス関数の形に近いからである。左右対称であるほうが、 ガウス関数として波形をフィットした場合の時間分解能が向上する。

10 極ベッセルフィルターは5つのコイル、5つのコンデンサ、2つの抵抗から成っている。図 2.6 に 10 極ベッセルフィルタの回路図を示す。それぞれの素子の種類や性能は、入力する波形(この場合は CsI 結晶の光を PMT で読み出した信号)をもとに最適な組み 合わせを選んでいる。

図 2.7 は 10 極ベッセルフィルターを通す前後の信号の変化を表した図である。左が PMT を使って読みだした CsI カロリメータの信号である。この信号をフィルターに通す と半値幅 45ns のガウス関数の形の信号になっていることがわかる。



図 2.5 CsI カロリメータの PMT からの信号(上図)を入力した場合の入力信号 7 極 ベッセルフィルター(中図)と 10 極ベッセルフィルター(下図)の間での出力波形の 違い。出力波形はそれぞれフィルターを設計する際のシミュレーションで作られた波 形である。



図 2.6 10 極ベッセルフィルター


図 2.7 左図がオシロスコープで取得した CsI カロリメータの PMT からの信号であ る。この出力信号を 10 極ベッセルフィルターに通して 14bit 125MHz FADC で記録 すると右の図のようになる。

10 極ベッセルフィルターを用いた場合の時間分解能と二重パルスの分解能については、 シカゴ大の Jiasen Ma[10] と Kelsey Morgan[11] が変換後の波形を用いてシュミレーショ ンによる調査を行った。その結果、125MHz でデジタル化を行った場合、10MeV 以上の エネルギーに相当する信号に対し、0.5ns 以下の時間分解能が得られることがわかってい る。実際の CsI 結晶の信号に対して 10 極ベッセルフィルターと 125MHzFADC を用い た場合の時間分解能に関しては、2010 年 4 月に東北大学電子光理学研究センターにて行 われたテスト実験で得たデータを用いて、大阪大学の岩井瑛人氏が解析を行っている。

CsI カロリメータやその他ほとんどの検出器にはこのサンプリング周波数 125MHz の FADC ボードを用いる。CsI 結晶でなく他の物質を検出媒体として用いる場合には、その 信号の波形に合わせて素子の組み合わせを最適化して用いる。これに対し、比較的高レー トでの反応が予想される Beam Hole Photon Veto などの検出器に対しては、波形変換 フィルターは用いず、サンプリング周波数 500MHz の FADC ボードを用いる。これは、 BHPV では高いレートで γ が入射して二重パルスが起きやすく、二重パルスの分離のた めにより正確な時間情報が必要となるからである。

2.4 各トリガー段階における最大データ取得レート

トリガー判断自体はデッドタイムが無視できるが、実際のデータ転送や保存に用いる ハードウェアの性能(詳しくは付録 A 参照)によって、各トリガー判断の段階での最大 データ取得レートが存在する。ここでは、それぞれのトリガー段階での最大データ取得 レートについて順を追って述べる。必要な崩壊イベントを漏らさず取得するためには、取 得する必要性が少ないと考えられるバックグラウンド事象をトリガーから取り除く必要が ある。

2.4.1 レベル1トリガー

Lv1 トリガー段階での最大データ取得レートは、FADC ボードから Lv2 トリガーボー ドへと光ファイバーを通じてデータを読み出す際の転送スピードで決まる。FADC ボー ドと Lv1/2 トリガーボードの間の光通信の通信速度は 2.5Gbps である。このうち 80% を 実際のデータのやり取りに用いるので、データ転送速度は 2Gbps となる。

付録 A.1.2 より、FADC ボードで記録されて Lv2 トリガーボードへ送られる 1 イベン ト分のデータのサイズは 12 Kbit である。従って取得できる最大の Lv1 トリガーレート $f_{Lv1_{MAX}}$ は転送速度を 1 イベント分のデータサイズで割れば求めることができて、

$$f_{Lv1_{MAX}}[\text{Hz}] = \frac{2[\text{Gbit/s}]}{12[\text{Kbit/Event}]} \sim 1.7 \times 10^5 [\text{Event/s} = \text{Hz}]$$

となる。

2.4.2 レベル2トリガー

Lv2 トリガーレートの上限は Lv2 トリガーボード上のメモリーの大きさに依存する。 Lv2 トリガーボード上には 2 Gbit(256 MB)のメモリが 2 台搭載され、データを保存す るメモリと読み出すメモリをビーム入射毎に切り替えて用いる。Lv2 トリガーボードには FADC ボード 1 6 台分のデータが蓄積されるので、Lv2 トリガーボードが記録する 1 イ ベント分のデータのサイズは 12Kbit × 16 = 192Kbit になる。よって、2Gbit の大きさ のメモリ上に蓄積することが可能なデータの最大量は、

$$\frac{2 {\rm Gbit}}{192 {\rm Kbit/Event}} \sim 1.1 \times 10^4 [{\rm Events}]$$

となる。 1 回のビーム入射で取得可能なイベントの量は決まっているので、Lv2 トリガー 段階における最大トリガーレート $f_{Lv2_{MAX}}$ はビームが入射してくる時間の長さ L_{Spill} に よって決まる。

$$f_{Lv2_{MAX}} = \frac{1.1 \times 10^4 [\text{Events}]}{L_{Spill}[sec]}$$

現在、 L_{Spill} は2秒であるので $f_{Lv2_{MAX}} = 1.1 \times 10^4$ [Events]/2[s]~5 kHz となる。本番の実験においては L_{Spill} は0.7秒となるので、 $f_{Lv2_{MAX}} = 1.1 \times 10^4$ [Event]/0.7[s]~14kHz となる。

1回のビーム入射で記録した2Gbitのデータは、次のビーム入射サイクルの時間を 使って読み出す。前述したように本番の実験ではビーム入射は3.3秒サイクルで繰り 返し行われるので、この3.3秒の間にデータを読み出すのに必要なネットワーク速度は 2Gbit/3.3s=600 Mbpsとなる。上記の最大取得可能なトリガーレートを実現するために は PC ファームへの転送速度が600Mbps以上になるように調整することが求められる。

2.4.3 レベル 3 トリガー

Lv3 トリガー段階でのトリガーレートの上限は、Lv3 トリガーを発行されたデータを転送する為に用いる PC ファームから KEK のストレージまでの間のネットワーク帯域に依存する。PC ファームから KEK までは 1 Gbps のネットワークを 2 本用いる。

PC ファームへは 16 台の Lv2 トリガーボードからそれぞれ 2 Gbit のデータが 3.3 秒 毎に送られてくる。これは常に 10 Gbps の速度でデータが送られてくることと同じであ る。これに対し PC ファームから KEK のへ送信可能な転送速度は最大 2 Gbps であるた め、Lv3 トリガー段階で取ることの出来るイベントは Lv2 トリガーを通過したイベント のうち 1/5 である。従って Lv3 トリガー段階での最大取得可能なトリガーレートはおよ そ 3 kHz となる。

第3章

2010 年秋 Csl カロリメータ エンジニアリングランにおける DAQ システムの構築

我々は現在 J-PARC ハドロン実験施設内 KL ビームラインにおいて、CsI カロリメー タを建設している。2010 年 10 月、11 月にかけてビームラインに K_L のビームを出し、 CsI カロリメータのデータの取得を行った(カロリメータエンジニアリングラン)。本章 ではこの 2010 年秋に行ったカロリメータエンジニアリングランにおけるデータ収集シス テムの構築と成果について述べる。

3.1 2010 年秋 Csl カロリメータエンジニアリングランの概要

我々は J-PARC ハドロン実験施設内の KL ビームラインにて CsI カロリメータの建設 を 2010 年 5 月より開始した。CsI カロリメータに対する実際のビームを用いて動作を調 べるテスト実験(カロリメータエンジニアリングラン)を 2010 年の秋(10 月、11 月) に行い、のべ 127 時間データ収集を行った。また、2 度目のランを 2011 年春に計画して いる。

カロリメータエンジニアリングランの目的は、CsI 結晶や PMT、データ収集システム を統合した、カロリメータという検出器システム全体としての動作の検証と、カロリメー タの較正手段の確立である。K^OTO 実験ではすべての検出器を同じ方法でトリガー判断 し、読み出すため、カロリメータのデータ収集システムを構築すれば、本番の実験での データ収集システムに対する課題や要請などを調べることが出来る。

3.2 2010年秋ランにおける検出器のセットアップ

3.2.1 実験エリア全体のセットアップ



図 3.1 CsI カロリメータエンジニアリングランにおける実験エリア見取り図

2回にわたって行うカロリメータエンジニアリングランでは、基本的に同じ検出器を用いて実験を行う。ここでは、2010年秋ランでの検出器のセットアップについて述べる。

2010 年秋ランでは K^oTO 検出器のうち、図 3.1 に示すように主に CsI カロリメータの 設置されるエンドキャップ部のみをビームライン上に設置してデータの収集を行った。

カロリメータに入射してくる荷電粒子の飛跡や運動量の測定を行うために、大型二重極 電磁石 KURAMA(KEK-PS K2 beam line より移設) と4台のドリフトチェンバーを用 いた電磁スペクトロメータを CsI カロリメータよりもビーム上流に設置してデータを収集 した。これにより運動量のわかった電子を用いた CsI カロリメータのエネルギー較正を行 うことができる。本番の実験では、スペクトロメータを検出器として用いないため、この 測定はスペクトロメータを用いるカロリメータエンジニアリングランでのみ可能である。

KURAMA 電磁石よりもビーム上流側には GOHMON と呼ばれるシンチレーティング ファイバーを用いた検出器を設置してビームの形状を測り、KL ビームラインのコリメー 夕位置調整やビームの時間構造の測定に用いた。カロリメータやスペクトロメータのデー 夕収集時は、下流にある検出器への影響を避けるため、GOHMON はビーム軸上から退 避させた。

2010 年秋ランにおいては、CsI カロリメータ、スペクトロメータに加えて、CsI カロリ メータより下流に、BHPV や NCC など本番の実験で用いられる Veto 検出器のプロトタ イプを置き、カロリメータの測定と並行して実際のビームに対する応答に関するデータ の収集を行った。また、γ線と中性子の数を測るために Cerberus と呼ばれる鉛とプラス チックシンチレータを用いたサンプリングカロリメータを置いた。また、ビームに含まれ る中性子やγ線の広がりを測定するために PbWO₄ やプラスチックシンチレータを用い た検出器を置いた。

3.2.2 Csl カロリメータ及びエンドキャップ部周辺のセットアップ

CsI 結晶は潮解性があり、温度による光量の変化があるため、一定の性能を維持し続け るには湿度や温度の管理が必要となる。CsI カロリメータ建設中及びカロリメータエンジ ニアリングラン中は CsI カロリメータを真空中ではなく大気中に置くので、温度や湿度 を管理するために、CsI カロリメータの設置されている K^OTO 検出器のエンドキャップ 部は 4.5m × 4.5m ×4.5m の大きさの乾燥室内に設置した。CsI カロリメータからの信号 は、PMT 読み出しボードから Cat6 Ethernet ケーブルを用いて乾燥室外まで引き出し、 乾燥室下流に設置した FADC クレート内の FADC ボードに接続して読み出した。

乾燥室内に設置したエンドキャップ部の 2010 年秋ランにおけるセットアップを図 3.2 に示す。

2010 年秋ランまでに、エンドキャップ部内の図 3.2 において青色で塗りつぶした領域 に CsI 結晶を 1774 本 (うち、5cm 角結晶 286 本、2.5cm 角 l 結晶 1488 本) を取り付け た。このうち、秋ランまでに用意できた FADC ボード 80 台を用いて、図 3.2 において 赤い線で囲んだ 2.5cm 角結晶 10 層目の高さから 32 層目の高さまでを覆う領域(5cm 角 結晶 140 本、2.5cm 角結晶 1056 本に相当)を読み出してデータを取得した。CsI カロリ メータに加え、すべての CC03 検出器と、CsI 結晶と同じ高さの部分までの領域の OEV 検出器をエンドキャップ部に設置し、同様に FADC ボードを用いて読みだした。

また、乾燥室内に、プラスチックシンチレータと PMT で構成されるシンチレーション 検出器をエンドキャップ部 CsI カロリメータ前面及び上下を覆うように設置した。カロ リメータ部の上下に置かれたシンチレーション検出器は、宇宙線イベント取得用のトリ





図 3.2 2010 年秋ランにおけるエンドキャップ部のセットアップ図

ガー検出器として用いた。また、CsI カロリメータ前面に置かれたシンチレーション検出 器は、スペクトロメータのデータ収集システムのトリガーカウンター、および本番の実験 における荷電粒子 VETO 検出器 CV の代替手段として用いた。このシンチレーション検 出器の信号も FADC ボードを用いて記録した。

CsI カロリメータ検出器と OEV 検出器に対しては、それぞれの波形にフィルターを最 適化した FADC ボードを用いたが、CC03 検出器とプラスチックシンチレータ検出器に 対しては、CsI 用の FADC ボードを用いた。

3.3 エンジニアリングランにおけるデータ収集システムの 概要

3.3.1 セットアップ

ここでは 2010 年秋ランで構築したデータ収集システムのセットアップについて述べる。トリガーシステム、データ読み出しシステムの詳細に関しては、後の 3.4、3.5 節で詳 しく述べる。

本番の実験で用いられるセットアップとの違いは、マスタートリガーボード(MAC-TRIS)とLv1トリガーボードにそれぞれプロトタイプ機を用いたこと、Lv2トリガー ボードを用いないことである。プロトタイプトリガーボードでは幾つかの機能が本番の実 験用の物と異なっている。また、Lv2トリガーボードを用いたネットワーク経由での高速 読み出しが出来ないため、データの読み出しは FADC モジュール内のバッファーメモリ から VME クレートコントローラを通じて行った。

図 3.3 に、2010 年秋ランで構築したデータ収集システムのセットアップを示す。

プロトタイプ MACTRIS ボードにより、システムの動作クロック信号を作り、トリ ガーボードや FADC モジュールへと配布した。FADC モジュールでのデータ取得を管理 する LIVE シグナルは、加速器からのビーム入射を知らせる SpillGate 信号を受けて Lv1 トリガーボードにおいて作り、プロトタイプ MACTRIS を通じて FADC モジュールに配 布した。FADC モジュールからのエネルギーは光ファイバーを通じて Lv1 トリガーボー ドに送り、トリガー判断に用いた。

Lv1 トリガーボードで判断されたトリガーの内、スペクトロメータのデータ収集システ ムでのトリガー判断を通過したものだけを試作 MACTRIS に送り、Lv1 トリガーとして FADC モジュールに配布した。トリガーを受けて FADC モジュール上のメモリに記録さ れたデータは各 VME クレートのクレートコントローラを通じて読み出し、ネットワーク 経由で PC ファームに送った。

読み出しとトリガー判断を同期するために、Lv1 トリガーボードでトリガーの数を数



図 3.3 2010 年秋ランでのデータ収集システムのセットアップ図 。実際には、Fanout ボードはトリガークレートに入れて用いた。

え、FADC ボードのメモリがいっぱいになる様な回数に達すると、Lv1 トリガーボードで のトリガー発行を止めるようにした。FADC モジュールからのデータ収集が終了すると、 それを知らせる信号が各 FADC モジュールからプロトタイプ MACTRIS ボードへと送 られ、この信号を用いて Lv1 トリガーボードにトリガー発行を再開させた。

3.3.2 実験エリアでの配置

実験エリアに、図 3.4 のようにデータ収集システムのモジュールを配置した。FADC ボードは 12~15 台ごとに分けて、6 台の FADC 用 6U クレート(以下、FADC クレート と呼ぶ)に設置した。FADC クレートは、過熱による誤作動を防ぐため、19 インチラッ ク 1 台あたり 6U クレートを 2 台ずつ設置した。MACTRIS ボード、Lv1 トリガーボー ドと Fanout ボードは 1 台の VME 9 U クレート (以下、トリガークレートと呼ぶ) に設 置し、外部との信号の変換に用いる NIMBIN とともに 19 インチラック 1 台に設置した。

FADC クレートを取り付けた 19 インチラック 3 台は乾燥室下流、北側(ビームから見



図 3.4 2010 年秋ランでのデータ収集システムの配置図

て下流左側)に寄せて配置し、向かって反対側に、トリガークレートと NIMBIN を取り 付けた 19 インチラックを配置した。データを保存し、データ収集システムを管理・モニ タするための PC ファームは、ハドロン実験施設外の KL 計測室内に設置した。

3.3.3 **用いたモジュール**

2010年秋ランに於いては以下のモジュールを用いてデータ収集システムを構築し、デー タ収集を行った。

- FADC 読み出し用 VME6U クレート 6 台
 - VME クレートコントローラー 6 台(1 クレートに 1 台)
 - FADC モジュール 87 枚(1 クレートあたり 12~15 台)
- トリガーシステム用 VME9U クレート1台

- プロトタイプ Lv1/2 trigger board 1枚
- プロトタイプ MACTRIS ボード 1枚
- Fanout ボード 6 枚
- NIMBIN
 - NIM↔ECL↔LVDS 変換モジュール
- データ保存/イベント再構築用 PC ファーム 40 台

3.3.3.1 プロトタイプトリガーボード

ここでは、プロトタイプトリガーボードと、本番実験用のトリガーボードの機能の違い について述べる。

■プロトタイプ MACTRIS

Et トリガー判断を除く、データ収集システム全体の動作をテストするために作られた プロトタイプ機である。本番用の MACTRIS ボードと異なり、プロトタイプ機では Lv1 トリガーボードからエネルギー和の信号を受け取って自分で Lv1 トリガーを作ることが できない。また、KOTO データ収集システムの外部との信号のやりとりのための端子を 持たない。そのため、今回の秋ランにおいては、この 2 つの機能はプロトタイプ Lv1 ト リガーボード内で行った。



図 3.5 プロトタイプ MACTRIS ボード

■Prototype Lv1/2 trigger board

光ファイバー経由でのデータ受信と、受信した情報を用いたトリガー判断をテストす るために作られたプロトタイプ機である。Lv1/2トリガーボード同様、FADCモジュー ルからの情報を光ファイバー経由で受け取ることが出来る。プロトタイプ機はLv2トリ ガーボードとしての機能のうち、ネットワークポートからのデータ読み出し機能を実装し ていないため、2010年秋ランにおいてはLv1トリガーボードとしての機能のみ用いた。

プロトタイプ Lv1 トリガーボードで外部信号の入出力を行うために、VME9U クレート のバックプレーンに拡張ボードを取り付けて用いた。この拡張ボードが扱えるのは LVDS 信号のみであるため、加速器や他のデータ収集システムからの NIM 信号を LVDS 信号に 変換した。



図 3.6 プロトタイプ Lv1/2 トリガーボード。

3.4 トリガーシステム

ここでは、スペクトロメータと連動させてデータを取るために構築した、トリガーを発 行するシステム(以下、トリガーシステム)について述べる。トリガーシステムはおもに、 MACTRIS や Lv1 トリガーボードなどのトリガーモジュールが FPGA のファームウェ アに基づいてハードウェアを用いて動作する。 2010年秋ランにおいては、スペクトロメータと連動してデータを取得した。スペクト ロメータは独立したデータ収集システムを持っている。粒子の軌道や運動量と、カロリ メーターで得たエネルギーとの間の関係性を調べるには、カロリメータで取得したイベン トとスペクトロメータで取得したイベントを対応付ける必要がある。この対応付けを行う ために、両システムで共通のトリガーを用い、最終トリガー判断はスペクトロメータシス テムにおいて行うようにした。

取得したいイベントの種類によって、CsI カロリメータからのエネルギー情報を使う モード(Et トリガーモード)と使わないモード(外部トリガーモード)の2種類のトリ ガーモードを使い分けた。

3.4.1 Et トリガーモード

Et トリガーモードは、 FADC モジュールからのエネルギー和を用いてつくられた Et トリガーを用いるモードである。CsI カロリメータに大きなエネルギーが与えられたイベ ントを収集したい際に用いる。

トリガーモジュールは FADC モジュールから受け取ったエネルギー情報から Et トリ ガーを作成する。ただし FADC モジュールが読み出し中の場合には Et トリガーを作成 しないようにする。作成した Et トリガーはスペクトロメータのトリガーシステムにおい て、Drift Chamber への Hit 情報や宇宙線・レーザートリガーと合わせて判断を行い、最 終的にトリガーとして判断されたトリガーのみが、カロリメータのデータ収集システムに 送られ、Lv1 トリガーとして用いられる。

今回は Lv1 トリガーモジュールの 16 個ある光入力のうち、他のものに比べ比較的安定 に動作した 8 入力のみをトリガー判断に用いた。



図 3.7 トリガーモード: Et モード

3.4.2 **外部トリガーモード**

外部トリガーモードは、Et トリガーを用いず、スペクトロメータ側からのトリガーの みを用いるモードである。CsI カロリメータへ与えられたエネルギーによらず、イベント を取得したい際に用いる。トリガー判断は外部に任せ、スペクトロメータからのトリガー を外部入力から受け取り、CsI カロリメータのデータ収集システムの Lv1 トリガーとす る。トリガーシステムの外部出力ラインには、トリガーではなくデータ収集システムがト リガー受付可能かどうかの信号を送る。データ読み出し中でトリガーを受け付けられない 場合にはこのラインを通じて BUSY シグナルを送り、スペクトロメータ側でのトリガー 生成を抑制する。



図 3.8 トリガーモード: 外部トリガーモード

3.5 データ収集システム

ここでは、2010 年秋ランでトリガーシステムと FADC ボードからのデータ読み出しに 用いた仕組みについて述べる。また、トリガーシステムと FADC ボードとの間の同期を とるために用いた仕組みについても述べる。

3.3.2 節で述べたように FADC ボードは FADC クレートと呼ぶ VME6U クレートに設置し、Lv1 トリガーボード、MACTRIS ボード、Fanout ボードはトリガークレートと呼ぶ VME9U クレートに設置した。トリガークレートと各 FADC クレートでは以下に述べるようにデータ収集プログラムが独立に動作している。

図 3.9 にソフトウェア、ハードウェアの各クレートにおける動作を示す。プログラムの 起動や終了などの、ソフトウェア間の通信は主に LINUX における ssh コマンドを用いて 行った。



図 3.9 データ収集システムの動作

3.5.1 トリガークレートでのデータ収集システム

トリガークレートで動作するデータ収集プログラムは、以下の動作に関して設定や管理 を行う。

- トリガーのモードの設定
- カロリメータの全エネルギー Et に対する閾値などの初期値設定
- データ収集の開始・終了

また、データ収集の動作効率を調べるのに用いるため、一回のビーム入射毎に、Lv1 トリ ガーボードでのトリガー要求数とそのうち実際に発行して取得できたイベント数を読み出 して記録した。

3.5.2 FADC クレートでのデータ収集システム

本番の実験のセットアップにおいては、Lv1 トリガーを受けたイベントのデータは FADC モジュール内のバッファーに蓄積された後、光ファイバーを用いて Lv2 トリガー ボードへと読み出され、Lv2 トリガーボードから PC ファームへとネットワーク経由で直 接送られる。

2010 年秋ランでは、Lv2 トリガーボードから PC ファームへのネットワーク読み出し が不可能であったため、各 VME クレートのクレートコントローラを用いて、VME バス 経由で FADC モジュール内のバッファーからデータを読み出す方法をとった。データ読 み出しは、クレートコントローラ上で動いているソフトウェアを通じてファイルとして保 存され、ネットワーク経由で PC ファームへ送られた。

データ読み出しに VME クレートコントローラー用いたため、本番の実験での Lv2 ト リガーボードを用いた読み出しのように複数の FADC モジュールから光ファイバーを用 いて同時に並行してデータを読み出すことはできず、1 モジュールごとに順次読み出す必 要があった。また、今回 VME バスを用いたデータ転送の際に、32bit データ転送を用い たため、Lv2 トリガーボードを用いて直接ネットワーク経由で読み出す場合よりも時間が かかった。また、Lv2 トリガーボードが 1Gbps のネットワーク通信が可能であるのに対 し、クレートコントローラーは 100Mbps で通信を行うため、PC ファームへの転送に時 間がより多くかかった。



Data from 1 FADC crate is stored in 1 node in PC farm

図 3.10 2010 年秋ランでのデータ読み出しシステム

3.5.3 読み出しとイベントの同期

FADC ボードに内蔵されているバッファーメモリには 16bit のデータを 32k ワード 分、つまり 64kB のデータを蓄積することが出来る。付録 A.1.2 で述べるように、1 台の FADC の1イベントあたりのデータ量は 1.5kB であるので、これは 42 イベント分に相当 する。バッファーがいっぱいになったら読み出しを開始し、読み出し終了後にデータ収集 を再開するようにすることによって、1 回のビーム入射(1 スピルと呼ぶ)に対して繰り 返しバッファーからデータを読み出し、1 スピルあたり 42 イベント以上のデータが取れ るようにした。

イベントの取得ミスやデータのオーバーフローを防ぐために、読み出しを行っている間 は、トリガーの発行を一時停止する必要がある。すでに述べたように読み出しは各 VME クレートごとに 1FADC ずつ読み出すため、トリガーの発行を再開するには、すべての FADC モジュールからの読み出しの終了を待つ必要がある。

本番の実験においては FADC ボード上のメモリから直接データの読み出しは行わない ため、FADC ボードの読み出しの状況をトリガーボードに対して通知する信号線は用意 されていなかった。そこで、今回の 2010 年秋ランでは、コントロール信号線のうち、本 来 FADC モジュールのエラーを通知するためのエラー信号を流すために確保されていた エラーラインを、データ読み出し終了シグナル用ラインとして用いることにした。データ 読み出し終了シグナルは、VME バスからの信号を用いた状態の変更が出来るようにし、 かつ、バッファーにイベントが入っている時には LOW になるようにした。*1FADC ボー ドからのデータ読み出し終了シグナルは、各 Fanout ボードと、その上層のプロトタイプ MACTRIS ボード内で AND ロジックを取り、VME バックプレーンの信号線経由で Lv1 トリガーボードに伝えている。こうすることで、すべての FADC ボードで読み出しが完 了すると、Lv1 トリガーボードにその事が伝えられるようになった。



図 3.11 FADC の読み出しの同期

データの読み出しとトリガー発行を同期させるためのロジックの流れを以下に述べる。

■トリガークレートでのトリガーモジュールの動作

トリガーモジュールは発行したトリガーの数を数え、42 個のトリガーを発行すると Lv1 トリガーの発行を停止する。この間、Et トリガーモードの場合は外部への Et トリガーの 出力を停止し、外部トリガーモードの場合は外部に VETO 信号を出力する。

すべての FADC ボードからのデータ取得の終了の信号をプロトタイプ MACTRIS から受けると、トリガーを数えるカウンターを 0 に戻し、Lv1 トリガー発行を再開する。Et トリガーモードの場合は外部への Et トリガーの出力を再開し、外部トリガーモードの場 合は VETO 信号を解除する。

■FADC クレートでのデータ読み出しソフトと、FADC ボードの動作

FADC ボードからのデータ読み出しを行うプログラムは VME クレートコントロー ラー上で動作している。クレートコントローラ上のプログラムでは、FADC モジュール

^{*1} 実装としては、FADC モジュールのバッファーメモリの EMPTY ラインの値をエラー信号ラインに流 している。EMPTY ラインと、VME バスからの信号で変更可能な値との OR をエラーラインに接続す ることでこの機能を実現している。

が 42 トリガーを受けてバッファーがいっぱいになったら読み出しを開始する。クレート に設置されているすべての FADC ボードからのデータ取得が終了すると、クレートコン トローラから FADC ボードのエラーラインを HIGH 状態に変更する。

3.5.4 ネットワークを介したデータの読み出しと保存の流れ

FADC モジュールから読み出されたデータは、VME クレートコントローラ上のメモリ に蓄積される。メインのデータ収集プログラムは自らはそのデータを保存することなく、 メモリ上の情報を別プロセスで稼動しているデータの保存/転送プログラム*2に受け渡し、 FADC モジュールからトリガーモジュールへの読み出し終了信号の発行を行う。VME ク レートコントローラのメモリがいっぱいになり書き込めなくなった場合は、保存プログラ ムへのデータの転送が終了するのを待つ。

また、データの保存/転送プログラムによるデータの保存及び転送は、6 秒繰り返しサ イクルのビーム入射のうちビームの来ていない 3 秒間の間のみ行うようにした。

データ保存/転送プログラムはメモリ上のデータを受け取り、データをファイルとして 保存するとともに、別ネットワークを介して PC ファームへとデータを転送しイベント再 構築とオンラインモニタリングを行う。ファイルは NFS を用いて、PC ファーム上のス トレージにネットワーク経由で保存した。

3.5.5 1回のデータ収集ランの長さ

2010 年秋ランではストレージにファイルとして保存する際、データは1クレート毎に ファイルを分け、その中に1クレートの中のすべての FADC ボードからのデータをまと めて保存した。FADC ボードからデータを収集して保存するプログラム中でのファイル の操作には 32bit 命令を用いたため、最大のファイルサイズは 2GB に制限された。

付録 A.1.2 で述べるように、1 台の FADC ボードの 1 イベントあたりのデータ量は 1.5kB であるので、1 クレートに 16 台の FADC ボードが入っている場合にファイルの中 にデータとして保存される 1 イベントあたりのサイズは 24kB となる。この場合、1 個の ファイルとして保存できるのは 2[GB]/24[KB/event] ~ 8.7 × 10⁴[event] より、8 万イベ ントになる。8 万イベントを読み出すことはバッファーからデータをおよそ 2000 回読み 出すことに相当する。

2010 年秋ランでは、1回のデータ収集ランの長さをこの最大ファイルサイズから8万 イベントとし、8万イベントごとにランを切り替えることとした。実際の測定において8 万イベントに係る時間は10分から30分であった。

^{*2} 大阪大学山中卓研究室 中谷氏による

第4章

2010 年秋ランにおけるデータ収集 システムの動作性能調査

この章では、2010 年秋ランでのデータ収集システムの動作について、トリガーシステムの動作と、取得したデータの内容の観点から論じる。

4.1 **トリガーレート**

今回の 2010 年秋ランにおいてはバッファーメモリがほぼ一杯になるたびに読み出しを 行ったため、一回の読み出しで読み出すデータ量及びイベント数はバッファーメモリのサ イズによって決まり、一定である。FADC モジュールのバッファーメモリは 42 イベント を蓄積すると、ほぼ一杯になる。一定数のトリガー後に必ず一定時間読み出しに要するた め、トリガー要求レートが高くなるに従って、全体の時間のうち読み出しにかかる時間の 割合が無視できなくなる。

1 台ずつ順次読みだしていくので、一番 FADC ボード数の多いクレートにおける読み 出し時間が全体の読み出し時間となる。秋のエンジニアリングランにおけるデータ収集 中、最も多い 15 台の FADC ボードを設置しているクレートから 1 バッファー分のデー タを読みだすのにかかる時間 *T_{save}* はおよそ 100ms であった。このうち実際に読み出し にかかっている時間はおよそ 80ms で、メモリ上のデータの移動に 10ms 程度かかってい た。15 台の FADC ボードが蓄える 1 バッファー分のデータは

16 bits \times 32768 words \times 15 modules $\simeq 1~\mathrm{MB}$

である。よって VME バス上での転送速度はおよそ

 $1 \text{ MB}/80 \text{ ms} \simeq 12 \text{ MB/s}$

となる。トリガー要求レートを freg[Hz] とすると、42 個のトリガーを発行するのにかか

る時間 T_{trig} は 42/f[s] であり、42トリガー毎にデータの読み出しと保存に 90ms 程度か かるので、全体の時間のうちトリガー受付可能な時間(LIVE タイム)の割合 R_{LIVE} は、

$$R_{LIVE} = \frac{T_{trig}}{T_{trig} + T_{save}} = \frac{42/f_{req}}{42/f_{req} + 0.09} = \frac{420}{420 + 0.9f_{req}}$$
(4.1)

となる。1 秒間に実際に取得できるイベントの数 f_{acq} はトリガー受付可能な時間の割合 R_{LIVE} にトリガー要求レート f_{req} [Hz] をかけて、

$$f_{acq} = f_{req} \times R_{LIVE} = \frac{420 \times f_{req}}{420 + 0.9 f_{req}} = \frac{420}{420/f_{req} + 0.9} \le 470 Hz$$
(4.2)

となる。トリガー要求レートがどれだけ増えても、470Hz は越えないことになる。

式 4.1、4.2 の関係をグラフにしたのが図 4.1、4.2 である。

図中の2次元ヒストグラムは2010年秋ランで実際に測定した際のトリガーレートと LIVE タイムの割合およびデータ収集レートのデータであり、図中の緑の丸で示した点 は、秋ランのあとにクロック信号を外部トリガーとして用いて外部からのトリガーの要求 レートに対する LIVE タイムの割合と取得レートの変化を調べた際のデータである。実 際のランでのデータは、1回のビーム入射ごとに平均した値である。どちらもほぼ、赤い 線で書いた、式4.1、4.2で予測した結果に近いことがわかる。式4.1、4.2がクロック信 号の場合の結果をうまく再現しているのに対し、実際のランの時のデータがそれらを上 回ったり下回ったりするのは、実際のランにおいてはトリガーレートが1回のビーム入射 中で一定でないことによると考えられる。

また、ネットワーク転送速度からもデータ収集レートに制限がかかる。6 秒間で繰り返 すビーム入射の時間のうちビームが来ない3 秒間にネットワーク経由で保存を行うので、 3 秒間のビーム入射中に収集したデータの大きさを *L*_{event},1 バッファーあたりのイベント 数を *N*_{event}、ネットワーク転送速度を *X*[*Mbps*]、データ収集レートを *f*_{acg} とすると、

$$X[Mbps] \ge \frac{L_{event}}{N_{event}} \times f_{acq}$$
 (4.3)

$$=\frac{1MB=8Mbit}{42} \times f_{acq} \tag{4.4}$$

$$f_{acq} \le \frac{X \times 42}{8} \tag{4.5}$$

となる。ネットワークの通信速度を X = 80 ~ 90 と考えると、最大データ収集レートは 420~470Hz ということになる。なお、トリガーレートを 1MHz にした場合でも VME ク レートコントローラの CPU の使用率は 50% 程度であった。よって、2010 年秋ランでの データ収集レートを限定していたのは、データを VME バス経由で読み出すのにかかる時 間と、ネットワーク転送速度であることがわかった。



図 4.1 トリガーレートと DAQ システムの LIVE タイムの割合 (上下の図の内容は同 じで、下図は縦軸を対数目盛にしている。)。2 次元ヒストグラムが、実際のランにお ける結果で、赤い線が式 4.1 で予測した値、緑の丸はクロックトリガーを入れた場合の 結果である。



図 4.2 トリガーレートとデータ収集レート。2 次元ヒストグラムが、実際のランにお ける結果で、赤い線が式 4.2 で予測した値、緑の丸はクロックトリガーを入れた場合の 結果である。トリガー要求レートが高くなるに従い、データ収集レートも増加するが最 終的には紫の破線で表した 470Hz に漸近する。

4.2 取得したデータの内容の確認

ここでは、FADC ボードから取得したデータをもちいたデータ読み出しシステムの動作確認について述べる。

4.2.1 データ構造

トリガーを受けて記録されたイベントのデータは、FADC ボードのバッファー内に 42 イベント分まとめて記録される。ヘッダーやイベントのデータ点数が設定した値と異なっ たり、イベントの情報に全く関係ないダミーのデータが含まれていたりすると、後の解析 に支障をきたす。

取得したすべてのデータに対してデータが正しい構造で保存されているか確かめた。10

月の測定においては、FADC ボードからデータを収集するソフトに不具合があったので、 確認は 11 月の測定のデータに対して行なった。その結果、11 月の測定でのデータ収集ラ ン総数 542 回のうち、57 回のランにおいてデータ構造が壊れていた。これらのランにお いてはいずれも、後述するデータ収集システムが停止する問題が発生していた。壊れてい たバッファーの数は、全ランでの合計 710890 個中、96 個であった。これは 0.14% に相 当する。

4.2.2 クロック信号の同期

K^OTO 実験のデータ収集システムは、すべてのモジュールで共通のクロック信号を動作に用いている。

すべての検出器の同じ時間の情報を得るためには、データ収集システムに対しては、す べてのモジュールがクロック信号の同じタイミングをのエッジを用いて動作していること が求められる。もし、ある FADC ボードが他とは1クロックサイクル分異なるタイミン グのクロック信号のエッジを用いている場合、データとして記録される波形やタイムスタ ンプは1クロックサイクル分ずれた情報を持つことになる。

データ収集システム全体で同じタイミングで動作しているかを調べるため、11 月の測 定で取得した全イベントのデータに対してヘッダー*1の中に含まれるタイムスタンプを、 各 FADC 毎に比べた。その結果、11 月の測定で得られたデータでは、6 台ある FADC ク レートのうち 1 台の FADC クレートに設置した FADC において、すべてのイベントでタ イムスタンプが 1 だけずれていることがわかった。タイムスタンプがズレている FADC ボードの組み合わせは、1 回のビーム入射(スピル)毎に異なっていた。

これは、タイムスタンプが LIVE 信号が来てからのクロックサイクル数であり、LIVE 信号が来るたびにタイムスタンプがリセットされるからだと考えられる。2010 年秋の測 定においては、FADC クレート毎に異なるスレーブ Fanout ボードを用いていた。ある 1 台の FADC クレートでのみタイムスタンプがズレていることから、コントロール信号が マスター Fanout ボードから出力されてスレーブ Fanout ボードに入り FADC ボードに 渡される経路の中で、他の Fanout ボードに対してコントロール信号のタイミングがずれ ていたのだと考えられる。

4.3 2010 年秋ランにおいて見つかった問題

この節では 2010 年秋ランでのデータ収集中に見つかった、データ収集システムに関わる問題について述べる。

^{*1} ヘッダーの内容について詳しくは、付録 A.1.2 で述べる。

4.3.1 エラーによる光通信接続の喪失とその回復

2010 年秋ランにおいて、エネルギー情報を FADC ボードから光ファイバーを用いて送 る際に、FADC ボードと Lv1 トリガーボードとの間の光通信にエラーが生じてトリガー システムが不安定になることがあった。このエラーは、光通信で受け取ったデータが正し いデータでない^{*2}ことにより起こる。光通信が不安定になって、正しくないデータが送ら れてくると、Lv1 トリガーボードのデータ通信モジュール TLK3101^{*3}はそれを自動的に 感知して RX_ERR という信号線からエラー信号を出力するので、エラーが起こっている かどうかはこの信号線で確認できる。

このエラーが生じると、FADC でのエネルギー和とは無関係なゴミデータが光通信モジュールから Lv1 トリガーボードのエネルギー加算回路に渡され、誤ってトリガーを発行してしまう。また、エラーが連続して複数回発生すると、光通信の接続自体が失われる。

このエラーの状態から回復するには、送信側である FADC ボードと受信側であるト リガーボードの双方で光通信トランシーバーとデータ通信モジュールをリセットし、接 続の再確立をする必要がある。我々のデータ収集システムでは、コントロール信号のう ち LIVE 信号が HIGH になると、各モジュールの光通信トランシーバーとデータ通信モ ジュールが再起動し、光通信の接続とデータの送受信を開始するようにしている。ビーム 入射サイクルのあるタイミングで回復不可能な光接続のエラーが起こった場合、次のサ イクルのビーム入射で LIVE 信号が HIGH になる際に接続は回復する。2010 年秋ランに おいては、通信エラーが複数回出力されて接続が自動的に回復しない状態になった場合、 LIVE 信号を一旦リセットして、接続を再確立するようにした。

実際のラン中にはプロトタイプ Lv1 トリガーボードを用いて 16 台の FADC ボードか ら光ファイバーを接続した場合、データ収集開始後 1 秒以内に光通信接続で極めて多数 の接続エラーが生じ接続が回復不可能になっていた。そのため、比較的エラー回数の少な い 8 個の光通信モジュールを用いて FADC ボードからのエネルギー情報を受信してトリ ガー判断に用いた。この 8 モジュールにおいても LIVE 信号のリセットを引き起こさな い様な少数のエラーは、高い頻度で起こっていた。

^{*2} ここでは、受け取ったデータに対し付録 B で述べるシリアル/パラレル変換の際に正しく変換ができな かったことを指す。

^{*&}lt;sup>3</sup> TLK3101 についての概要は付録 B.3 で説明する。

4.3.2 トリガーと読み出しの同期の失敗

4.3.2.1 症状

2010 年秋ランでの測定中に、トリガークレートで動作させたプログラムが、FADC ボードからの読み出し終了シグナル待機状態のまま停止してしまうことがあった。この 時、FADC ボードにおいては、すでに読み出しを終えており数イベント分のデータが格納 されていた。

この現象は、トリガー数がトリガーボード側と FADC ボード側とで異なっていること によって起きていると考えられる。トリガーボードが作ったトリガーの数と、FADC ボー ドが受け取って記録したイベントの数が異なると、トリガーボード側ではすでに 42 トリ ガーを発行して読み出し終了を待っているが、FADC ボード側では 42 イベントに達しな いか、あるいはすでに読み出しを終えて数トリガー受け取っているためトリガー待ち状態 になっているということが起こりうる。この場合、トリガー生成もデータ読み出しも行わ れないため、システムが動作しなくなる。この症状は、特に Et トリガーモードにおいて、 スペクトロメータにおけるヒット情報を用いたトリガーと CsI カロリメータからの Et ト リガーを組み合わせて用いる際に顕著であった。また、Et トリガーモードで動作してい る際に、Et トリガーの閾値をノイズ程度の高さに設定した場合にも顕著であった。なお、 11 月のランのほとんどの測定で 200MeV に閾値を設定していたが、この場合にはほとん ど停止することはなかった。

4.3.2.2 確認

外部トリガーを使うことによる影響を調べるため、外部にトリガー信号を出力せず CsI カロリメータ単体で Et トリガーを用いるように動作ロジックを変更して変化を調べた が、この場合でも、閾値が低い場合にはデータ収集システムのプログラムが停止した。こ のため、外部トリガーを用いることが直接の原因ではないと考えられる。

また、外部トリガーと内部の 125MHz クロック信号とのタイミングの影響を調べるた め、外部トリガーを Lv1 トリガーボードに入力するタイミングを変更して変化を調べた が、データ収集システムのプログラムの停止を引き起こす頻度は、タイミングを変えても 殆ど変わらなかった。

4.3.3 L1 トリガー発行のタイミング

2010 年秋ランでは、プロトタイプ Lv1 トリガーボードは複数の FADC ボードから受け取ったエネルギー情報を用いて Lv1 トリガー(Et トリガー)の判断を行った。

CsI カロリメータからのエネルギー情報を用いて、正しくトリガー判断を行うには、以下の二点について正しく動作することが必要である。

- 設定した閾値に対して正しく トリガーをかけられること。
- トリガーがかかったタイミングが、トリガー判断に使用した光通信ポートや FADC ボードに依存せず、すべて同じであること。

この2点に関して、11月のビームタイム1時間を利用して、実際に CsI カロリメータに エネルギーが落とされるイベントに対するトリガーの動作を調べた。

■確認方法

トリガー動作の確認を行うために、図 4.3 に示した方法を用いて、FADC ボードで記 録されたイベントのデータから、Lv1 トリガーボードに送られたと思われるエネルギー和 のデータを求めて用いた。エネルギー情報をトリガー判断に用いた FADC ボードに対し、 メモリに記録されたイベントのすべてのチャンネルのデータを、同じ時間の情報を持つ 点毎に足し合わせれば、各時間で Lv1 トリガーボードが受け取ったと考えられるエネル ギー和の情報が得られる。得られたエネルギーの波形に対して各タイミングでの波高分布 を作れば、トリガー判断が行われたタイミングの前後ではエネルギー和の高さ分布には閾 値の周辺にきれいなエッジが見えるはずである。

■結果

図 4.4、4.5 は 1 台の FADC ボードのみのエネルギー情報を用いて Et トリガー判断を 行った場合の、再構成したエネルギー和の分布をサンプル点の時間毎に作ったものであ る。赤い線はトリガー判断のために設定した、エネルギーに対する閾値である。

図 4.4、4.5 はそれぞれ、Lv1 トリガーボードの光入力1, 2に接続した FADC でのエ ネルギー和の高さ分布である。光入力1, 2のどちらに対しても閾値に対して正しくトリ ガー判断が行えていることがわかる。しかし、トリガーが発行されたタイミングが1ク ロック分異なっている。

トリガー判断は、すべての光入力ポートから受け取ったエネルギー情報を最終的に足し 上げた後に1つの共通のブロックで行われるので、実際の波形とトリガーとの間の時間差 はFADCボードによらない。したがって、光入力ポートによって波形に記録されたトリ ガーのタイミングが異なることは光入力ポートが、それぞれ異なるタイミングのエネル ギー情報を受け取っているということを表している。

個々の光入力ポートに対してこのような現象が起きると、すべての光入力からのエネル ギー情報を足し上げる際に異なるタイミングのエネルギー情報を足しあげることになる。 この場合、FADC ボードで記録されたエネルギー情報から各タイミングでの高さ分布を 作ると、図 4.6 のようになる。異なるタイミングのエネルギー情報からトリガーをかけて



図 4.3 Et トリガーをかけたイベントのデータから、エネルギー和信号の時間変化を 再構成する仕組み。すべての FADC で記録した波形を同じタイミングのデータ点毎に 足しあわせれば Lv1 トリガーボードが受け取ったと考えられるエネルギーの波形が得 られる(上)。得られたエネルギーの波形に対して各タイミングでの波高分布を作れば、 トリガーがかかったタイミングの前後で分布にエッジが見える。(ここに示したグラフ のデータは第5章で行った検証で得たデータであり、11 月のビームによるデータ測定 を用いて作ったものではない。)



図 4.5 Lv1 トリガーボードの光入力2に接続した FADC でのエネルギー和の高さ分布

しまっているので、FADC ボードからの情報ではトリガーのタイミングを確認すること は出来ない。



図 4.6 11 月のランでトリガー判断に用いた 8 本のファイバー全てに対する FADC で のエネルギー和の高さ分布

付録 A.2.3 で述べるように、Lv1 トリガーボードは受け取ったすべてのエネルギー情報 を、最初の情報を受け取った段階で同期するような仕組みをもっている。Lv1 トリガー ボードは、すべての光入力に最初の情報が着くのを待ってから同期をとる処理を始める。 この待機時間が短いと、データの到達が遅い光入力に対しては同期がされない。この待機 時間が上で述べたような結果の原因であるかを確認するため、待機する時間を元の 16 ク ロックサイクルから32クロックサイクル、48クロックサイクルと増やして変化を見た が、違いは見られなかった。

第5章

本実験に向けた検証

エンジニアリングラン終了後、改良を加えたモジュールを用いてより本実験に近いトリ ガーシステムを構築し、動作について検証を行った。この検証は、トリガーボードの開発 を行ったアメリカ ミシガン大学の Monica Tecchio 氏と共に行なった。

5.1 **セットアップ**

プロトタイプボードで見つかっていた問題点に対し改良を加えた MACTRIS モジュー ル、Lv1/2 トリガーボードを用いて図 5.1 のようなセットアップを構築した。動作試験 は、2010 年秋ランで用いたデータ収集システムの配置をそのまま用い、ハドロン実験施 設内で行った。トリガークレート内のセットアップのみ、2010 年秋ランのセットアップ から変更した。

MACTRIS ボードは2台用い、VME9U クレートの2スロット目と12スロット目に 設置した。12スロット目の MACTRIS ボードは、マスター MACTRIS と呼び、システ ムの動作クロックやコントロール信号の管理を行う。2スロット目の MACTRIS は、マ スター MACTRIS が作ったコントロール信号をフラットケーブル経由で受け取り、VME バックプレーンを介して他のトリガーボードに伝える。

Lv1 トリガーボードはマスター MACTRIS ボードを挟むように、11 スロット目と 13 スロット目に設置した。これは、第 2 章で述べたように 12 スロット目よりそれぞれ左 側と右側にトリガーボードをデイジーチェーン接続するための信号ラインがあるためで ある。

2 台の Lv1 トリガーにはそれぞれ 16 台の FADC ボードからの光ファイバーを接続 した。



図 5.1 2010 年 12 月に行ったテストにおけるセットアップ

5.2 光通信の安定性の確認

プロトタイプLv1トリガーボードでは光通信を用いて FADC ボードから情報を受け取 る際に、光通信が不安定になることがあった。改良されたトリガーボードで、同様の誤動 作が起こるのか調べた。

5.2.1 動作試験

図 5.1 のようなセットアップを用いて、光通信のエラーの頻度を調べた。2 枚の Lv1 トリガーボードにそれぞれ 16 台の FADC ボードから光ファイバーをつないで、FADC にデータを送信させ続けた。エラーの頻度は、データ通信モジュールから出力される RX_ERR 信号の回数を数えて調べた。

光通信ポート 32 モジュールに FADC からの光ファイバーを繋いで合計 49 時間テスト

した結果シングルエラーが 116 回、復帰できないエラーが 1 回あった。同様に Lv1 トリ ガーボード 1 枚のみの 16 モジュールで合計 28 時間テストすると、シングルエラーが 200 回、復帰できないエラーが 12 回あった。

エラーの頻度は、ビット誤り率 (Bit Error Rate) と言う値で評価することができ る。ビット誤り率 BER は送信したデータ量に対する、誤ったデータの量の割合である。 1 光通信モジュールあたり 1 秒間に 2.5Gbit のデータを送っているので、1 時間では 9.7×10^{12} bit になる。

上記の結果から求められる、シングルエラーのビット誤り率は 1.6×10^{-14} 、復帰で きないエラーのビット誤り率は 6.7×10^{-16} である [12]。ファイバー通信の標準規格 FC-PI-2^{*1}[13] で要求されるビット誤り率は $BER < O(10^{-12})$ であるので、今回の結果 はこれを満たしている。

5.3 トリガーと読み出しの同期の確認

プロトタイプ Lv1 トリガーボードを用いたシステムでは、トリガーが発行された数と 受け取られた数が異なり、トリガーシステムと読み出しシステムの同期が取れなくなるこ とがあった。改良されたトリガーボードで、この問題が解決されているかどうかを確認 した。

2010 年秋ランで用いた同期のためのロジックをそのまま用いた。秋ランにおいては、 プロトタイプ MACTRIS とプロトタイプ Lv1 トリガーボードを使って同期のためのトリ ガーの管理を行っていたが、今回の動作試験においては MACTRIS ボード単体で管理を 行った。

Et トリガーモードで、エネルギーに対して様々な閾値を設定してトリガーレートを変 化させ、同期が取れなくなることがないかを調べた。秋の測定においては、閾値が低い時 (ペデスタル付近の値など)に同期が取れなくなることが多かったが、今回の新たなトリ ガーボードを用いた測定では、いかなる閾値を設定した場合でも、1回の測定ラン(84万 イベント分。最短で15分程度)の中で同期が取れなくなることはなかった。

5.4 L1 トリガーロジックの動作確認

本実験でのセットアップでは、エネルギー和からトリガー判断を行う Et トリガーを複数の Lv1 トリガーボードからエネルギー情報を集めて、MACTRIS ボードでエネルギー 和からトリガー判断を行う。

^{*&}lt;sup>1</sup> Fibre channel Physical Interface-2

この機能はプロトタイプ MACTRIS ボードには実装されていなかったため、Lv1 トリ ガーボードと組み合わせて Lv1 トリガー判断が正しく動作するか確認した。

■確認方法

トリガー動作の確認を行うために、第 4.3.3 章と同様の方法を用いて、FADC ボードで 記録されたイベントのデータから、Lv1 トリガーボードに送られたと思われるエネルギー 和のデータを求めて用いた。今回の測定では、ビームによる信号の代わりに、アナログ信 号として NIM 信号を差動信号に変換して各 FADC ボードに入力した。



図 5.2 32 台の FADC ボードからのエネルギー情報を用いて Et トリガーをかけたイベントにおける、再構成されたエネルギー和信号の時間変化。

図 5.2 は、32 台の FADC ボードからのエネルギー情報を用いて Et トリガーをかけた イベントを収集した時のエネルギー和信号の高さ分布を、48 点ある1イベントのデータ の各点に対してつくったものである。図中に赤い線で示した値が設定した閾値である。正 しく閾値に対してトリガーがかけられていることがわかる。

図 5.3、5.4 は 1 台の FADC ボードからのエネルギー情報を用いて Et トリガーをかけ たイベントに対し、図 5.2 と同様な解析を行ったものである。どの FADC ボードからの エネルギーをトリガー判断に用いた場合でも、同じタイミングでトリガーがかかっている ことがわかる。



図 5.3 左側の Lv1 トリガーボードの光入力 1 に接続した FADC をトリガー判断に用 いた際の、FADC のデータから再構成されたエネルギー和信号の時間変化。



図 5.4 左側の Lv1 トリガーボードの光入力 2 に接続した FADC をトリガー判断に用 いた際の、FADC のデータから再構成されたエネルギー和信号の時間変化。

5.5 改善に寄与したと考えられる、プロトタイプからの変 更点

この節では、プロトタイプ機と改良したハードウェアの間の変更点で、以上で挙げたよ うな改善をもたらしたと考えられる事柄について述べる。

5.5.1 トリガー同期問題

2010 年秋ランでは、プロトタイプ MACTRIS ボードとプロトタイプ Lv1 トリガーボー ドを使い、その間でトリガー信号やエラー信号をバックプレーン経由でやり取りすること で、FADC ボードでの読み出しとトリガーボードでのトリガー発行を同期させた。

このロジックを実現するために、プロトタイプ MACTRIS ボードに図 5.5 のように特別な回路を増設して FPGA からの信号をバックプレーンに送った。また、第 3.5.3 節で述べたエラー信号の論理積を取る回路は論理和回路素子を基板上に増設して行った。



図 5.5 プロトタイプ MACTRIS における配線

これに対し、改良された MACTRIS ではトリガー発行と読み出しの同期に関しては Lv1 トリガーボードや追加の回路を用いる必要はなく、すべて MACTRIS ボード内で完 結する。すべての信号は基板内の配線を通じて送られ、基板表面上に出てくることはな い。また、プロトタイプ機ではバックプレーンを介してトリガー信号やエラー信号がシン グルエンド信号の状態でやり取りされていたが、改良された MACTRIS ではそれらの信 号はすべて MACTRIS が管理しコントロールケーブルである Cat6 ネットワーク上を差 動信号として伝えられる。これらの改良により、トリガー信号やエラー信号がトリガーを 管理するシステムへと正しく伝わるようになり、トリガーと読み出しとの間の同期ミスが なくなったと考えられる。
5.5.2 光通信問題

プロトタイプ Lv1 トリガーボードでは、図 5.6 のように FPGA の端子から光通信モジュールまでを導線でつないでクロック信号を渡していた。これは実際に動作試験を行った際に、クロック信号線の配線に変更が必要となったからである。



図 5.6 プロトタイプ Lv1 トリガーボードにおける、通信モジュールへの配線

改良された Lv1 トリガーボードをデザインする際には、クロック信号が同じタイミン グで各通信モジュールに届くように最適な配線が選ばれた。すべての通信モジュールに対 して同じタイミングでクロック信号が分配されるようになったことで、通信モジュール間 での時間情報の差がなくなったと考えられる。

第6章

考察と課題

本研究で行ったのは、読み出しシステムと Lv1 トリガーシステムの統合であった。本 番の実験に向けて、Lv2 トリガーボードからの読み出しに関する動作試験や性能評価が必 要である。

また、高い頻度で起こる K_L の崩壊事象の中から欲しい事象のデータを取りこぼしなく 取得するためには、必要のないイベントをデータ取得のトリガーから取り除くことが必要 になる。第 1.8 章で述べたように、デザイン強度においては、カロリメータのエネルギー 情報からのトリガー要求レートは 800kHz であり、これに VETO 検出器の情報を用いた トリガーに対する抑制を加えた場合には 250kHz になる。

現在の Lv1,Lv2 トリガーロジックには VETO 検出器を用いたトリガー抑制が実装さ れておらず、 第 2.4 章で挙げた最大トリガーレートの制限からビーム強度がデザインの 2% を超えるとイベントを取りきれなくなる。計画している次回のランやその後の本番の 実験において必要なデータを取りこぼしなく取得するためには、VETO 検出器の情報を 用いたトリガー抑制機能を Lv1、Lv2 トリガーロジックへ実装することが急務である。

また、VETO 検出器からの情報を用いたトリガー抑制のみでは、ビーム強度がデザイン強度の 5% を超えると Lv2 トリガーシステムの段階でイベントを取りきれなくなる。 このため、さらなるトリガー制限に加え、FADC ボードまたは Lv2 トリガーボード上で のデータの圧縮などを行う必要がある。

追加するトリガーの制限としては、CsI カロリメータのエネルギー情報を用いて入射し てきた γ 線を数えてその本数に対して制限を設けることを考えている。表 1.1 で挙げた K_L の崩壊モードからわかるように、VETO 検出器を用いた制限で省かれないバックグ ラウンドイベントの大半は $2\pi^0$ 、 $3\pi^0$ に崩壊し、多数の γ 線を出す。従って入射した γ の 本数を数えれば、これらのイベントを省きトリガーレートを抑えることが出来る。

それぞれのトリガー抑制の実装方法や抑制に用いる条件に関しては、さらなる研究が必 要である。

第7章

結論

Lv1 トリガーロジックを実装したトリガーシステムのプロトタイプ機と 80 台の FADC ボードを統合してデータ収集システムを構築し、2010 年秋に行った CsI カロリメータエ ンジニアリングランに用いた。秋の測定でのデータ収集は、Lv1 トリガーシステムの多数 の FADC ボードと組み合わせた長期動作試験も兼ねている。

2010 年秋のビームを用いた測定においては、FADC のデータ収集システムはスペクト ロメータのデータ収集システムと同期をとり、連動して動作した。データ収集量は、最大 1 秒間に 470 事象であった。この上限は、今回 Lv2 トリガーボードを用いた読み出しが できなかったことに起因している。2010 年秋のビームを用いた測定中、トリガー発行と データ読み出しの同期が失われることや、光通信にエラーが発生することがあったが、こ れらの問題点はプロトタイプでのテストの結果を反映した新型のトリガーモジュールでは 解決されていることを確認した。

こうして、K^OTO 実験で用いるデータ収集システムを構築する上で最低限必要である、 トリガーの安定した発行と複数の FADC ボードからの同期したイベントの取得が可能に なり、本番の実験で用いるデータ収集システムの構築に目処を付けることができた。

謝辞

本論文を執筆するに当たりお世話になった方々へ、この場を借りてお礼申し上げます。 まず誰よりも初めに指導教官である山中卓教授に心より感謝いたします。K^OTO 実験 の中でも、特に私が希望していたデータ収集システムという重要な仕事に携わる機会を頂 き、感謝しています。素晴らしい研究環境を整えていただき、のびのびと研究することが 出来ました。また、研究に行き詰まったときは、その鋭い洞察力で道標を示してください ました。山中卓教授の、いつでも好奇心と探究心を忘れない姿勢を手本とし、これからの 研究生活を送っていきたいです。

花垣和則准教授には、物理に関しての鋭い洞察を含んだアドバイスを頂きました。また、食事の際などで含蓄のある話や面白い話などを聞かせていただき、豊かな研究生活を 送ることができました。ありがとうございました。

助教である外川学さん、特任研究員である李栄篤さんには、研究へのアドバイスを頂い ただけでなく、グループの下宿と J-PARC との間の移動をサポートして頂きました。ま た、趣味の話をして下さり、楽しく研究生活を送ることができました。東海村での研究生 活は、お二人の支援によって成り立っていたと言っても過言ではありません。本当にあり がとうございました。

この研究の前任者である山中卓研究室博士課程在籍の岩井瑛人さんには、何もわからな かった私にデータ収集システムについて基礎から教えていただき、Michigan 大学におけ る開発へのサポートをしてくださいました。岩井さんのサポートがなければこの論文は完 成出来ませんでした。本当にどうもありがとうございました。

本研究の共同研究者である中谷洋一さんにはプログラムの書き方のアドバイスを頂くだ けでなく、FADCのデータ保存コードのファイル書き出しの部分を、素晴らしく高速にし ていただきました。感謝いたします。

阪大 K^OTO グループの先輩である、佐藤和史さん、Lee JongWon さん、村山理恵さん、柳田陽子さんには、物理や実験のことなど研究に関することのみならず、趣味から日 常生活に関することまで多くのことを教えていただきました。後輩の宇井利昌くんには、 何も教えてあげられず申し訳ないです。

K^oTO グループにおいては、様々な方のお世話になりました。KEK スタッフの小松原 健さん、Lim GeiYoub さん、野村正さん、渡辺丈晃さんには、データ収集システムに関 するアドバイスを頂くと共に、素晴らしい実験環境を整備していただきました。特に渡辺 丈晃さんには、アメリカからのデータ収集モジュールのやり取りに関わる手続きに尽力し ていただきました。山形大学准教授の田島靖久さん、京都大学助手の南條創さん、京都大 学博士後期課程の塩見公志さん、増田孝彦さんには、秋の測定中にデータ収集システムに おける様々な場面で助言や手助けをいただきました。特に塩見公志さんには、FADC か らのデータのバイナリデータの書き出し方についてアドバイスを頂きました。本当にあり がとうございました。その他、ミーティングやビームタイムにおいて、様々な助言をくだ さった K^oTO グループの皆様に深くお礼申し上げます。

I would like to express my appreciation to all members of K^OTO DAQ group in United States for giving me so many thing to do this work. They served us all hardware for data acquisition system. Without them, we could not take any data.

I would like to appreciate to Dr. Monica Tecchio, Mr. Craig Harabedian, Mr. Jon Ameel, Dr. Jiasen Ma, Mr. Mircea Bogdan, and Mr. Duncan Mcfarland for their hardware and firmware I used for my work.

I would like to show special thank to Prof. Myron Campbell for his support during my stay in University of Michigan, Ann Arbor. He taught me many things about physics, electronics, and how to live and research in United States.

山中卓研究室の同期の内田潤くん、岡村航くんには、趣味の話から自分の悩みや世間話 まで様々な話を語り合い、充実した研究生活を送ることができました。ほんとうにありが とう。先輩の廣瀬穣さん、目黒立真さん、後輩の遠藤理樹くんには、様々な知識や助言を くださったことを感謝いたします。後輩の鎌倉恵太くん、伴野真太郎 くん、東野聡くん、 卒業実験ほとんど手伝ってあげられなくてごめんなさい。秘書の亀井彰子さんにはいつも 度重なる出張手続きや物品の購入など事務的な手続きでお世話になりました。本当にあり がとうございました。

最後に、私の研究生活を支えてくれた私の家族に感謝いたします。

付録 A

ハードウェア

この章では、K^OTO 実験のデータ収集システムにおいて用いるハードウェアについて 詳しく述べる。

A.1 125MHz FlashADC ボード

A.1.1 ハードウェアの概要と仕様

データ収集に用いる 125MHz FlashADC ボードはアメリカ シカゴ大学が研究開発を 行った。

FADC ボードは、高さが VME 規格 6U 幅 1U の VME 規格のボードであり、VME6U クレートに挿入して使用する。前面には検出器やトリガーシステムとの入出力端子があ り、背面には VME クレートからの電源の供給を受けたりやデータ通信を行ったりするた めの VME コネクタがある。モジュールのボード上には第 2.3 章で述べたベッセルフィル ターや FlashADC の素子が実装されており、アナログ信号 16 チャンネル分をデジタル 化する。FADC モジュールの動作はボード上に実装された FPGA(Field Programmable Gate Array) と呼ばれる素子によってコントロールされている。FPGA のファームウェ アと呼ばれるプログラムを書き換えることにより、モジュールの機能を柔軟に変更でき る。FADC ボードの初期化や設定の変更は VME バス経由で行う。FPGA は FADC 素 子でデジタル化された波形データ(データサンプルと呼ぶ)を読み出し、波形データの処 理やバッファメモリへの保存を行う。

■FlashADC 素子

波形をデジタル化するために用いる FlashADC チップは Analog Devices 社製の 14bit 125MHz FADC AD9254 を用いている。デジタル化に用いるクロック信号には MACTRIS から供給されるクロック信号を用いる。

■入出力端子

アナログ信号入力

FADC ボードにはアナログ信号を差動 (ディファレンシャル) 信号として入力する。差 動信号を伝える信号線として、Shield Twisted Pair(STP)*¹信号線であるカテゴリー 6 (Cat6) イーサネットケーブルを用い、イーサネットケーブルのコネクタである RJ45^{*2}コ ネクタをその入力端子として用いる。Cat6 イーサネットケーブルの8本の信号線のうち、 2対4本を用いて、2チャンネル分の2対の差動信号を伝える。125MHz FADC モジュー ルは検出器からのアナログ信号の入力端子として RJ45 コネクタを8 個持っており、総入 力チャンネル数は 16 チャンネルとなる。

コントロール信号入出力

FADC ボードでのデータ収集は、トリガーシステムとからのコントロール信号で制御される。コントロール信号の通信には Cat6 イーサネットケーブルを利用する。コントロール信号用の通信ポートとして、FADC ボードは RJ45 コネクタ1 ポートを持っている。

光信号出力

FADC ボードでデジタル化された情報は FPGA で処理した後、光ファイバーを用いた 光通信を使って Lv1/2 トリガーモジュールへと送る。FADC ボードには、Lv1、2 トリ ガーボードそれぞれに異なったデータを送るために、光通信のトランシーバとパラレル/ シリアル変換モジュールを 2 組用いている。光通信のトランシーバーとしてアバゴ・テク ノロジー 社の AFBR-57R5APZ を用い、FADC ボードとトリガーボードのトランシー バー間を光ファイバーケーブルで接続することでデータ通信を行う。また、パラレル/シ リアル変換モジュールとしてテキサス・インスツルメンツ社の TLK3101 を、動作クロッ ク 125MHz で用いる。

■FPGA

FPGA(Field Programmable Gate Array) とは、内部の論理構造をいつでも任意に変 更することが出来る集積回路である。FPGA の論理構造は、ファームウェアと呼ばれる プログラムによって定義され、ファームウェアを変更すれば FPGA の動作を変更できる。 このファームウェアは PC 上で作成し、FPGA を搭載するハードウェア上のメモリに記 録する。FPGA を搭載するハードウェアの電源を投入し直せばこのメモリから FPGA に

^{*1} シールド付き撚り対線。一般に家庭で用いられるイーサネットケーブル(Cat5e)は、8本の信号線を2 本毎に撚った4本の撚り線対を被覆で覆ったケーブルである。

^{*&}lt;sup>2</sup> 正確には 8P8C モジュラーコネクタ。

新しいファームウェアが読み込まれる。

FPGA チップとして Altera 社の Stratix II シリーズ EP2S60F1020C5 を使用して いる。

本番の実験で用いる FPGA のファームウェアについては後に述べる。

A.1.2 FADC ボードのファームウェアと動作

ここでは、FPGAのファームウェアを用いて制御するFADCボードの動作について述べる。図A.1にファームウェアの動作の概略図を載せる。



図 A.1 FADC ボードの FPGA のファームウェアの模式図

FPGA は、トリガーシステムから受け取った 125MHz 動作クロックから、位相同期回路 (PLL) を用いて FPGA の動作クロックと FADC 素子のデジタル化動作クロックを作り出す。

FPGA はトリガーシステムから LIVE 信号を受け取ると FADC 素子からのデータサン プルの取得を開始し、LIVE 信号が HIGH になっている間取得を続ける。FADC 素子か ら受け取った 14bit の大きさの波形データ(データサンプル)は、全 16 チャンネル分を 一旦 FPGA の動作クロックに合わせてチャンネル間での同期をとった後、エネルギー和 回路とディレイ回路へと送られる。同期をとった全 16 チャンネル分のデータサンプルは 1動作クロック毎に 224bit^{*3}の大きさのデータとして1つにまとめて扱う。

■エネルギー和回路

エネルギー和回路では、1 動作クロック毎に全 16 チャンネル分のデータサンプルを足し 上げて、大きさ 18bit のエネルギー和データを作る。エネルギー和データの大きさ 18bit のデータのうち、上位 16bit または下位 16bit を取り出して大きさ 16bit のデータとして 用いる。16bit の大きさにしたエネルギー和データは、FPGA からパラレル/シリアル変 換モジュールに送ってシリアルデータに変換した後、光通信モジュールから光ファイバー を通じて Lv1 トリガーボードへと送られる。

なお、データ収集開始時の最初のエネルギー和データの前には、データ同期用のヘッ ダーワードとして 0xFEFE をつける。これにより、Lv1 トリガーボードで各 FADC ボー ドからのエネルギー和を同期させて足し上げることが可能となる。

■ディレイ回路(パイプラインバッファー)

同期をとった 16 チャンネル分のデータサンプルは、512 クロックサイクル分(4µs)の 長さを持ったパイプラインバッファーと呼ばれるディレイ回路へと渡され、Lv1 トリガー 判断を待つ。デジタル化後 4µs 以内に Lv1 トリガーが来ない場合、そのデータはイベン トのデータとして記録されずに破棄される。

Lv1 トリガー信号を受け取ると、そのタイミング以降の1イベント分の長さ(イベント ウインドウ)のデータ点をパイプラインバッファーから取り出し、イベントデータ用の バッファメモリに保存する。この際、パイプラインバッファーの終端から取り出すため、 取得したいイベントの波形が正しくイベントウインドウに入るようにトリガーのタイミン グを調節する必要がある。現在、1 イベント分のデータとして、48 点分のデータを用いて いる。これは時間にして長さ 384ns の波形情報に相当する。

■バッファメモリ

Lv1 トリガーを受けたイベントのデータは一旦バッファメモリに保存され、Lv2 トリ ガーボードへの送信を待つ。この際、トリガーや FADC ボードに関する情報がヘッダー としてイベントのデータサンプルの前に書き込まれる。バッファメモリに蓄積したデータ サンプルは、順次 FPGA からパラレル/シリアル変換モジュールに送ってシリアルデー タに変換した後、光通信モジュールから光ファイバーを通じて Lv2 トリガーボードへと 送る。

この バッファメモリの容量は 64kB であり、VME バス経由で内容を読み出すことも可能である。

⁷¹

^{*3 14[}bit] × 16[channel] = 224[bit]

■FADC ボードで記録されるイベントのデータ構造

図 A.2 に FADC ボードで記録されるイベントのデータ構造を示す。FADC ボードで は、ヘッダーと波形情報が 16bit をデータの 1 単位 (1 ワード) とするデータとして記録さ れる。ヘッダーは 16bit6 ワードのデータからなり、波形情報は 1 クロックサイクルごと に 16 チャンネル分がまとまって記録される。1 イベントあたりのデータ点数として 48 点 を取る場合、ヘッダー以降に記録される波形情報の長さは 16 チャンネル分合わせて 768 ワードになる^{*4}。従って、ヘッダーと波形情報を合わせた 1 イベント分のデータのサイズ は 16bit のデータの 774 ワード分となる。これは 12Kbit または、1.5KByte に相当する。 ヘッダーとしてデータに記録される情報は次のとおりである。

- トリガー情報
 - タイムスタンプ (T): LIVE 信号を受けてデータ取得を開始してからトリガーのタイミングまでの 125MHz 動作クロックの回数。トリガーされたイベントの時間情報として用いる。
 - そのイベントのタイミングでのビーム入射サイクルの回数 (LC) と発行トリガーの総数 (TC)
- FADC の設定
 - 1 イベント分のデータサンプルとして取得した点の個数 (N)
 - FADC ボードの設置されている VME バス上の物理スロット番号 (SL)。
 - FADC ボード内でデータの圧縮を行うときのための、各入力チャンネルに対し圧縮を行ったかどうかを表す論理情報 (*C_i*)。

A.2 フロントエンドトリガーシステム

この節では K^oTO 実験のトリガーシステムの内、ハードウェアで処理を行うフロント エンドトリガーシステムについて述べる。

フロントエンドトリガーシステムには、FNAL において実施されている CDF 実験で用いられた技術を活用して用いている。

フロントエンドトリガーシステムは MAster Clock and TRIgger Supervisor Board(MACTRIS) ボード、Lv1/2 トリガーボード、Fanout ボードからなり、それぞれ VME9U クレートに設置して用いる。

^{*&}lt;sup>4</sup>1イベントあたり 48[点] × 16[チャンネル] = 768 ワード

		15	14	13	12	11	10	۲ ۶	Data	bit 7	6	5	4	3	2	I	0
ц	lst	Ι	Т	N ₅	N ₄	N ₃	N ₂	Nı	N ₀	C15	C14	C13	C12	CII	C ₁₀	C ₉	C ₈
e	2nd	Ι	Т	0	T ₂₈	N۹	N ₈	N ₇	N ₆	C7	C ₆	C ₅	C ₄		C_2	Cı	C ₀
a d	3rd	Ι	Т	T ₂₇	T ₂₆	T ₂₅	T ₂₄	T ₂₃	T 22	T ₂₁	T ₂₀	T19	T18	T17	T16	T15	T 14
	4th	Ι	Т	Т13	T 12	тп	T10	T9	T ₈	Stamp T ₇	T 6	T5	T4	T ₃	T ₂	Ті	To
е	5th	Ι	Т	Tc7	Tc ₆	Tc ₅	Tc ₄	Tc ₃	Tc ₂	Tci	Tco	SF	SL ₄	SL₃	SL ₂	SL	SL ₀
r	6th	Ι	Т	Lc ₁₃	Lc ₁₂	Lcıı	Lc10	Lc ₉	Lc ₈	Lc7	Lc ₆	Lc ₅	Lc ₄	Lc ₃	Lc ₂	Lc	Lc ₀
	For Header • N:(Number of sample/event)/8																
words • Ci:Compression enable for channel i																	
	• T:Time stamp($1 \sim 2^{29} - 1$)																
	• TC:Trigger Counter (1~2 ¹⁰ -1)																
	• LC:Live counter $(1 \sim 2^{14} - 1)$																
	 SL:VME Physical Slot Number of FADC(1~21) 																

• Sf: Spill Flag(1:LIVE from MACTRIS, 0: internal LIVE for debug)

Data bit																	
		15	14	13	12		10	9	8	7	6	5	4	3	2		0
6th H	eader																
,	0	I	0			ls	t data	sam	ple fo	r char	nnel O	in I₄	l bit				
ما	1	I	0		Ist data sample for channel I in 14 bit												
ISt	2	I 0 Ist data sample for channel 2 in 14 bit															
sample		I	0														
	15		0	1st data sample for channel 15 in 14 bit													
,	0	I	0			2n	d data	a sam	ple fo	r cha	nnel () in 1	4 bit				
2nd	1	Ι	0		2nd data sample for channel 1 in 14 bit												
sample	2	Ι	0		2nd data sample for channel 2 in 14 bit												
		Ι	0														
	15	Ι	0			2nc	l data	samp	ole foi	[•] char	nel l	5 in I	4 bit				
48th		Ι	0														
sample	15		0			48t	h data	ı sam	ple fo	r chai	nnel I	5 in	l 4 bit				
Next Ev	ent							Heac	ler fo	⁻ next	t ever	nt					
		←	\rightarrow														

For data sample 14th bit=0,15th bit=1

図 A.2 FADC ボードで記録されるイベントのデータ構造。データは 16bit のデータ として記録され、6 つのヘッダーと各時間での各チャンネルの波形情報が記録される。

A.2.1 CDF VME9U クレート

K^OTO 実験では、フロントエンドトリガーシステムに CDF 実験で用いるために開発 された VME9U クレート [14] を用いる。



図 A.3 CDF VME9U クレートの写真。上から、P1、P0、P2、P3 バックプレーンである。

この VME9U クレートは VME バックプレーン (P0,P1,P2 バックプレーン) に対し て、VME 規格で決められた信号に加えてユーザーが定義する信号を流すことが出来るよ うになっている。K^OTO 実験では P2 バックプレーンを用いてトリガーモジュール間で のトリガーシステム制御信号の通信を行う。

■CDF Calorimeter Trigger Backplane

CDFVME9U クレートには、従来の VME9U クレートのもつ P0,P1,P2 バックプレー ンに加え、P3 バックプレーンが VME バックプレーンに追加されている。この P3 バッ クプレーンは CDF Calorimeter Trigger Backplane と呼ばれ、CDF 実験でカロリメー ターの情報を用いてトリガー判断を行う際に用いられたもので、K^OTO 実験でも同じ用 途で用いる。

P3 バックプレーンには、隣接する Lv1/2 トリガーボードの間を繋ぐ 24 本の信号線 (Daisy-chain Line) と、Lv1/2 トリガーボードと MACTRIS ボードを繋ぐ信号線があ る。Daisy-chain Line は、MACTRIS ボードを設置するスロット 12 の左右それぞれ 6 ス ロット分にあり、MACTRIS の両隣のスロット 11 とスロット 13 からはスロット 12 へと 信号線が伸びている。この Daisy-chain Line を利用することで、Lv1/2 トリガーボード の情報を MACTRIS ボードに集めてトリガー判断を行うことができる。

A.2.2 MAster Clock and TRIgger Supervisor Board(MACTRIS)

フロントエンドデータ収集システムの動作は、MAster Clock and TRIgger Supervisor Board(MACTRIS) ボードとよばれるマスタートリガーボードが管理する。図 A.4 に MACTRIS の写真を載せる。



図 A.4 MAster Clock and TRIgger Supervisor Board(MACTRIS) モジュール

MACTRIS ボードはその用途によってマスター MACTRIS とスレーブ MACTRIS に 分けられる。MACTRIS ボードは、Lv1 トリガークレートと Lv2 トリガークレートにそ れぞれ2台ずつ設置する。このうち、Lv1トリガークレートに設置した1台がマスター MACTRIS ボードとしてデータ収集システムの管理を行い、ほかの MACTRIS ボード は、MACTRIS ボード同士やLv1/2トリガーボードへのトリガーシステムコントロール 信号の配布やLv2トリガー判断に用いる。

システム全体の動作クロックである 125MHz クロック信号はマスター MACTRIS で生成され、スレーブ MACTRIS、Fanout ボードを介してデータ収集システム全体に配布される。また、加速器からのビーム入射信号から LIVE 信号を作ってシステム全体に配布し、データ収集の開始を知らせる。

マスター MACTRIS は、左右の Daisy-chain Line を通じて足し上げた CsI カロリメー ターのエネルギー和データを使って Lv1 トリガー判断を行う。また、宇宙線トリガー検 出器、レーザー発振器からのトリガー信号も受け取って Lv1 トリガーを生成する。

■FPGA MACTRIS ボードは FPGA によってその動作をコントロールしている。 MACTRIS ボードの FPGA として、Xilinx 社の Virtex5 シリーズの XC5VFX30T を用いている。

■入出力

コントロール信号

MACTRIS ボードの前面には Fanout ボードへの FADC コントロール信号送信用の RJ45 端子と、他の MACTRIS ボードとのトリガーシステム管理信号送受信用の 68 ピン コネクタを送信用のものを 2 個と受信用のものを 1 個持っている。MACTRIS ボード間 は、68 ピンケーブルを用いて接続する。

外部ロジック信号入出力

MACTRIS ボードは2個の LEMO 端子と1個の RJ45 端子を、加速器やレーザー装置 などとのロジック信号の通信端子として持っている。LEMO 端子は、NIM 論理信号の入 力に用いる。RJ45 端子は、LVDS 論理信号2ペアの入力と出力に用いる。

ネットワークポート

MACTRIS ボードはネットワーク通信用の RJ45 端子を持っており、FPGA からの データを帯域幅 1Gbps のネットワークを用いて送信することが出来る。

A.2.3 Lv1/2 トリガーボード

Lv1/2 トリガーボードは、FADC ボードからの信号を光通信を用いて読み出すボード である。Lv1/2 トリガーボードはその用途によって Lv1 トリガーボードと Lv2 トリガー ボードに分けられるが、用途に応じて異なるファームウェアを使うことで、ハードウェア としては同一のものを用いている。 以下の図 A.5 に Lv1/2 トリガーボードの写真を載 せる。



図 A.5 Lv1/2 トリガーボード

Lv1/2 トリガーボードは MACTRIS ボードから受け取るクロック信号とトリガーシス テム管理信号によって動作する。

■仕様

FPGA

Lv1/2 トリガーボードでは Xilinx 社の Virtex5 シリーズ XC5VFX70T と Virtex4 シ リーズ XC4VFX12 の 2 種類の異なる FPGA 素子を持っている。光通信とデータ処理 は Virtex5 の FPGA で行い、外部メモリとのやりとりやネットワーク通信は Virtex4 の FPGA で行う。

外部メモリ

Lv1/2 トリガーボードは基板上に 2Gbit=256MByte の外部メモリを 2 個持ち、FPGA からデータを保存したり読み出したりすることが出来る。

光通信

Lv1/2 トリガーボードは FADC 同様、光通信のトランシーバーとしてアバゴ・テクノ ロジー 社の AFBR-57R5APZ を、パラレル/シリアル変換モジュールとしてテキサス・ インスツルメンツ社の TLK3101 をもちいて、光ファイバーを用いて FADC との光通信 を行う。 Lv1/2 トリガーボードは光通信用のトランシーバーとパラレル/シリアル変換モジュー ルのセットを 16 セット持っており、16 台の FADC ボードからデータを受信する。

ネットワークポート

Lv1/2 トリガーボードはネットワーク通信用の RJ45 端子と通信モジュールを持って おり、FPGA からのデータを帯域幅 1Gbps のネットワークを用いて送信することが出 来る。

■Lv1 トリガーボードとしての機能

Lv1 トリガーボードとして要求される機能は、複数台の FADC ボードからのエネル ギー和データの読み出しとその加算である。Lv1 トリガーボードは、16 台の FADC モ ジュールから読み出したエネルギー和を、最初のデータであるヘッダーワード 0xFEFE を用いて同期をとって各時間毎に足し上げる。各 Lv1 トリガーボード内で足し上げられ たエネルギー和信号を、VMEP3 バックプレーンの Daisy-chain Line を用いて、順次足 し上げていく。以下の図 A.6 はこの仕組を説明した図である。



図 A.6 全エネルギー和を作る仕組み。Daisy-chain line を用いてバケツリレー方式 でエネルギー和を隣に渡して足し上げていく。

カロリメータのエネルギー和データは、Daisy-chain Line の左右端の Lv1 トリガー ボードから内側に向かってバケツリレー方式で送られていく。Lv1 トリガーボードはとな りのトリガーボードからエネルギー和を受け取ると、自らのエネルギー和を足して反対側 のトリガーボードへと渡す。これを内側へと繰り返していくと、Daisy-chain Line の中心 にあるマスター MACTRIS ボードには左右からエネルギー和を受け取ることが出来、そ れをマスター MACTRIS で足し上げることでその時間の CsI カロリメータにおけるエネ ルギー和情報が得られる。

■Lv2 トリガーボードとしての機能

Lv2トリガーボードとして要求される機能は、複数台の FADC ボードからのイベント のデータの読み出しである。Lv2トリガーボードは、FADC ボードからイベントのデータ を受け取ると、そのデータを FPGA に送り外部メモリに保存する。2 個ある外部メモリ は、ビーム入射サイクルごとに書き出すメモリと読み出すメモリを切り替える。つまり、 あるビーム入射サイクルでメモリに蓄積したデータは、次のビーム入射サイクルでネット ワークを用いて読み出しを行い、読み出しを行っている間は、もう一方のメモリにデータ を書き込む。

ビームの強度が増加することでデータ収集レートが Lv2 トリガーボードの段階で制限 されるようになる段階で、Lv2 トリガーボードで受け取ったイベントのデータの時間情報 とエネルギー情報を用いて MACTRIS で Lv2 トリガー判断を行うことを計画している。 この際にも、VMEP3 バックプレーンを用いて Lv2 トリガーボード同士や MACTRIS と の通信を行いトリガー判断に用いる予定である。

A.2.4 Fanout ボード

Fanout ボードは、マスター MACTRIS ボードによって生成された FADC コントロー ル信号を複製し、FADC ボードに配布する役割を持ったモジュールである。以下の図 A.7 に Fanout ボードの写真を載せる。

Fanout ボードに置いては複雑な処理は行わないため、動作を制御する FPGA にはト リガーボードよりも小型の Xilinx 社 Spartan3 シリーズ XC3S200 を使用する。Fanout ボードは図 A.8 に示すように、複数段階に分けて FADC コントロール信号を複製して FADC ボードへと配布する。マスター MACTRIS から FADC コントロール信号を受け て信号を複製する Fanout ボードをマスター Fanout ボードと呼び、マスター Fanout ボー ドから信号を受けて複製する Fanout ボードをスレーブ Fanout ボードと呼ぶ。FADC ボードへは、スレーブ Fanout ボードで複製されたコントロール信号を配布する。



図 A.7 Fanout モジュール



図 A.8 Fanout モジュールで FADC コントロール信号を複製する流れ。

■入出力

Fanout ボードは前面に FADC コントロール信号の入出力用 RJ45 端子を、トリガーシ ステム上流との通信の用に 1 個、システム下流との通信用に 16 個持つ。トリガーシステ ム上流から受け取った信号は一旦 FPGA に通した後、16 個分複製して下流へ出力を行 う。各 FADC ボードから送られてきたエラー信号は、FPGA に送って論理積(AND)ま たは論理和(OR)を取り、システム上流へと送る。こうすることで、マスター MACTRIS ボードの時点で全 FADC ボードからのエラー信号の論理積または論理和が得られる。

A.3 コンピューター

K^OTO 実験のデータ収集システムでは、コンピューターモジュールを用いてデータ収 集システムのモジュールの動作状態の変更や、データの処理などを行う。この章ではこの ような用途に用いるコンピュータモジュールについて述べる。

A.3.1 VME クレートコントローラー

FADC モジュールやトリガーモジュールは FPGA のファームウェアに VME インター フェイスを実装しており、データ収集システムのプログラムは VME インターフェイスを 通じて各モジュールの動作を変更する。

K^OTO 実験では VME クレートコントローラーとして主に GE FANUC 社製 VMIVME-7648 を用いる。以下表 A.1 にこの VME クレートコントローラの仕様を、図 A.9 に写真を載せる。

	VME グレートコントローノ GE FANUU 社袋 VMIVME-7040	るの土な江塚
--	--	--------

種類	内容
CPU	Intel®Pentium®III Processor 1.26GHz
メモリ	SDRAM 512MB
データ記録装置	CompactFlash ディスク 16GB
ネットワーク	100Base-T x2 ポート
VME コントローラ	Tundra Semiconductor 社製 Tundra Uni-
	verse II VME バス-PCI バス ブリッジチッ
	プ CA91C142X-33CE



図 A.9 VME クレートコントローラー

A.3.2 PC farm

Lv2 トリガー判断を通過したデータは、Lv2 トリガーボードから PC ファームへと帯 域幅 1Gbps のネットワークを通じて PC ファームへと送られる PC ファームは 40 台の ノードから構成されている。

PC ファームでは、各 Lv2 トリガーボードから受け取ったイベントのデータを再構成 し、そのイベントの全検出器のデータとして扱う。再構成されたイベントのデータを用い て、Lv3 トリガー判断やデータの圧縮を行ったのち、データを KEK のストレージに送信 する。

A.3.3 ストレージ

PC ファームは、Lv3 トリガー判断を通過したイベントのデータを J-PARC と KEK をつなぐネットワークを介して KEK 内のデータストレージに転送して保存する。スト レージとして、HPSS(High Performance Storage System)を用いる。HPSS とは、ハー ドディスクと大容量テープドライブを組み合わせたストレージシステムである。HPSS に



図 A.10 PC ファーム

送られたデータは、複数の一旦ハードディスクに蓄積された後、使われる頻度の低いもの から磁気テープドライブに保存される。

付録 B

シリアル通信を用いたパラレルデー タの転送

B.1 パラレル/シリアル変換

イーサーネットや光通信は1本の信号線に情報を1bit ずつ送るシリアル通信である。 複数 bit の情報を持つデータ(パラレルデータ)をシリアル通信を用いてやり取りするに はデータを1bit のデータ(シリアルデータ)に変換する必要がある。このため、シリアル データ通信を行うためには、図 B.1 のように送信側と受信側で、通信を行うトランシーバ モジュールとパラレル/シリアル変換モジュールとを組み合わせて用いる。



図 B.1 シリアル通信を用いたパラレルデータの転送

B.2 K^OTO **実験での光通**信

K^OTO 実験では、光通信のトランシーバーとしてアバゴ・テクノロジー 社の AFBR-57R5APZ を用い、FADC ボードとトリガーボードのトランシーバー間を光ファイバー ケーブルで接続することでデータ通信を行う。また、パラレル/シリアル変換モジュール としてテキサス・インスツルメンツ社の TLK3101 を、動作クロック 125MHz で用いる。

B.3 TLK3101

TLK3101 はデータをパラレル/シリアル変換してシリアル通信のトランシーバーを用 いたデータ送受信を行うための素子である [15]。データ送信時は、動作クロック信号の立 ち上がり毎に 16bit のデータに同期用のクロック信号を加えて 20bit のデータに一旦変換 した後にシリアルデータに変換し、通信トランシーバーへと渡す。データ受信時は、シリ アルデータをトランシーバーから受け取るとデータに含まれるクロック信号を用いてシリ アルデータを 20bit のデータを経て元の 16bit のデータに変換して取り出す。

TLK3101 が提供するデータ転送速度は 2.5~3.125Gbps である。この速度はデータを パラレル/シリアル変換する周波数によって変わる。データ通信速度 $v_t lk$ は、1 回に変換 するデータビット量 N_{bit} にデータをパラレル/シリアル変換する周波数 f_{conv} をかけたも のであり、

$$v_{tlk} = N_{bit} \times f_{conv} \tag{B.1}$$

と表すことが出来る。20bit のデータを動作クロック信号毎にトランシーバーへ転送する ので、通信速度は 20bit × 125[Hz] = 2.5[Gbps] となるが、転送されるデータのうち実際の データは 80% であるので、実効的なデータ転送速度は 20bit × 125[Hz] × 0.8 = 2[Gbps] となる。

光通信が不安定になって、正しく変換できないデータが送られてくると、TLK3101 は それを自動的に感知して RX_ERR という信号線からエラー信号を出力するので、エラー が起こっているかどうかはこの信号線で確認できる。

B.3.1 TLK3101 の動作状態とその遷移

TLK3101の動作状態は、図 B.2 で示すような 3 つの状態に分けられる [15, 16]。

■待機状態 (ACQ)

TLK3101 に電源を投入すると、まずは待機状態になる。この待機状態で、同期信号を



図 B.2 TLK3101 の動作状態とその遷移

3回連続で受信するか有効なデータを受信すると、TLK3101は同期状態へと移行する。

■同期状態 (SYNC)

通常の通信は同期状態にあるときに行われる。同期状態で、異常なデータ(受け取っ たシリアルデータのうち、20bit↔16bit 変換が正しくできなかったもの)を受信すると、 TLK3101 は接続を確認する確認状態へと移行する。

■確認状態 (CHECK)

確認状態は、異常なデータが一時的に送られてきたものなのか、あるいは接続が失われ ているのかどうかを確認するための状態である。確認状態で正常なデータを4回連続で受 信した場合、TLK3101 は同期状態へと戻る。これに対し、異常なデータを3回(連続で ある必要はない)受け取った場合は接続が失われたものと判断し、TLK3101 は待機状態 になる。

付録 C

2010 年秋カロリメータエンジニア リングランにおけるデータファイル の構造

この章では、2010年秋カロリメータエンジニアリングランにおいて取得したデータを 格納するファイルのデータ構造について述べる。データファイルは、FADCから集めた データを格納するファイルとそれを解析に使いやすいように変換したファイルがある。

C.1 FADC で記録したデータのファイル

FADC で取得したデータは、1 クレートごとに VME クレートコントローラーに集めら れて 1 つのファイルとして保存する。データは、表 C.1 のような構造を持ったバイナリ ファイルとして記録する。ファイル名は run****.dat である。

C.1.1 File Header

ファイルの先頭には、0x12341234 と 0x12121212 で囲まれたファイルヘッダーがある。 ファイルヘッダーの内容は以下のとおりである。

- runID: ラン番号
- CrateID: 6 つある FADC クレート (VME6U) の ID(0 ~ 5)
- Time Stamp: データファイルの作成日時を UNIX 時間で記録した物。
- nFADC: データを取得するのに用いた FADC の台数。
- nSamples: 1 イベントあたりのサンプル点数。
- Buffer_Length: FADC から1度に読み出すデータバッファーの長さ。

		Contents (32bit Integer word)	description				
		0x12341234	Header of File header				
		runID	Run ID				
		CrateID	Crate ID (0~5)				
	a baadar	Time stamp	File Creation time in UNIX time.				
	eneauer	nFADC	Number of FADC in this crate				
		nSamples	Number of sampling points in one event				
		Buffer_Length	Buffer Length in 16bit unsigned short				
		0x12121212	Trailer of File header				
		0xaaaaaaaa	Buffer Header				
		Data from FADC_0	Data are stored as arrays of unsigned integer:				
	1st Buffer cycle	••••	unsigned short int Data[nFADC][BufferLength]				
		Data from FADC_nFADC					
		0xffffffff	Buffer Trailer				
		0xaaaaaaaa					
		Data from FADC_0					
Event data	2nd Buffer cycle						
		Data from FADC_nFADC					
		0xffffffff					
	••••						
		0xaaaaaaaa					
		Data from FADC_0					
		Data from FADC_nFADC					
		0xffffffff					
File Trailer		0x43214321					

表 C.1 FADC からのデータを記録したファイルのデータ構造

C.1.2 Event Data

ファイルヘッダーの後には FADC からから集めたイベントのデータが記録される。 FADC からのデータは1バッファー分のデータごとにまとめて、0xaaaaaaaa と 0xffffffff で囲まれた、FADC 数×バッファー長の大きさの2次元 16bit 整数配列 unsigned short int Data[nFADC][Buffer_Length] として記録される。

C.1.3 File Trailer

ファイルの最後には 0x43214321 を File Trailer として書きこむ。

C.2 解析用変換後ファイル

FADC で取得したデータは、FADC ボードごとに波形情報やイベント情報が図 A.2 の ように記録されている。このデータを、各チャンネルごとの波形情報として扱いやすいよ うに ROOT 形式のファイルに変換して解析に用いる。

FADC のデータファイル1つから、変換ファイル1 つを作る。ファイル名は run****_conv.root である。

C.2.1 TTree

変換した情報は、InfoTree と EventTree という名の 2 つの TTree オブジェクトに保存 する。

■InfoTree は

- revision_conv/I:変換に用いたプログラムのバージョン情報
- crateID/I:クレート番号
- nFADC/I:データを取得するのに用いた FADC の台数。
- nSamples/I:1イベントあたりのサンプル点数。

■EventTree 各イベントでの情報は EventTree に保存する。EventTree の Branch 構造 を、表 C.2 に示す。

BranchName	形式	内容
nFADC/I	nFADC	データを取得するのに用いた FADC の台
		数。
nSamples/I	nSamples	1 イベントあたりのサンプル点数。
EventNo/I	EventNo	イベント番号
Data[20][16][48]/I	Data[FADCID][ChID]	FADC で記録した波形データ
	[SampleNo.]	
TimeStamp[20]/I	TimeStamp[FADCID]	トリガーのタイムスタンプ (図 A.2 参照)
$\mathrm{TrigNo}[20]/\mathrm{I}$	TrigNo[FADCID]	トリガー番号 (図 A.2 参照)
SpillNo[20]/I	SpillNo[FADCID]	スピル番号 (図 A.2 参照)
SlotNo[20]/I	SlotNo[FADCID]	FADC の VME クレート上の物理スロッ
		ト番号 (図 A.2 参照)
Compression_	$Compression_flag[FADCID]$	各チャンネルでのデータ圧縮の有効/無効
flag[20][16]/I	[ChID]	(未実装) (図 A.2 参照)
Pedestal[20][16]/I	Pedestal[FADCID] [ChID]	ペデスタル。簡単のため各チャンネルごと
		に、イベントごとの初めの 2 点の平均をペ
		デスタルの値として用いている。
Peak[20][16]/I	Peak[FADCID][ChID]	ペデスタルを引いた後のピークの高さ。連
		続する3点の和が最大となる点をピークと
		している。
Time[20][16]/I	Time[FADCID][ChID]	ピークのサンプル点番号
EventSum[20][16]/I	EventSum[FADCID][ChID]	ペデスタルを引いた後の波高を、チャンネ
		ル毎に1イベントにわたって足し上げたも
		\mathcal{O}_{\circ}
$EtSum_FADC[20][48]/I$	$EtSum_FADC[FADCID]$	各 FADC の16チャンネルの入力に対す
	[SampleNo.]	る各サンプル点での波高の和 (ペデスタル
		は引かない)
BufferLoopNo/L	BufferLoop	バッファーサイクル番号
$\mathrm{Error}[20]/\mathrm{I}$	Error[FADCID]	各 FADC のデータで、データ構造が壊れ
		ていたり誤った情報が書き込まれていたり
		する場合は1になる。(それ以外は0)

表 C.2 EventTree の Branch 構造

参考文献

- [1] F. Mescia and C. Smith, $K_L^0 \to \pi \nu \nu$ decay beyond the standard model, http://www.lnf.infn.it/wg/vus/content/Krare.html, 2010.
- [2] Particle Data Group, K. Nakamura *et al.*, J. Phys. G **37**, 075021 (2010).
- [3] J. H. Christenson, J. W. Cronin, V. L. Fitch, and R. Turlay, Phys. Rev. Lett. 13, 138 (1964).
- [4] F. Mescia and C. Smith, Phys. Rev. D 76, 034017 (2007).
- [5] E949 Collaboration, A. V. Artamonov *et al.*, Phys. Rev. Lett. **101**, 191802 (2008).
- [6] E391a Collaboration, J. K. Ahn et al., Phys. Rev. D 81, 072004 (2010).
- [7] J-PARC E14 Collaboration, Report to FIFC, part-2: the detector for $K_L^0 \rightarrow \pi^0 \nu \overline{\nu}$, 2007.
- [8] 増田 孝彦, KOTO 実験に用いる低消費電力型光電子増倍管ベースの開発, Master's thesis, 京都大学大学院理学研究科 物理学・宇宙物理学専攻物理学第二教室 高エネル ギー研究室, 2009.
- [9] K. Anderson *et al.*, Nucl. Instrum. Methods **A551**, 469 (2005).
- [10] J-PARC E14 Collaboration, J. Ma, M. Bogdan, H. Sanders, and Y. W. Wah, Technote-1:the bessel filter simulation, 2007.
- [11] K. Morgan, M. Bogdan, J. Ma, and Y. Wah, Design of a Gaussian Filter for the J-PARC E14 Collaboration, http://hep.uchicago.edu/cpv/REU_KMorgan.pdf, 2007.
- [12] M. Tecchio, Private communication, 2010.
- [13] NCITS, Fiber Channel Physical Interface-2 (FC-PI-2), 2005.
- [14] VMEbus Standards Organization, Designer & User Guide for ANSI/VITA 23-1998, 1999.
- [15] Texas Instruments, TLK3101 2.5 Gbps to 3.125 Gbps TRANSCEIVER, 2008.
- [16] M. Defossez(Xilinx), *Virtex-II* と高速シリアル デバイス (*TLK2501*) の接続, 2002.