

86
M.Th

トリスタン実験用大容量ゲータ
高速収集システムの開発

長部均

7-11
B55

K

高速収集システムの開発

長部均

要旨

電子陽電子衝突実験 TRISTAN VENUS 検出器
鉛ガラスカロリメータ用 ADC 校正監視システムを開発した。

このシステムは 鉛ガラスカロリメータ 5160 本の信号を 5160 の
ADC (Analog to digital converter) により高速にデータ収集
システムである。

我々は このシステムを開発し その性能評価を
行った。

目次

第 I 章 序

第 II 章 VENUS データ収集システムの概要

- 2-1 トリスタン電子陽電子衝突反応で起る反応の種類
- 2-2 VENUS 検出器の構成及び測定情報の種類と大ま
- 2-3 ファーストリガの必要性
- 2-4 校正及び監視システムの必要性
- 2-5 大容量高速データ収集システムの必要性について
- 2-6 VENUS データ収集システムの構成
- 2-7 FASTBUS システムの概要

第 III 章 鉛ガラスカロリメータデータ収集システム

- 3-1 要求される性能
- 3-2 データ収集に必要な機能
- 3-3 鉛ガラスカロリメータデータ収集システムの構成

第 IV 章 ADC 校正監視システムの開発及びその性能評価

- 4-1 始めに
- 4-2 測定のための set up
- 4-3 1821 SMI 用 micro code の開発
- 4-4 MICRO PDP 11/73 上の SMI カポートソフトウェアの開発
- 4-5 MICRO PDP 11/73 上の モニタ用ソフトウェアの開発
- 4-6 CAT を用いた ADC の校正試験の
- 4-7 CAT を用いた ADC の校正試験の結果
- 4-8 ADC 校正監視システムの性能評価
- 4-9 今後の課題

第Ⅴ章

まとめ

謝辞

参考文献

第I章 序

最近の高エネルギー素粒子実験では 測定器が精密化
大型化して来たため 大量データの高速処理の可能な
大型データ収集システムが必要となっている。

1986年冬より実験を開始したトリスラン VENUS 実験は
30 ~ 40 GeV の電子、陽電子を正面衝突させに行われる
現象から以下の様な物理を研究しようとしている。

- 1) Standard Electroweak Theory の検証
- 2) top quark の検出
- 3) toponium physics の研究
- 4) Sequential Heavy Lepton の検出
- 5) QED, QCD の検証
- 6) Small Mass Neutrino の計数
- 7) 2光子過程
- 8) Exotic Particle の検出

この実験で必要となる現象の起る確率はきわめて低く、
非常に大きなバックグラウンド事象の中にも必要となる事象を
出し必要か否か また必要とする事象 1個 毎刻の情報量は
大きく、これらの実験を新奇的に進めたいためには データ収集の
大容量 高速処理 を実現しなければならぬ。

一方 ビータス 検出器は $10 \times 8 \times 10 \text{ m}^3$ 2500 トン
の大型装置で、多数の 大型測定器が組み込まれている。

これらの測定器を校正し、性能を常時監視するためには
データ収集システムは大型化を怠るを得ない。

これら上記の目的のために鉛ガスカロリメータ用のデータ収集
システムを開発し、その性能テスト及び持続の拡張について
検討を行った。

第Ⅱ章以下にボータスデータ収集システムの概要と新たに
開発した鉛ガスカロリメータ用データ収集システムについて述べた。

第II章 VENUS データ収集システムの概要

2-1. トリスタン電子陽電子衝突反応で起きた反応の種類

ここで トリスタン VENUS 検出器で期待される反応の event rate を評価した。

Fig 2-1 に 重心系のエネルギー \sqrt{s} が数 10 GeV の領域での電子陽電子衝突反応の断面積を示す。また TRISTAN のエネルギー領域を示した。[1.2]

この図では \pm quark 対の L_{ij} の値が 50 GeV 付近で、Weinberg-Salam 理論から予想される中性 Z^0 ボソンの pole が 90 GeV 付近にあると仮定している。

ここで e^+e^- 反応で起きた主な反応の種類と event rate について、Trigger rate の観点から述べる。

TRISTAN 加速器の Luminosity は peak Luminosity $\sim 10^{31} \text{ cm}^{-2} \text{ sec}^{-1}$ 程度で、beam の入射時間、beam の decay 等を考慮に入れて平均 Luminosity $\sim 2 \times 10^{30} \text{ cm}^{-2} \text{ sec}^{-1}$ 程度で、ここで trigger rate の観点から event rate を評価して、peak Luminosity を使った event rate を算出した。

1) $e^+e^- \rightarrow M^+M^-$ の one photon process について

$$\sigma_{\text{one photon}}(e^+e^- \rightarrow M^+M^-) = \frac{4\pi}{3} \frac{v^2}{s} = \frac{87.6 \text{ mb}}{s}$$

event rate は以下のようになる

	\sqrt{s} [GeV]	Event rate [/sec]	Event rate [/day]
	40	8.2×10^{-4}	71
	50	5.3×10^{-4}	45
	60	3.7×10^{-4}	31

こゝは大体の event rate の大まかき評価値だが目的の方で

VENUS 検出器の検出効率を 100% と仮定する。

またその μ の影響は無視する。

2) $e^+e^- \rightarrow \text{hadrons (one photon process)}$ について

one photon process の hadron event は $q\bar{q}$ の生成の確率と等しい。

$$\sigma_{\text{one photon}}(e^+e^- \rightarrow \text{hadrons}) \approx R \cdot \sigma_{\text{annihilation}}(e^+e^- \rightarrow M^+M^-)$$

但し

$$R = \sum \left(\frac{Q_i}{e} \right)^2 = \begin{cases} \frac{11}{3} & U, d, s, c, b \\ 5 & U, d, s, c, b, t \end{cases}$$

の関係と近似的に成り立つ。

従って hadron event の event rate は以下の通り。

	\sqrt{s} [GeV]	Event rate [/sec]	Event rate [/day]
	40	3×10^{-3}	260
	50	2.7×10^{-3}	230
	60	1.8×10^{-3}	160

3) two photon process については Fig 1-2-1 に示すように \sqrt{s} が
 大きい領域では two photon process の断面積の方が one photon process
 の断面積に比べて大きくなる傾向がある。

しかしながら two photon process での final state の e^+e^- は
 beam 軸方向に狭い θ を持つため beam 軸方向の検出器
 の acceptance によらず event rate が大きく変化する。

VENUS 検出器では Luminosity counter の beam 軸方向の
 acceptance での event rate が決定されている。

beam 軸方向 40 mrad 以下の Luminosity counter は
 主に $e^+e^- \rightarrow e^+e^- \mu^+\mu^-$ 反応で

single tagged event 10 event/day

double tagged event 0.1 event/day

これは one photon process の $e^+e^- \rightarrow \mu^+\mu^-$ の event rate
 よりも小さくなる。

また $e^+e^- \rightarrow e^+e^-$ hadrons と同程度の event rate がある

4) $(\bar{t}t)$ の $1s$ 状態 A の共鳴では $M_A = 55 \text{ MeV}$

Luminosity $L \approx 1.5 \times 10^{31} \text{ cm}^2 \cdot \text{sec}$ e^+e^- の
 衝突エネルギー $\Delta E = 55 \text{ MeV}$ と仮定すると $\sqrt{s} = M_A$ の共鳴点での

event rate は

$$\text{event rate} = \frac{\sigma_A^2}{M_A^2} \frac{\Gamma_{ee}}{\Delta E} \cdot L \approx 1000 \text{ event/day} \\ = 0.01 \text{ event/sec}$$

程度である。

以上述べたように e^+e^- 衝突反応の event rate は
大きいものは continuum $\sim 10^{-3}$ event/sec, resonance
 $\sim 10^{-2}$ event/sec 程度である。これに対しバックグラウンド
event は以下のものがある。

○ ランダムなバックグラウンド
宇宙線

○ beam の bunch に同期したバックグラウンド

beam - gas interaction

beam - beam pipe interaction

beam の上流の物質中で発生した電磁放射

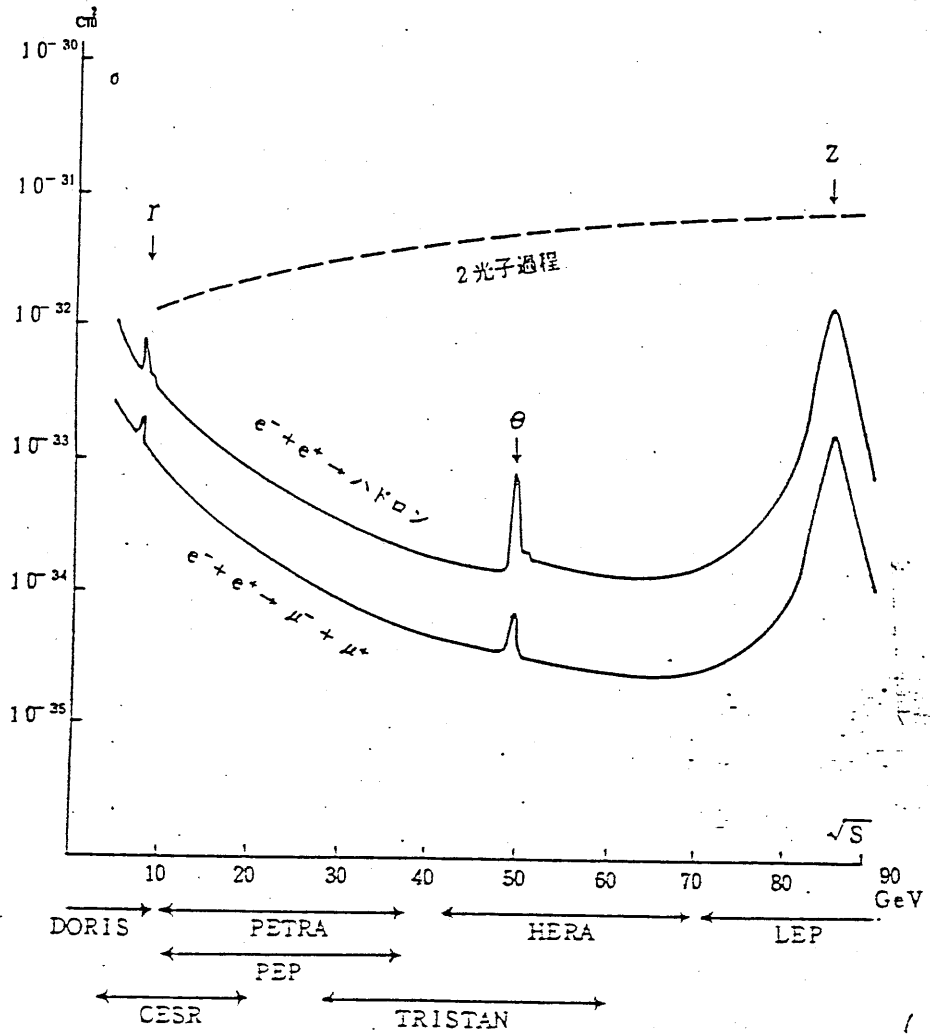
Synchrotron Radiation

がある。特に後者は beam の bunch に同期して発生する
本物の event と分離するのが難しく、また detector に近づいた
beam 軸に近い detector はほぼ毎 bunch、バックグラウンド
detector が hit する可能性がある。

このように 400 kHz のバックグラウンドのうち 10^{-3} event/sec
以下の真の event は e^+e^- 衝突実験では見出しが
たがった。

Fig 2-1

電子陽電子衝突の断面積



中心系のエネルギー

2-2 VENUS 検出器の構成 及び 測定打情報の種類と大さ

Fig. 2-2-1 に VENUS 検出器の全体図を示す。この図の左上に VENUS 検出器 (右側), TRISTAN ring の beam pipe 中央を左向き e^- beam 右向き e^+ beam が通り抜ける VENUS 検出器の中心で衝突する。図の右下の Electronics Hut 中に検出器で得られた信号を処理するための電子機器が設置された。ここで処理されたデータは、VENUS 実験ホールの側室に置かれた Online computer VAX-11/780 に 40m の cable を通じて読み込まれる。

Fig. 2-2-2 に VENUS 検出器の $1/8$ 断面図を示す。この図は Fig. 2-2-1 の右側の部分の上半分を Electronics Hut と反対側から見たものである。この断面図で、beam pipe の中心で e^+ , e^- の beam が VENUS 検出器の中心で 2.5 μsec およびに衝突する。

円筒型超電導コイルは 3 の内部に 7.5 kG の均一磁場を作る。この内部に INNER CHAMBER 及び CENTRAL DRIFT CHAMBER が beam pipe をとり囲むように取り付けられている。INNER CHAMBER は cylindrical multiwire proportional chamber であり、衝突点の Z 軸方向の位置を fast-trigger で決定し、beam-beam gas event, beam-beam gas event などの background を落とすために用いられた。CENTRAL DRIFT CHAMBER は荷電粒子の軌跡及び運動量を高い精度で決定するためにあり、その運動量分解能は $\Delta p/p_T = \sqrt{(0.013)^2 + (0.009 p_T)^2}$ である。超電導コイルの内側に TOF (Time of flight) scintillation counter があり荷電粒子の time of flight を 200 psec の時間分解能で測定出来、 π/h の分離は $1.6 \text{ GeV}/c$ 以下、 h/p の分離は $1.6 \text{ GeV}/c$ 以下が可能である。超電導コイルの外側には STREAMER TUBE と BARREL CALORIMETER が円筒型に囲まれている。

STREAMER TUBE は 2 層の 1020 本の lined streamer
 tube が構成されている、衝突点で生成した Y 線が衝突点と
 BARREL CALORIMETER 間の約 1 radiation length の物質により
 およそ電磁誘起粒子の位置を決定する。BARREL CALORIMETER は
 3160 本の鉛板 (heronkov 型) を形成し電磁誘起粒子 X-γ
 γ のエネルギー分解能は $\Delta E/E = 0.07/\sqrt{E} + 0.02$ である。
 END CAP YOKE と CENTRAL DRIFT CHAMBER の間には
 エネルギー分解能 $\Delta E/E = 0.08/\sqrt{E} + 0.02$ の電磁誘起粒子 X-γ
 LIQUID ARGON COUNTER が置かれている。BARREL CALORIMETER
 と LIQUID ARGON COUNTER との間には $\Delta > 140 \text{ mR}$ 以上の月性全立体
 角から電磁誘起粒子が検出されている。
 RETURN YOKE の外側には衝突点から約 40 cm の固定の
 ために MUON CHAMBER が置かれた。

Table 2-2-1 に各検出器の channel 数及び $q\bar{q}$ jet event 1. 事例 典型的な data 量を示す。VENUS detector の channel 数は総計約 31000 channel の $q\bar{q}$ jet event 1 の data 量は全体で約 6.5 kB と推定される。

Table 2-2-1 Number of data for the detector components

Detector	Cable # (Type)	Channel #	Typical Data Size
Inner Chamber	HV : 20 (RG58C/U) Signal: 2640 (BCF05B100)	2640	0.5 kB
Central Drift Chamber	HV : 100 (RG58C/U) Signal: 7104 (BCF05B100)	TDC: 7104	2.0 kB
Forward Drift Chamber	HV : 20 (RG58C/U) Signal: 2000 (BCF05B100)	TDC: 2000	0.5 kB
TOF Counter	HV : 192 (RG58C/U) Signal: 192 (RG58C/U)	ADC: 192 TDC: 192	0.8 kB
End-Cap Calorimeter	HV : 300 (RG58C/U) Signal: 4000 (BCF05B100)	ADC: 4000	1 kB
Luminosity Monitor Ch.	HV : 12 (RG58C/U) Signal: 1432 (BCF05B100)	ADC: 32 TDC: 1400	0.2 kB
Barrel Streamer Tube	HV : 52 (RG58C/U) Signal: 1020 anode 1884 cathode	2904	0.2 kB
Barrel Calorimeter	HV : 5160 (RG174/U) Signal: 5160 (RG174/U)	ADC: 5160	1 kB
Muon Chamber	HV : 260 (RG58C/U) Signal: 5263	TDC: 5263	0.3 kB
Total		30887 ch.	6.5 kB

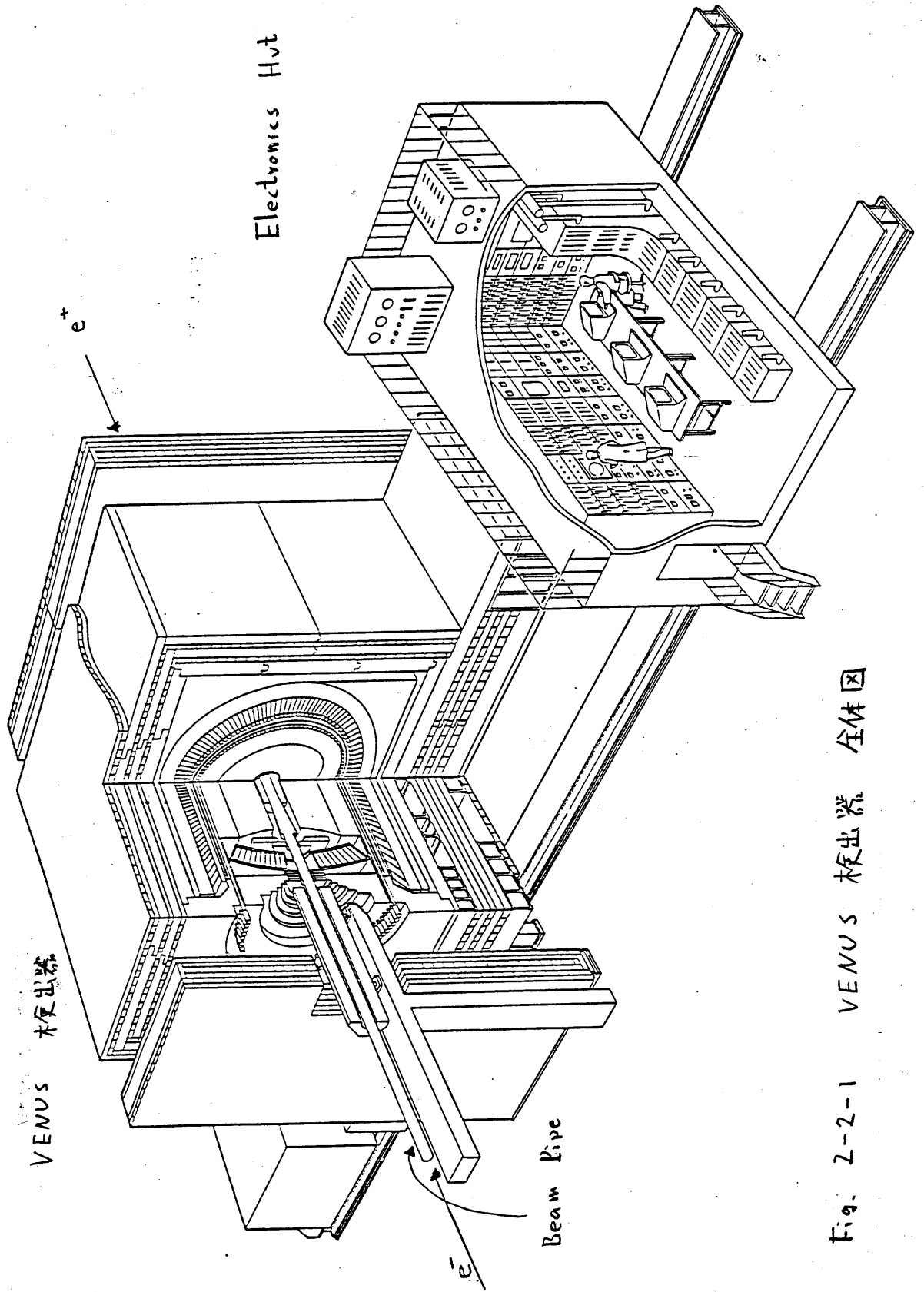
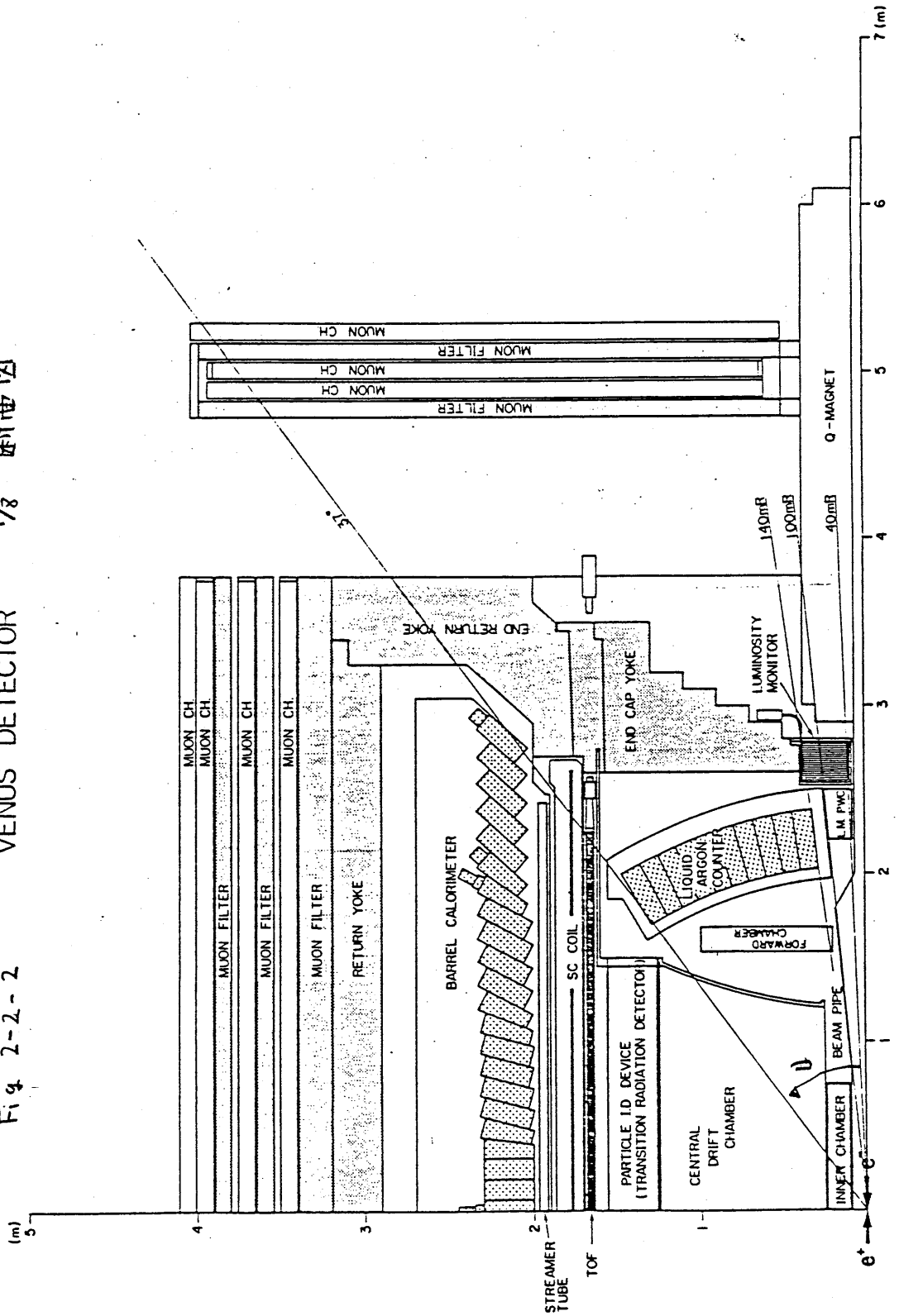


Fig. 2-2-1 VENUS 校正器 全体图

Fig 2-2-2 VENUS DETECTOR 1/8 新西冈



2-3 ファーストリガの必要性

2-1 1° 束が束に物理的に意味のある event は 10^3 event/sec 程度で それに対し Background は 400 kHz に及ぶ。従って hardware 的方 trigger 1° Background event は 捨てるに非常に重要である。従って fast trigger と呼ばれる手法が event の trigger に用いられた。

トリガ加速管では $e^+ e^-$ の beam が打ち出す時間間隔は 2.5 μ sec である。Fig 2-3-1 に VENUS の trigger の手法を示す。VENUS detector の trigger logic は beam cross に同期して 400 kHz の trigger 各 detector の読み出し electronics に付した。各 electronics は 各 detector の信号の処理を開始する。trigger logic が 1 個 event が 真の event であるかを判断した後、各 detector 読み出し system に first clear 信号を初期化させた。

各 detector の読み出し回路の初期化に必要な時間を 1.8 μ sec とした。trigger logic が有効な event があるかを判断するために残した時間は 1.7 μ sec とした。この 1.7 μ sec の first trigger の判断を行う有効な event がある場合 first clear は 各 detector 読み出し system に分配する。

Fig. 2-3-2 1: First level trigger の block diagram について.

Trigger は Inner Proportional Counter (IC) Central Drift Chamber の track recognition, Time of Flight Counter の timing signal, 電磁カロリメータの energy sum の 3つの信号に分類された。

Inner Proportional Chamber (IC) は R-Z 平面の Track finder になり、また Central Drift Chamber は R-φ 平面の Track finder になり、両電極の track を reconstruct する。

Time of Flight (TOF) counter は timing signal と multiplicity count になり、宇宙線の background を落とす。

Barrel Shower Counter, Endcap Liquid Ar Chamber は neutral trigger になり、charged track と calorimeter での energy deposit の組み合わせの trigger に用いられる。

Table 2-3-1 は background と First Trigger による除去の方法、First Trigger 実行後の event rate について。[1,3]

Table 2-3-1 BACKGROUND について ref [1,3]

Source	Useful Information	Rate
Cosmic Ray	Z-cut with IC Time gate by TOF	< 1 Hz
Beam-Gas Interaction	Z-cut	< 1 Hz
Beam-Beam Pipe Interaction	Z-cut	< 0.5 Hz
Synchrotron Radiation	Mask of Tracks in CDC	≪ 1 Hz

First level trigger 1" 約 5Hz 打落すため event rate は
±5% Second level trigger 1" 2Hz 打落すため. Second
level trigger 1" First level trigger 1" digitize した情報
(hit pattern) は FASTBUS の 68KFPI (68000
Microprocessor) に読み込まれ, 各情報の相関を調べ
event を選択する

Fig. 2-3-1

VENUS の Trigger の手法

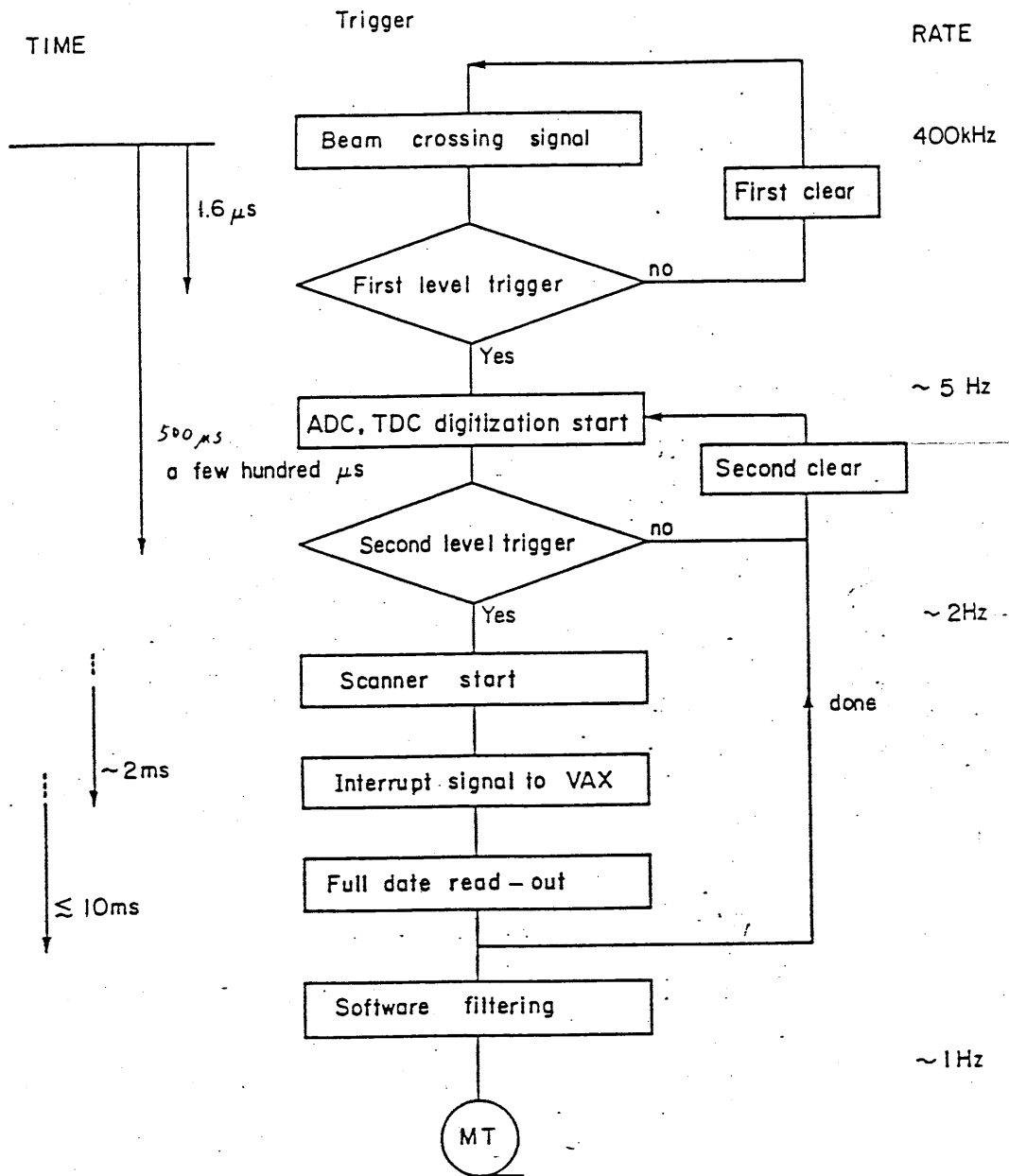
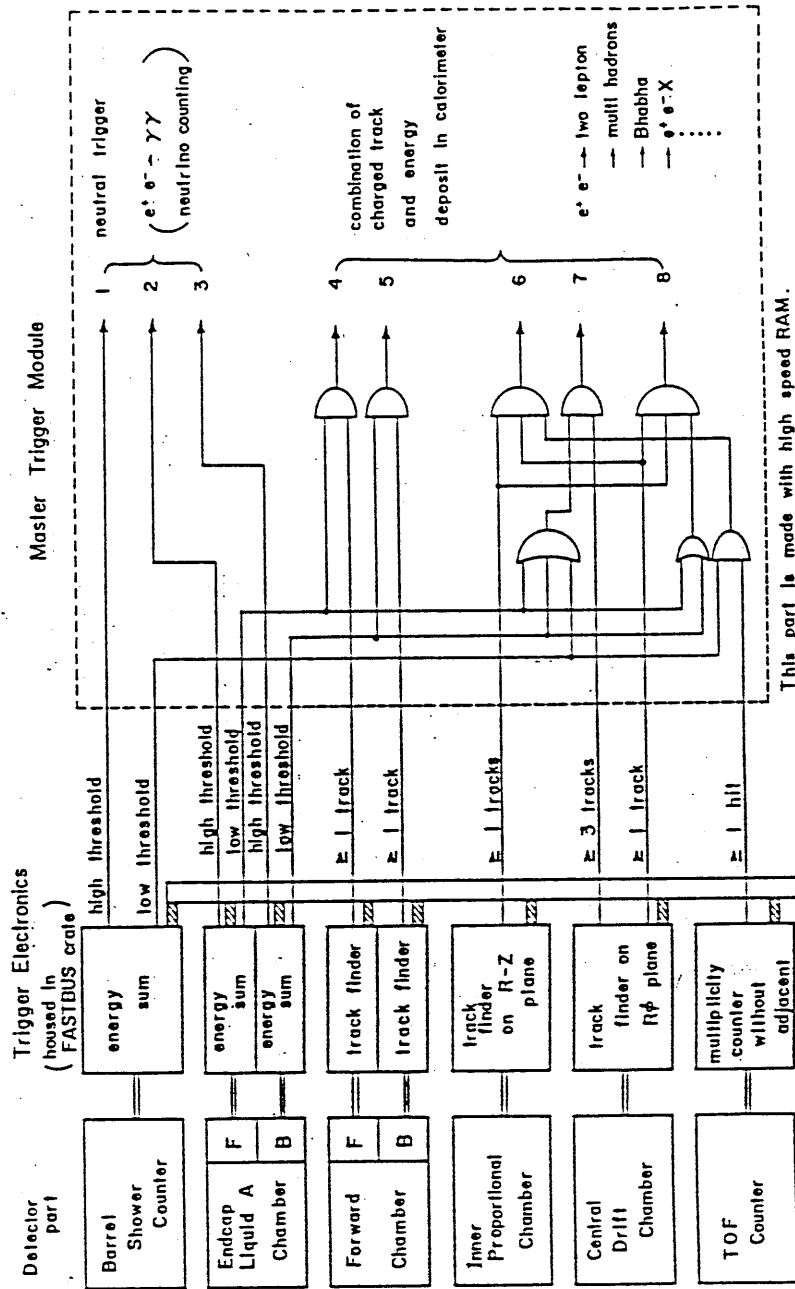


Fig. 2-3-1

Fig 2-3-2 Schematic Diagram of First Level Trigger



2-4 較正 及び 監視 システム の 必要性

2-1 で述べたように、物理的に意味のある event の rate は非常に小さいため VENU S 検出器は長期間 (~3年) にわたって継続して作られた。この detector の較正及び監視システムは非常に重要である。

VENU S detector の channel 数は 31000 に及ぶため各 detector ごとに較正監視が可能である。VENU S data 収集システムは subsystem に分割されている。

各 subsystem は Local computer MICRO PDP 11/73 によりそれぞれの detector の高電圧、加電圧、磁場温度などのパラメータを常時監視されている。

また detector に与える gain の変動方法を monitor するため物理 run の前に calibration run を行う必要がある。

2-5 大容量 高速データ収集システムの必要性について

2-2 で述べたように、典型的な event size は 65 kB/event

であり、2-3 で述べた trigger の条件より 10 msec の data を read out
しなければならない。これを転送速度に換算すると 0.65 MB/sec であり

(AMAL system では可能な速度である)。

しかし、モニター及び校正は各 subsystem における全 channel を
読む必要がある。適切な trigger、物理 run を行う時間を長くするためにも、

モニター、校正 run は短時間で終わらなければならない。従って高速大容量
データ転送が要求される。FASTBUS system が絶対に必要である。

が、

2-6 VENUS 子-7 収集システム構成 [2.1]

Fig 2-6-1 に VENUS detector のための 子-7 収集システムの構成を示す。また Table 2-6-1 に 7 台の detector を使用するための読み出しのための module 数及び channel 数を示す。

VENUS detector は 総計約 31500 channel を構成されており、平均の event size は 10KB である。各 detector の frontend electronics は 目的に応じて 3 種類の方法で構成されている。channel 数の少ない detector には CAMAC 規格の module を使用し、channel 数が 4 channel 以上の detector には FASTBUS 規格または TKO 規格 [2.2] の module を使用している。

各 detector の frontend electronics の digital 化された data は上位の FASTBUS crate segment 上の 幾何学的な memory buffer に蓄えられた。

Online computer として VAX 11/780 が使用されている。VAX 11/780 は VAX-FPI と FASTBUS cable segment と interface している。この cable segment は VAX の設置された Online monitor room と実験 hall の Electronics hut 内の FASTBUS crate segment と距離約 40 m を経ている。

VAX-FPI / DR 780 は 各 subsystem の memory buffer... の data を取り上げ VAX 上の memory に転送する。

VAX-FPIのFASTBUS Cable Segment上の最大転送速度は

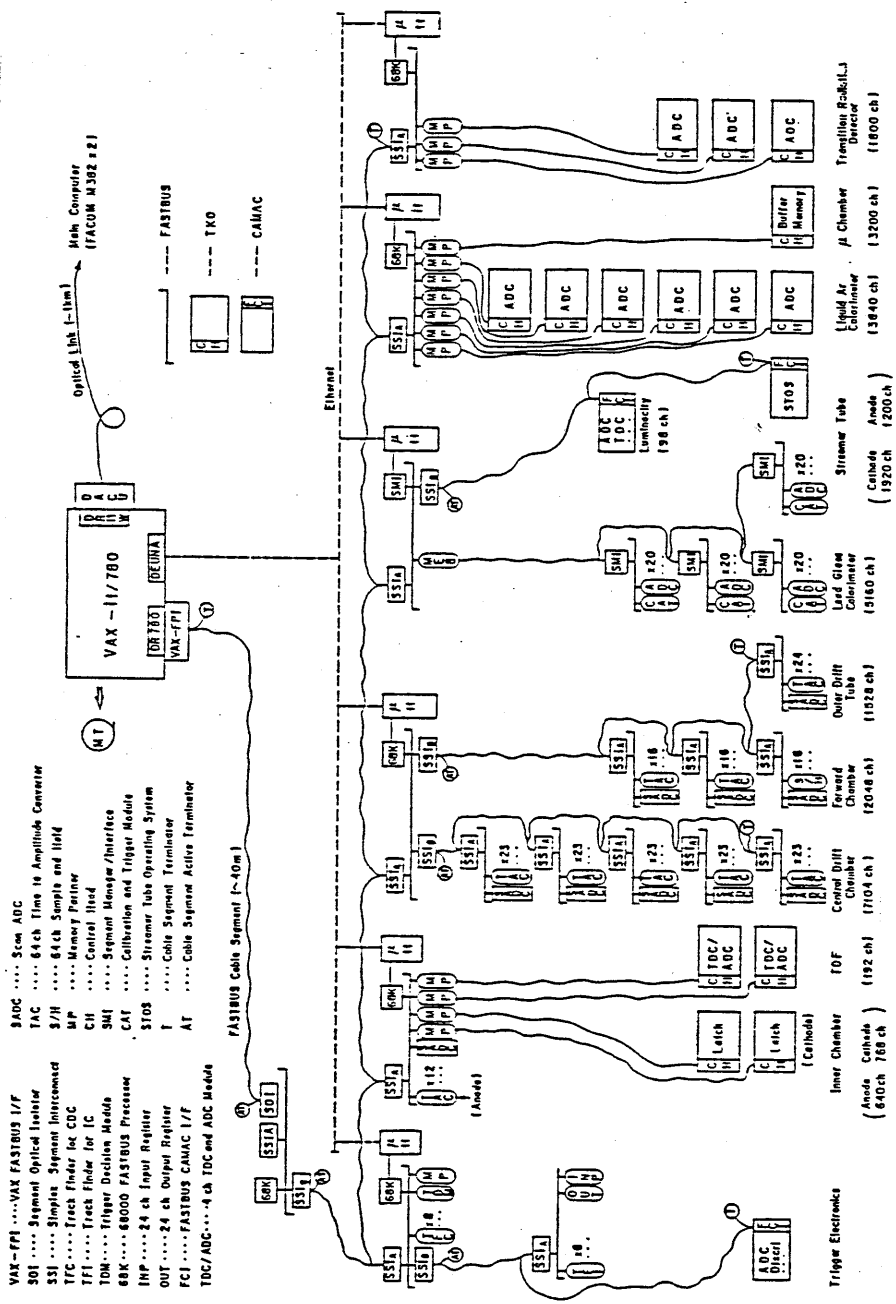
約20 MB/sec である。 [2.3] [2.4]

また各 detector subsystem の Cable Segmentには

Local computer MICRO PDP 11/73 4台 68K FPI [2.5] 又は

LRS 1805 SMI を用いた接続がなされている。

Fig 2-6-1 VENUS 7-9 収集システム



VENUS Data Acquisition System.

Table 2-6-1 Summary of VENUS detector readout system

component	measure	channel	module	crate
Inner Chamber	Drift Time(anode)	640	TDC+SADC	(FASTBUS) 1
	Latched Hits(cathode)	768	Latch	(TKO) 2
TOF	Time of Flight	192	TDC/ADC	(TKO) 2
Central Drift Chamber	Drift Time	7104	TAC+SADC	(FASTBUS) 6
Forward Chamber	Drift Time	2048	TAC+SADC	(FASTBUS) 2
	Charge Division	512	S/H+SADC	(FASTBUS) 1
Outer Drift Tube	Drift Time	1528	TAC+SADC	(FASTBUS) 1
Lead Glass Calorimeter	Energy Loss	5160	ADC	(FASTBUS) 4
Streamer Tube	Latched Hits(anode)	1200	STOS	(CAMAC) 1
	Charge Ratio(cathode)	1920	ADC	(FASTBUS) 1
Luminosity	Energy Loss	24	ADC	(CAMAC) 1
	Time of Flight	10	TDC	(CAMAC)
	Counter	64	Coin.	(CAMAC)
Liquid Argon Calorimeter	Energy Loss	3840	ADC	(TKO) 6
			Buffer	(FASTBUS) 1
Muon Chamber	Drift Time	3200	TDC	(Special) 8
			Buffer	(TKO) 1
Transition Radiation	Energy Loss	1800	ADC	(TKO) 3
			Buffer	(FASTBUS) 1
Trigger	Look-up Table(CDC)	624	TFC	(FASTBUS) 1
	Look-up Table(IC)	768	TFI	(FASTBUS) 1
	Energy Sum	76	Discr1	(CAMAC) 1
Data Acquisition				(FASTBUS) 1
Total		31498 ch	FASTBUS	21
			TKO	14
			CAMAC	3

2-7 FASTBUS システムの概要

2-7-1 はじめに

この VENUS 用データ収集システムに使用されている FASTBUS システムに、この概要を記す。

FASTBUS は data 収集及び処理、hardware の control のために開発された新しい標準化された module 向けの bus system である。FASTBUS の hardware の仕様は [2.6] に、その software の仕様 'FASTBUS Standard Routine' は [2.7] に規定されている。

FASTBUS は以下に示す特徴を有する。

- 1) 高速データ転送 (10 MHz / sec) ... (AMAC の 10倍)
- 2) 32 bit のアドレスバス, データバス
- 3) セグメント化されたバスに非同期処理
- 4) システム全体に均等にアクセス可能
- 5) block transfer mode による大量データの高速転送
- 6) システム全体で統一された protocol
- 7) Interrupt 及び arbitration (Multi processing)

2-7-2 FASTBUS のトポロジ-

Fig 2-7-1 に FASTBUS の基本的な要素 FASTBUS Crate を示す。Crate の backplane には Crate segment と 4 本の bus が走っている。Crate には 26 個の module を挿入することができる。FASTBUS module は Master module と Slave module に大別することができる。Master module は slave module を control することができる。

Fig 2-7-2 に FASTBUS のシステムの構成例を示す。FASTBUS システムは複数の Crate segment を結合して大規模なシステムを構築することができる。このために Cable Segment が用意されている。複数の Crate Segment 間を Segment Interconnect (SI) と介して結合することができる。Host processor は Processor Interface (PI) を介して Cable Segment に接続される。Host processor は Cable Segment を通じて全ての Crate Segment 内の module に access することができる。また各 Crate Segment の Cable Segment には複数の Master Module を接続出来、分散処理、並行処理が可能なシステムになる。

2-7-3 FASTBUS の Protocol

FASTBUS system は Cable Segment と Crate Segment とは別々の信号線とされている。Table 2-7-1 に FASTBUS の信号線の表を示す。

FASTBUS は基本的に非同期式の Protocol で Master, Slave が T-4 の転送を行う。Fig 2-7-3 に基本的な handshake による read operation の timing chart を示す。Master - Slave 間では AS - AH の handshake による address cycle と行い DS - DH の handshake による data cycle と行われる。

Fig 2-7-4 に Write Block transfer mode を示す。

図に示すように AS と固定された DS - DH の handshake による data cycle をくり返し行い、DS の立ち上がり、立ち下りの両方による data 転送を行うことが出来、大容量 T-4 の高速転送が可能である。また handshake による block transfer, pipe line transfer も可能で Cable Segment 上の長距離大容量高速 T-4 転送に有効である。

Fig 2-7-5 に Read - Modify - Write mode を示す。この mode は AS を lock して行うため Master が 1 つの bus cycle 以下可能な read cycle write cycle を繰り返すことができる。この mode は Multi Master system で複数の Master が Slave の memory と共有し、同期を T-7E の Semaphore 操作のために必要と機能する。

Table 2-7-1

FASTBUS の 信号 線

Mnemonic	Signal Name	Use	Number	Comments
AS	Address Sync	T	1	For address and reporting status of connection
AK	Address Acknowledge	T	1	
EG	Enable Geographical	C	1	
MS	Mode Select	C	3	for data and control of data transfers
RD	Read	C	1	
AD	Address/Data	I	32	
PA	Parity	I	1	
PE	Parity Enable	I	1	
SS	Slave Status	I	3	
DS	Data Sync	T	1	
DK	Data Acknowledge	T	1	
WT	Wait	A	1	
SR	Service Request	A	1	
RE	Reset Bus	A	1	
BH	Bus Halted	C	1	
AG	Arbitration Grant	TA	1	for bus arbitration
AL	Arbitration Level	IA	6	
AR	Arbitration Request	A	1	
AI	Arbitration Request Inhibit	CA	1	
GK	Grant Acknowledge	TA	1	
			60	
TX	Serial Line Transmit	S	1	for FASTBUS Serial Protocol
RX	Serial Line Receive	S	1	
GA	Geographical Address Pins (position encoded, not bussed). ¹	F	5	
TP	T Pin (not bussed). ¹	X	1	CRATE SEGMENT only
DL	Daisy Chain Left	X	3	
DR	Daisy Chain Right	X	3	
TR	Terminated Restricted Use	X	8	
UR	Unterminated Restricted Use	X	2	
FP	F Pins (Free Use, not bussed)		4	
R	Reserved		5	

¹ On CABLE SEGMENTS switches are used instead of GA and T pins.

Description of Use symbols

- T = Timing for address and data cycles
- C = Control for address and data cycles
- I = Information for address and data cycles
- CT = Control and timing
- A = Asynchronous - timing not directly related to data transfers
- TA = Timing for Arbitration bus
- IA = Information for Arbitration Bus
- CA = Control for Arbitration bus
- S = Serial data, timing independent of parallel bus
- F = Fixed information - constant
- X = Special Purpose

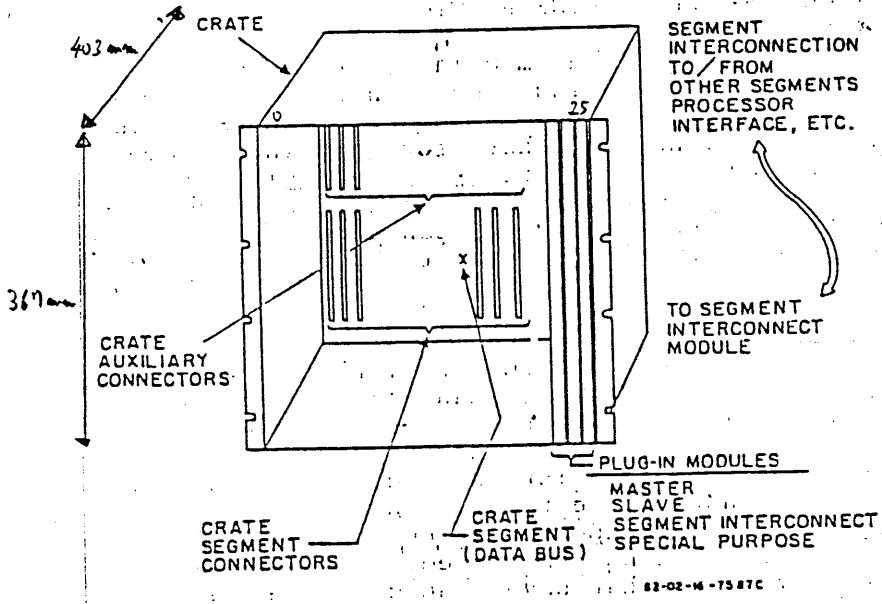


Fig 2-7-1 FASTBUS CRATE

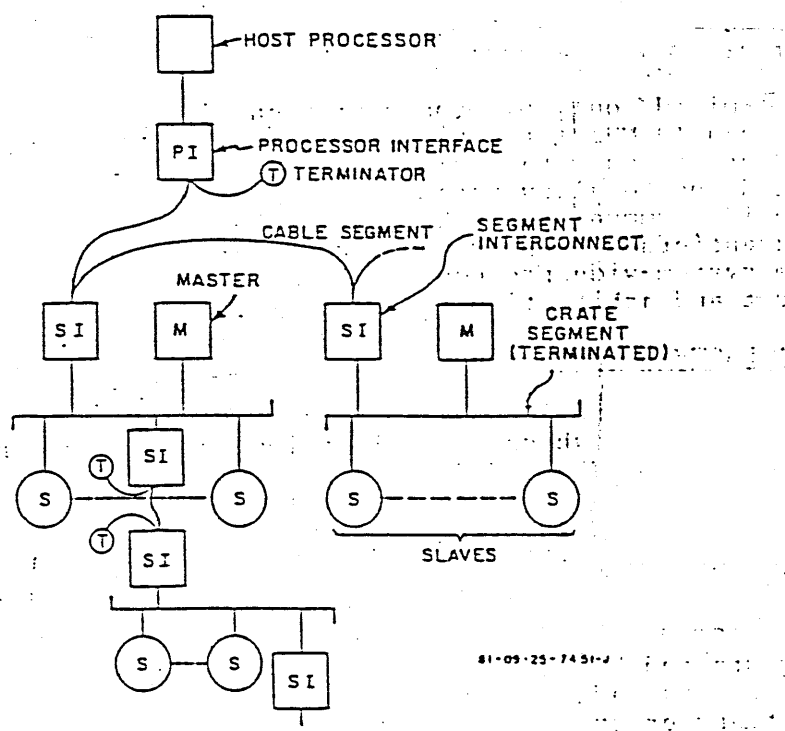


Fig 2-7-2 FASTBUS SYSTEM TOPOLOGY

Fig 2-7-3

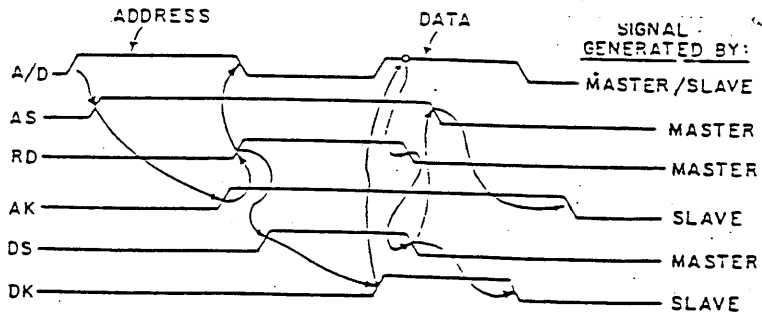


Fig 2-7-3 基本的读 read operation

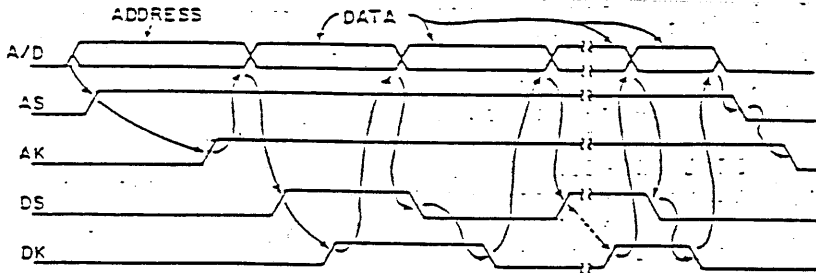
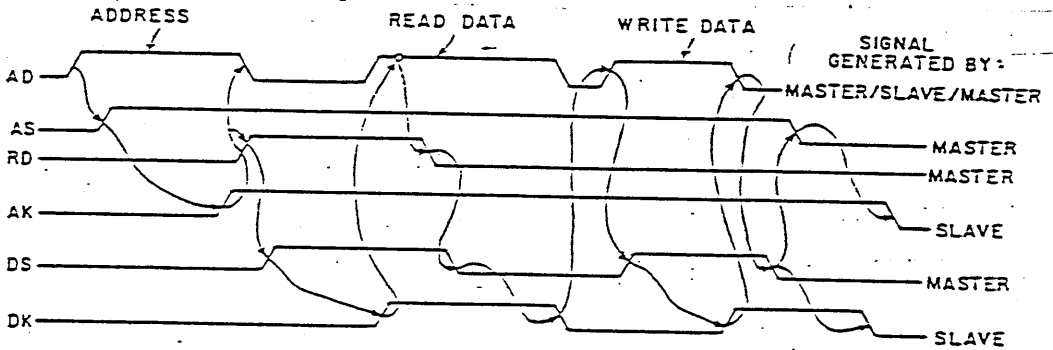


Fig 2-7-4 Block Transfer Write cycle



91-12-23-7529 A

Fig 2-7-5 Read - Modify - Write cycle

第四章 鉛ガスカロリメータのデータ収集システム

3.1 VENUS BARREL 鉛ガスカロリメータに要求された性能

鉛ガスカロリメータに要求されたエネルギー分解能は $\frac{0.07}{\sqrt{E}} + 0.02$, 位置分解能は $\Delta R = 52 \text{ mV}$ $\Delta \phi = 52 \text{ mV}$ を要求された, 以下の5つのカロリメータが作られた.

Fig 3.1.1 に VENUS BARREL 電磁カロリメータの配置図を示す. BARREL 電磁カロリメータは Z 方向 43 分割 ϕ 方向 120 分割の合計 5160 本の鉛ガスカウンターから構成されている. Fig 3.1.2 に鉛ガスカウンターの鉛ガスカウンターの 1 module を示す. 鉛ガスは DF6 を用いた, その 1 radiation length は 1.69 cm であり, この鉛ガスの長さは 18 radiation length である. また DF6 のエネルギー分解能は $0.07/\sqrt{E}$ [GeV] である. 光電子増倍管 (PMT) には浜松ホトニクス社の R1911 と R1652 を用いた. R1652 は end yoke 付近の高放射場の場所で使用した.

鉛ガスカウンターの目標としたエネルギー分解能の系統的誤差は 2% である. これは以下に示す誤差の二重和の平方根である. 鉛ガスカウンターへの粒子の入射位置による pulse height の変化 1% の和である.

- 各カロリメータの normalization の誤差 1%
- 高放射場にある PMT の Gain の変動 0.5%
- 温度変化による PMT の gain の変動 0.5%
- PMT の gain monitor の誤差 1%
- PMT の直線性の誤差 0.5%

我々は 5160 channel の 177 の鉛ガラス module に 2 GeV, 4 GeV, 6 GeV の electron beam を (calibration L, PMT の High Voltage を 調節 打てて), 鉛ガラス 177 の PMT の 出力 (charge) と beam energy の 関係に $26.25 \text{ pc} / 1 \text{ GeV}$ に (calibration L) [3.1] [3.2] Calibration 時の Energy 精度を維持 打ためには PMT の gain の 変動, 鉛ガラスの 経年変化, High Voltage の 変動 の monitor が 非常に 重要 打。

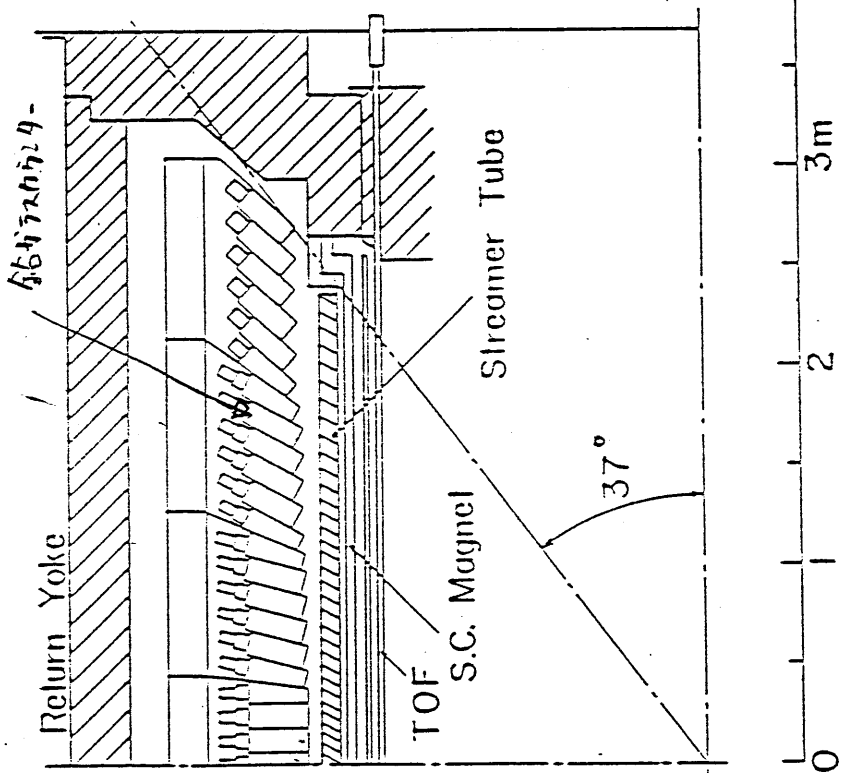
そのため Fig 3-1-3 に 示す Xe ランチ を 用いた PMT の Gain の monitor system を 用いた。鉛ガラス 177 の Gain の 変化を, Xe ランチ を 夫々 177 へ 分割し 各鉛ガラス module に 分配し pulse height を 測定 打てて 得る。Xe ランチ の 夫々の 量 の 変動は 恒温槽 に 入った Reference PMT 及び photo diode (PD) へ 入る。Reference PMT の gain の 変動は $N_{\text{A}} I (A_{\text{m}})$ Pulser へ 入る。Xe ランチ は 2 系統 あり 信頼性 を 高めた。この 打ち方 へ 入る 2 系統 あり 鉛ガラス 177 の gain の 変動を 1% 以内の 精度で 入る 出力 へ 入る 確認 打たれる [3.1] [3.2]

1-4 に 述べた 打ち方 へ Barrel カリキ へ 入る 打ち方 へ 入る hadron event へ neutrino counting の ための First level の trigger processor に 出力 へ 入る 打ち方。

high threshold signal は total energy sum へ 5 GeV 付近に threshold を 入る 無条件に Trigger を 入る。それに 入る low threshold は 500 MeV 以上 へ 入る (DC 打ちの track 認識 情報 と 組合 へ 入る 500 MeV 以上の γ を 検出 打ため

12 用い3.

R-2 平面の断面図



R-φ 平面の断面図 VENUS

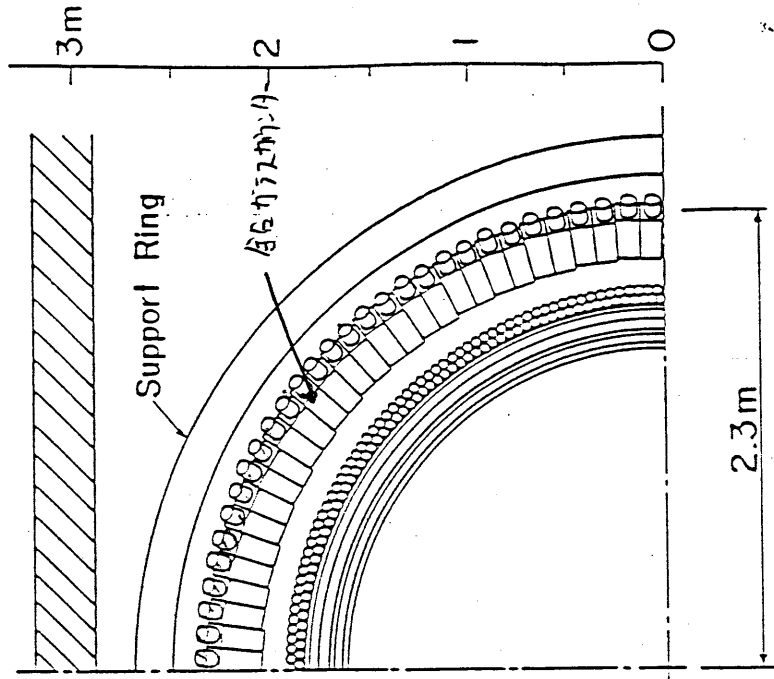


Fig 3.1.1 鉛板配置の断面図

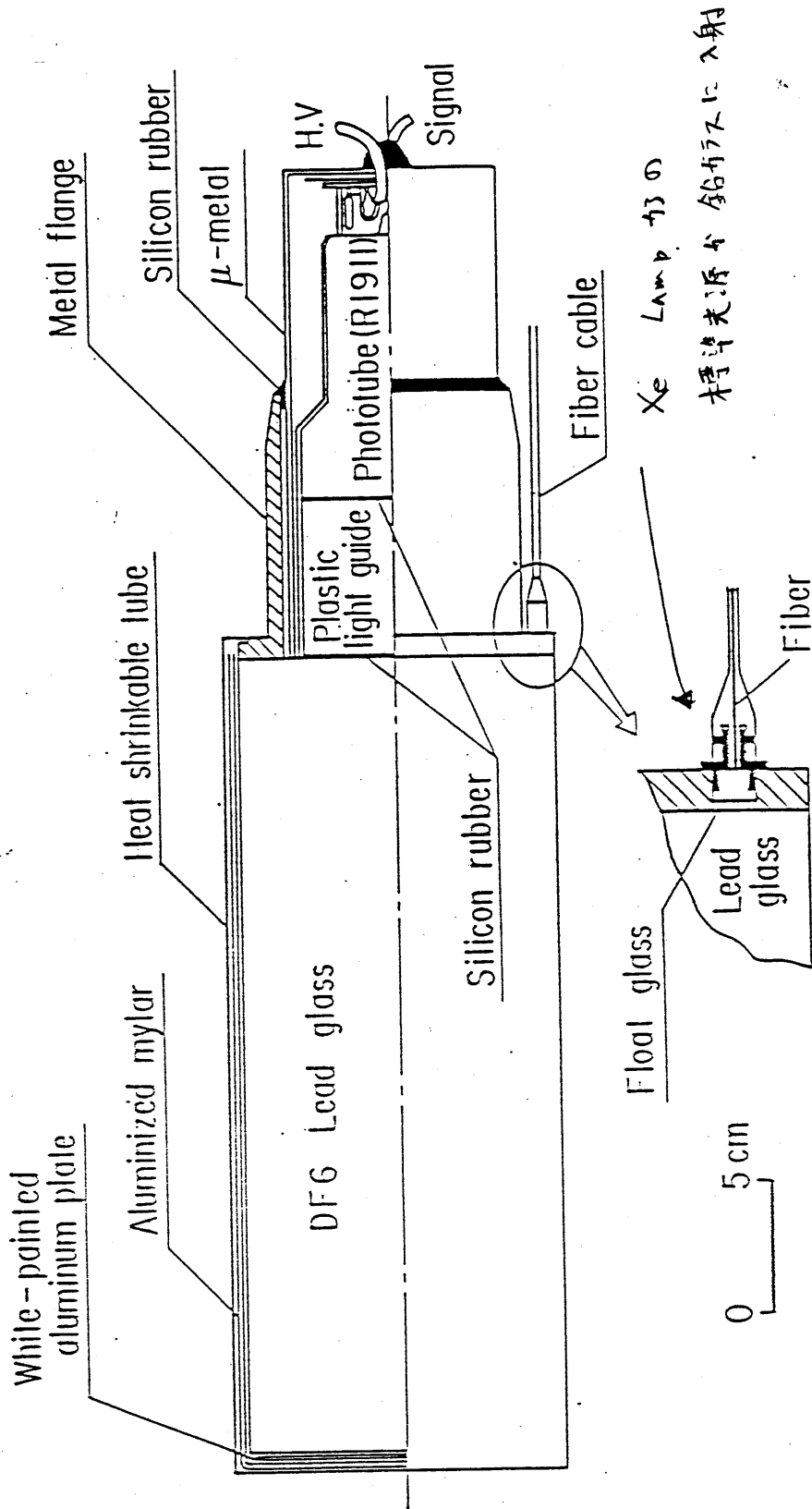
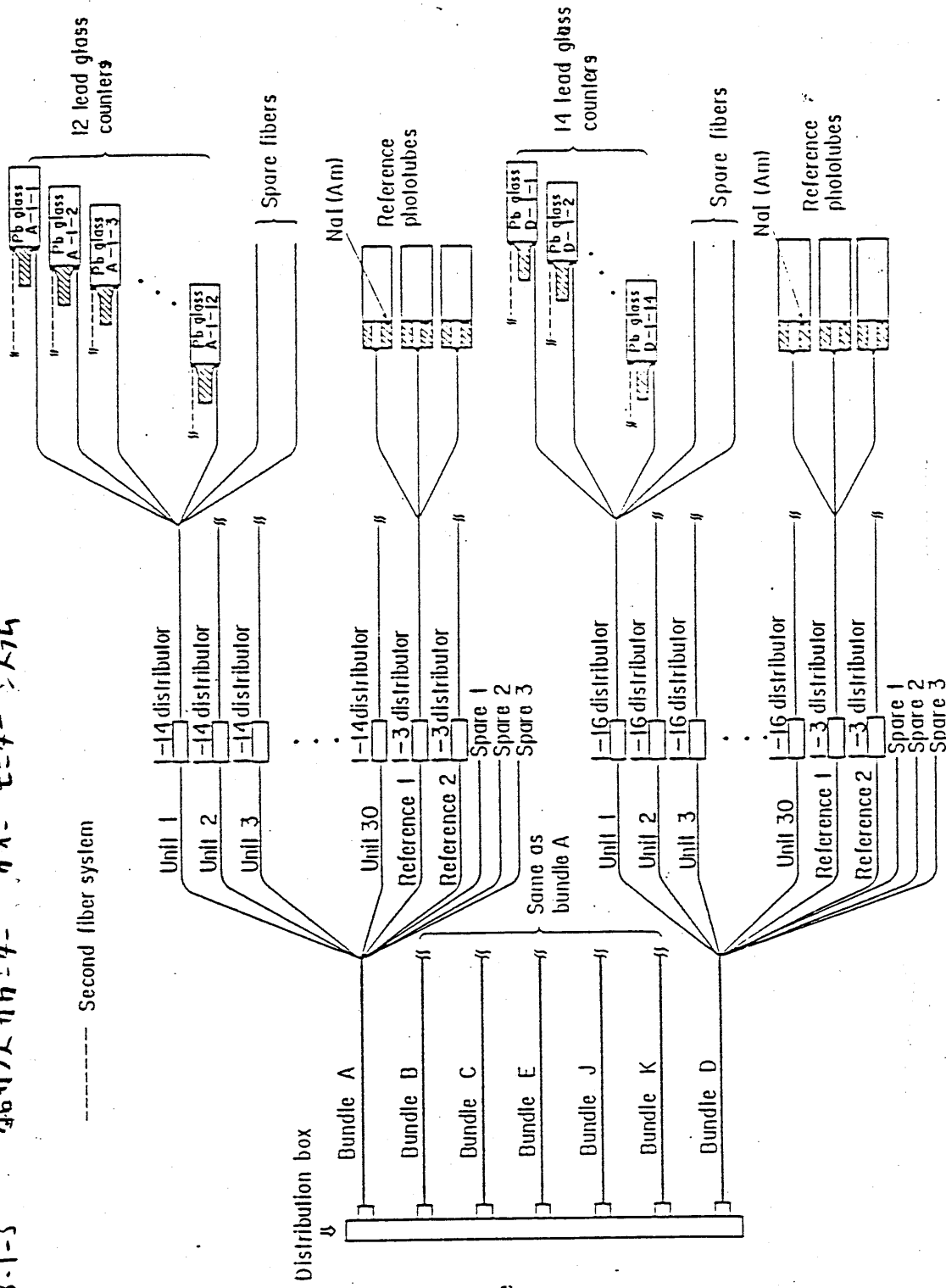


Fig 3.1.2 鉛ガラス検出器の構造図

Fig 3-1-3

鉛ガラスカウンタ用第二光ファイバ系

----- Second fiber system



Xe 光源

Light source
○
||

3-2 鉛ガラスカロリメータデータ収集システムに必要な機能

3-2-1 データ収集に必要な hardware

鉛ガラスカロリメータの信号の読み出しには以下の仕様を満たす

ADC (Analog to Digital Converter) が必要である。

1) channel 数は 鉛ガラスカロリメータ 5160 channel γ reference PM 用 数 10 channel

2) charge は γ - γ interference を測定できるように 50 GeV まで測定できるように 1500 bit 程度の dynamic range を持つこと

3) fast clear - gate の ADC の初期化に十分な時間が 600 msec 以上必要である。

4) ADC の gate 幅は wide gate / 500 msec \sim narrow gate 50 msec まで可変可能である。

ここで wide gate は Xe monitor run 用に使用し

narrow gate は physics run 用に使用する。

5) ADC の変換時間は 1 msec 以内であること

1) 常に L3 の値より大ききデータのみを読み出す機能

2) ADC の分解能は 12 bit 以上

がなければならない。

3-3 鉛ガラスデータ収集システムの構成

Fig 3.3.1 に VENUS 鉛ガラスカロリメータデータ収集システムの構成を示す。我々の FASTBUS ADC system は Lecroy research systems 社 (LRS) の SYSTEM 1800 DATA ACQUISITION SYSTEM を採用した。

鉛ガラスカロリメータの 5160 ch の PMT の信号は約 60 個の 1885N ADC module に 96 channel ずつ接続された。従って 20 module の ADC の挿入にわたる 3 台の crate が必要である。

その他に Reference PMT, PD のための ADC が 1~2 module 必要で、1 台の crate に 9 のために準備した。Reference monitor 用の crate は鉛ガラス用と独立に用意した理由は physics room の置片 VAX が鉛ガラスのデータ収集している間でも独立に Micro II が reference monitor を実行する必要があるためである。

また各 crate には 1810 (AT) (Calibration Trigger Module) が挿入された。Trigger processor が trigger signal, fast clear 及び ADC 用 gate, fast clear を作り、これらの信号を (AT に入力した) (AT は gate, fast clear を各 ADC に FASTBUS TR line を経由して分配した)。

(AT には ADC の calibration のための DAC (Digital to Analog converter) があり DC level = 0~10 V を 12 bit の分解能で FASTBUS UR-line を経由して各 ADC に分配した)。

各 ADC は内部に (AT) の DC level に比例した Pulse を作り、Pulser を持つのは $\pm 15\%$ の相対精度で calibration された。

各 crate には SMI (Segment Management Interface) と呼ばれる FASTBUS Master が 1 台ずつ接続された。ADC が distribute された。

data は SMI の data memory に吸い上げられ、このとき SMI の Pedestal memory, threshold memory は各 ADC channel の Pedestal, threshold を書き込んでおく、ADC の data が data memory に吸い上げられた時 Pedestal を減算し、threshold 以下の data は切り捨てられ SMI の hardware に送り出される。

SMI は data を data memory に転送し終わると 1892 MEB に近い SMI の data memory の内容を MEB の buffer に吸い上げ送り出す。

MEB は 4 つの SMI の data memory の内容を Scan L MEB の buffer に 20MB/sec の高速度で転送した。これは、

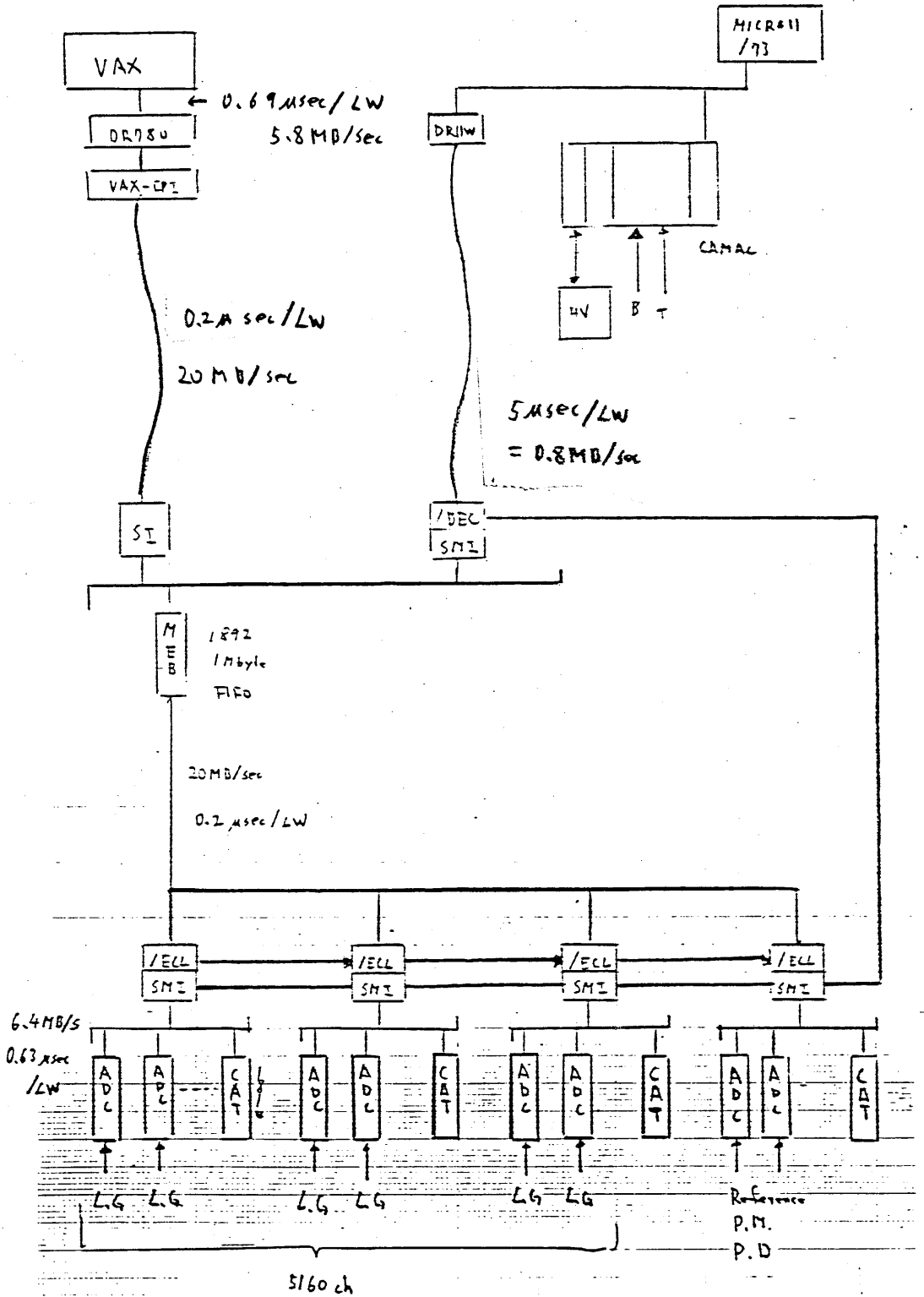
VAX FPI は MEB の word count register を読み data 量を知りながら Pipelined transfer mode で data を VAX の memory 20 MB/sec の高速度で転送した。

また MICRO-PDP11/73 を DR11W - SMI/DEC の経路で MEB の data を読むことが可能である。これは MICRO-11 は MEB を通じた経路で 4 個の SMI に Access 可能で、VAX の physics run 中に reference PMT, PID の data を読むことが可能である。

Fig 3-3-1

VENUS BARREL

7-7 収録: 274



第 IV 章 ADC 校正監視システムの開発及びその性能評価

4-1 始めに

現時点でまだ MEB が入手不能であるため Fig 4-2-1

に示す set up で ADC calibration system を構成し SMI
micro-code の開発 MICRO PDP 11/7J 上の (calibration 用 software
の開発を行った。この ADC 読み出し system の性能評価を
行った。

4-2 測定のための set up

Fig 4-2-1 に示す通り: MICRO COMPUTER MICRO PDP11/73 へ

ADL (calibration のための on line computer) を使用した。

MICRO-11 と FASTBUS SMI とは 16 bit Parallel interface

DR11W へ接続した。DR11W は Direct Memory Access へ

SMI の data memory の内容を MICRO 11 上の MEMORY に 6 μ sec/LW

(LW = 32 bit) へ転送することが出来る。

また MICRO 11 への Interrupt は現在のところ (AMAL 規格の

INTERRUPT REGISTER に設定されている。

NIM module を構成した calibration 用 trigger logic へ

Fig. 4-2-2 に示す。またその timing chart へ Fig 4-2-3

に示す。この回路へ FAST CLEAR - GATE 間の delay 600 μ sec

は ADL の clear のために必要な時間へ、GATE - INTERRUPT

間の delay は ADL の conversion time 630 μ sec に必要な時間へ。

また (AMAL INTERRUPT REGISTER LAM OUT) へ一段目の Gate

Generator への VETO は MICRO-11 へ event を処理中

に次の trigger が来るのを禁止するために入れている。

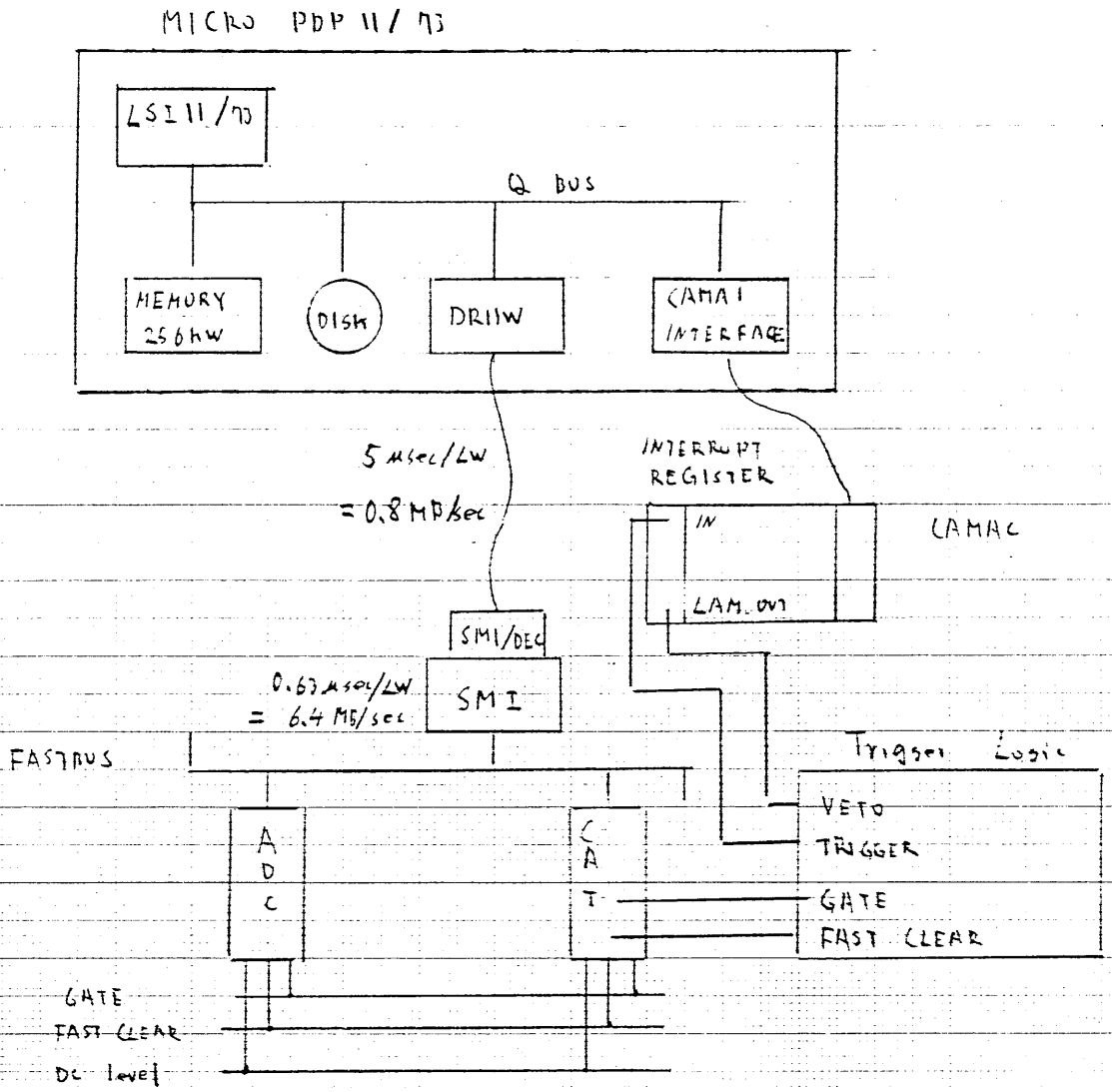
(A7) に NIM trigger logic へ入力した GATE, FAST CLEAR は

FASTBUS 上の TR line を通じて ADC へ入力した。また (AT) へ

来る 0~10V の calibration DC level は FASTBUS UR line を通じて

ADC へ入力した。

Fig 4-2-1 ADC 校正テストのための Set up



4-3 1821 SMI 用 micro-code の開発

我々は LRS社 1821 SMI 用 micro-code を開発した。

この micro code は ADC 高速読み出し用 routine と

"FASTBUS STANDARD ROUTINE PRIMITIVE ACTION" routine
から構成されている。

我々の開発した micro-code は 7117 説明書前に LRS社
1821 FASTBUS Segment Manager / Interface (SMI) [3.3]
の機能に 7117 説明した。

SMI には 以下の機能が 4 つある。

1. Arbitration
2. Slave module の初期化
3. Broadcast
4. FASTBUS reads and write
5. Sparse Data Scan
6. Pedestal Subtraction
7. Data Compression
8. Program 可能な任意の FASTBUS Protocol の実現
9. 上位システムとの接続として

1821/ECL MEB との接続

1821/DEC PDPII, VAXII, LSI-11 Computerの

DR11W 16 bit parallel

Direct Memory Access interface

との接続

2891

CAHAC との Interface

(46)

Fig 4-2-2

Trigger Logic

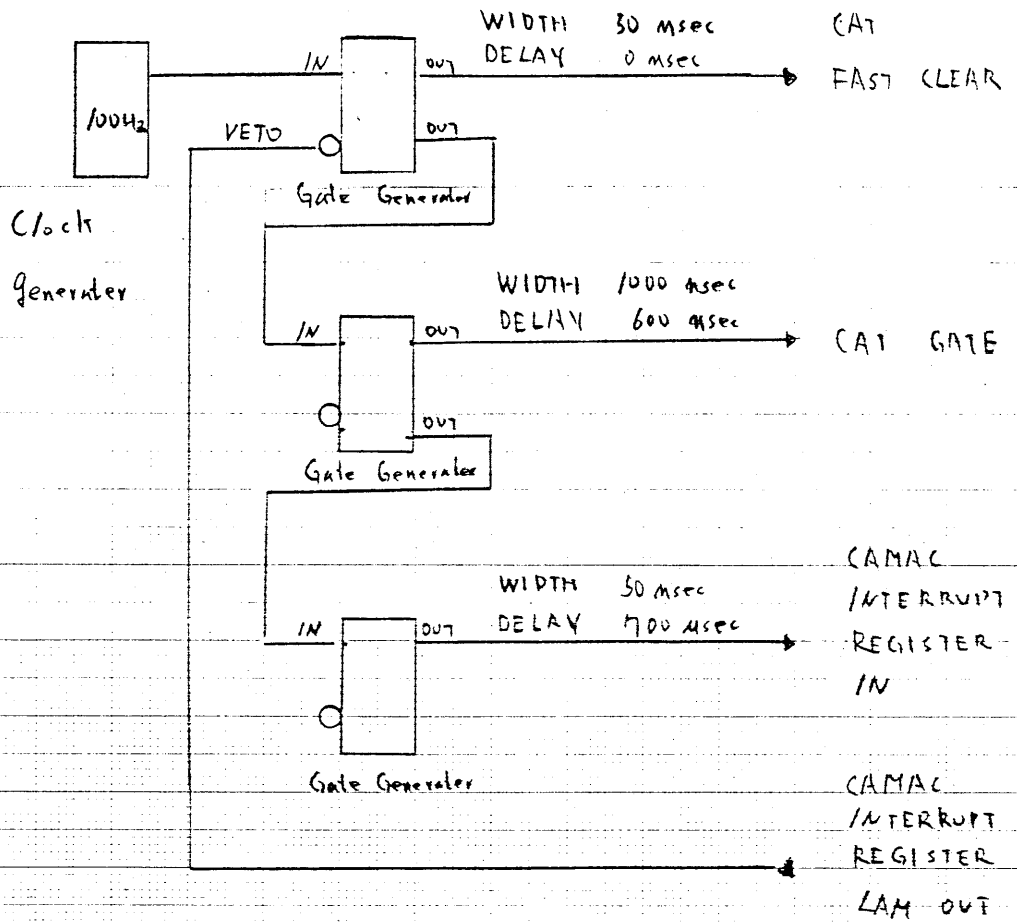


Fig 4-2-3

Trigger Logic Timing Chart

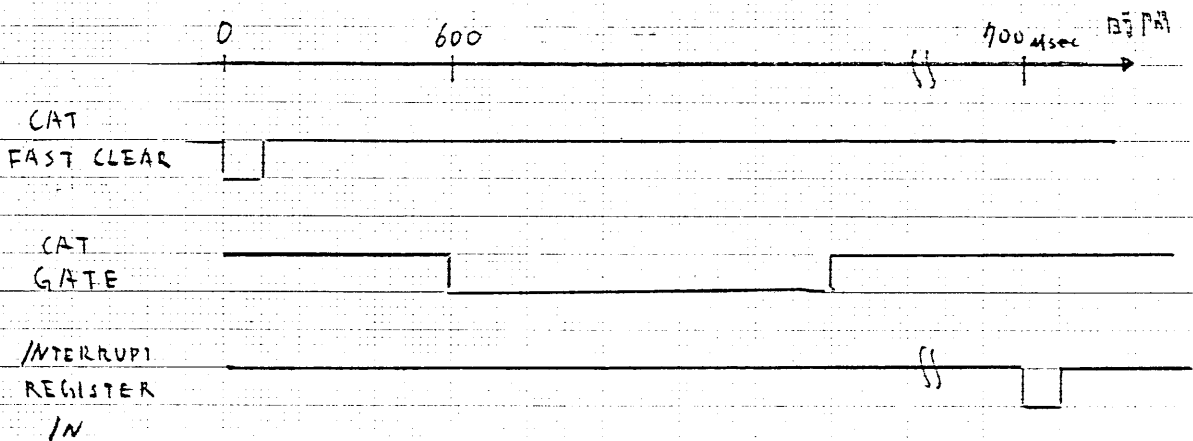


Fig 4-3-1 に SMI の block diagram を示す。SMI は hardware のみで FASTBUS の operation を行うには、64 MHz の clock を受け 64 bit micro code - Sequencer に付し、FASTBUS Protocol line 用、及び 32 bit A/D Line 用 bus buffer をインターフェイスに付し、FASTBUS Protocol を実現する。

また、4k LW (1 LW = 32 bit) の data memory を用意し、micro-code sequencer に付し、ADC の data を 32 A/D lines buffer を通して SMI の data memory に読み込むことが出来る。

また Pedestal subtract と zero-suppression の機能がある。Pedestal subtract の機能は、例えば、Pedestal Memory に ADC の各 channel の Pedestal を書き込んでおき、sequencer が ADC の data を読み data memory に転送するときには Pedestal subtract logic を用いた hardware で各 channel の ADC data からそれぞれの Pedestal の値を差し引くことにより実現される。

Zero suppression の機能は、例えば ADC data の threshold を SMI の threshold register に書き込んでおき、pedestal subtract logic を通した後の Pedestal を差し引かれた ADC data と threshold の値を Zero Suppression Logic が比較して threshold より大きい data のみを data memory に書き込む。

T-Pool Vector Logic は Sparse data scan のための ADC の挿入するための address 付の ADC の data を読むために用いられる。

Micro-program は 64 bit x 256 step の program 可能な 8 種類の異なる Program を Program memory に入れおくことが出来、1 msec 以内 micro-program memory に down load 可能である。

HOST computer MICRO-11/73は DR11W, SMI/DEC による
SMI の I/O and control register と $\bar{T}-4-$ を利用し、また
SMI の logic は $\bar{T}-10-A$ による。

DATA memory 及び HOST への 32 bit の高速 DMA
(Direct Memory Access) channel があり SMI/DEC を利用して

DR11W への Interface については $6\mu\text{sec}/LW = 670\text{KB/sec}$ である

SMI/ECL を利用して MEM への転送率は $0.2\mu\text{sec}/LW = 20\text{MB/sec}$
であり、4KLW の大容量データも高速転送可能である。

Fig 4-3-2 1: SMI の micro-code sequencer の
instruction word と sequencer 付近の block diagram である。
micro-word は 64 bit であるが、実際には 48 bit 分だけ使用
されている。operation-code (op-code) は 4 bit である。

条件、無条件の branch, subroutine call, subroutine からの
return, RV: no operation (Program counter を 1 だけ進める)
が用意されている。算術演算、論理演算などの命令は存在しない。

条件 branch, subroutine call, return は condition code による
multiplexer field による。Table 4-3-1 1: である。値は $\bar{T}-10-A$ に
指定されている。条件による。起る。

また FASTBUS PROTOCOL FIELD は Table 2 1: である。FAST BUS
Protocol line を $\bar{T}-10-A$ によって出力する。

その他 Fig 4-3-2 1 である。また $\bar{T}-10-A$ gate を on/off する
bit-field があり micro-code instruction word には存在しない。

以上述べたように SMI は hardware による FASTBUS の Protocol
line を (drive L) であり、micro-code による FASTBUS Protocol を
実現している。

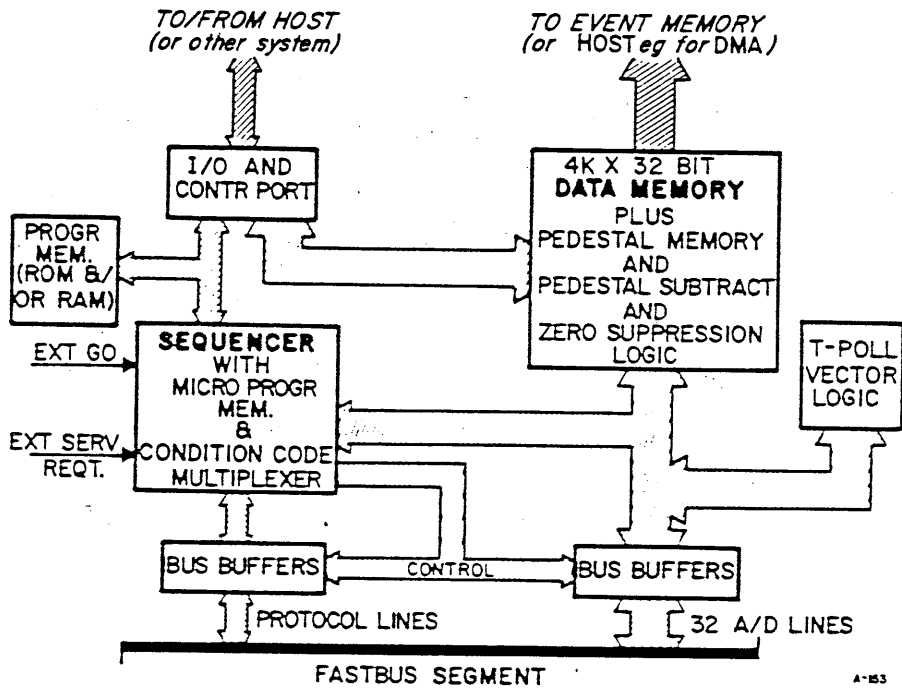
ここで我々の開発した micro-code に基づいて、この micro-code は Microtec 社の MACRO-META ASSEMBLER [3.5] を使って書かれた Ohio State University の OSU-MICRO-CODE [3.4] を我々の system に移植し、我々の system の構成に合わせた改造改良を加えたものを、我々の micro-code を VENUS-MICRO-CODE と呼ぶ。改良点は特に Arbitration のための subroutine を完備した点、また Host へ直接呼ぶことの出来る Macro-Command のレベルで FASTBUS standard routine [2.7] の Primitive Action の routine を用意した点である。このことにより、MICRO-PDP 11/73 上で FASTBUS standard routine を我々の実現した。

Table 4-3-1 に我々の開発した VENUS-MICRO-CODE の FASTBUS STANDARD ROUTINE PRIMITIVE ACTION の Macro-command 及び subroutine の表を示す。

ここで Macro-command とは HOST (MICRO-11) が SMI の I/O register に micro-code のこの command の address を書き込んだ Sequencer を start してこの出力 'main' routine である。また Subroutine は main routine へ呼ぶことの出来るもので subroutine の nesting は出来る。

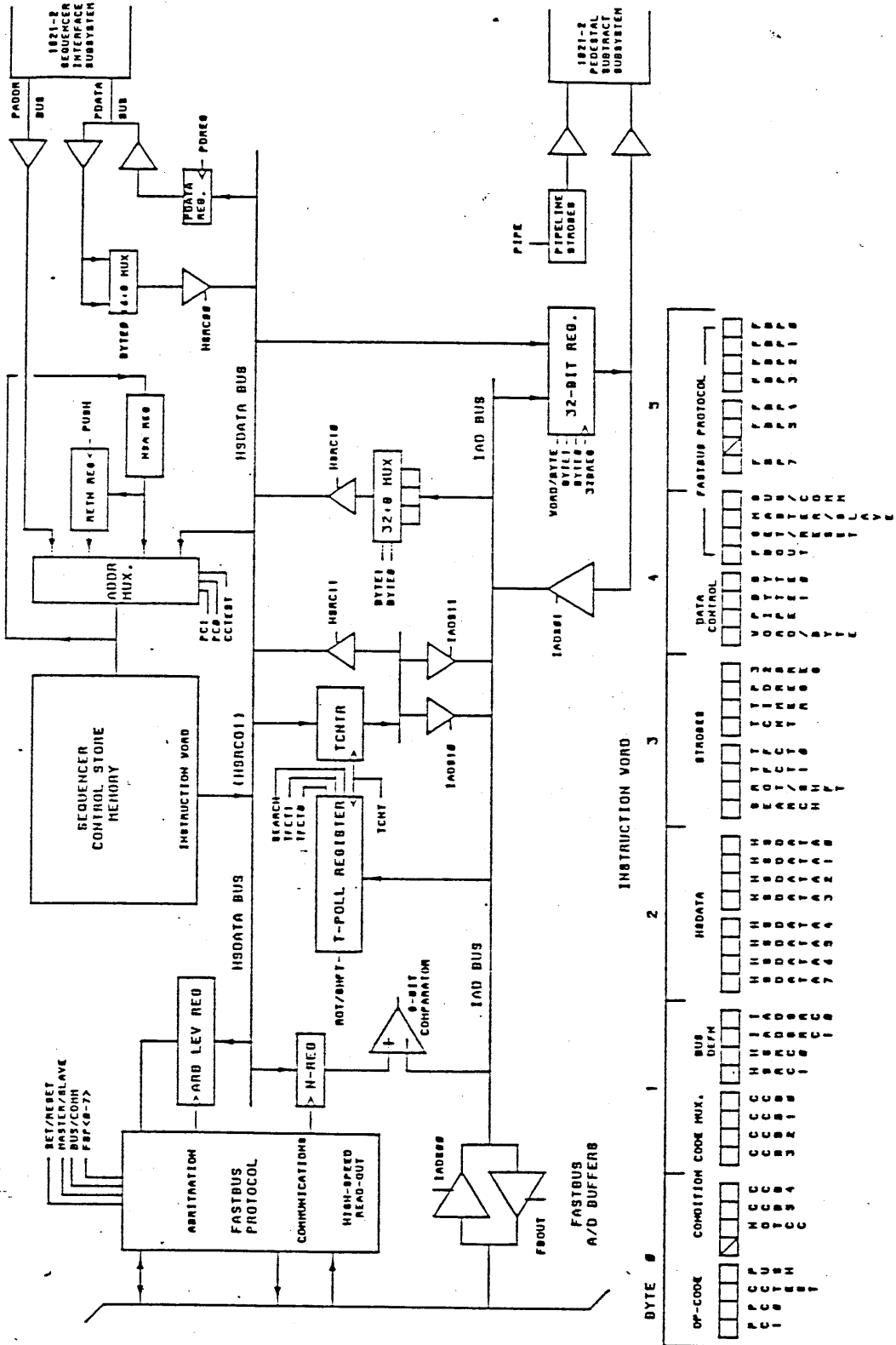
FPRBUS (Assert the RB Pulse) は SMI を初期化し、FASTBUS RB (Reset Bus) signal を出力する routine であり SMI の挿入された FASTBUS crate のすべての module を初期化する。また SMI の Arbitration vector に arbitration level を代入する。この routine は現在のところ Macro command のみで用意されており、SMI の電源を入れた後、MICRO-11 へ一回この MACRO-COMMAND を実行する

Fig 4-3-1 SMI block diagram



A-153

Fig 4-3-2 SMI Micro-code sequencer block diagram



INSTRUCTION WORD

BYTE #	1	2	3	4	5
OP-CODE	P	C	C	C	C
CONDITION CODE MUX.	M	C	C	C	C
BUS DEFN	H	H	H	H	H
STROBES	H	H	H	H	H
DATA CONTROL	H	H	H	H	H
FASTBUS PROTOCOL	H	H	H	H	H

FASTBUS A/D BUFFERS

FASTBUS A/D BUFFER	1	2	3	4	5
1	P	C	C	C	C
2	M	C	C	C	C
3	H	H	H	H	H
4	H	H	H	H	H
5	H	H	H	H	H

Table 4-3-1 Condition Code

TABLE 1

ATTN	(00)	Condition set from I/O Reg 2 of Interface.
PSA/RDY	(01)	A new PSA has been loaded via I/O Reg 2.
LS/FUL	(02)	Data written to I/O Reg 1 not yet read by host.
LS/RDY	(03)	New data word loaded into I/O Reg 2 by host.
Osc	(05-07)	Program synchronizable oscillators for timing.
ZGCNT	(08)	The I Reg value is zero.
AD/VAL	(09)	Address in I Reg valid. (See SDS below)
T Stat	(0A)	The T Register is empty.
LSB = <comp>	(0B)	Least significant byte = Comparison Register.
MSB = 0	(0C)	Most significant byte = Comparison Register.
LS16 = <comp>	(0D)	Equivalent to CC = 0B and second byte = 0
MS16 = 0	(0E)	Upper two bytes of IAD = 0
IAD = <comp>	(0F)	Equivalent to CC = 0B and remaining bytes = 0
IRN Bit 0-7	(10-17)	I Reg bit
AS/AK	(18)	Meaning set by Master/Slave bit in instruction
DS/DK	(19)	Meaning set by Master/Slave bit in instruction
RD/(DS = DK)	(1A)	Meaning set by Master/Slave bit in instruction
T/(AS=AK=0)	(1B)	Meaning set by Master/Slave bit in instruction
EG/AG	(1C)	Meaning set by Master/Slave bit in instruction
MS/SS bit 0-2	(1F-1D)	Meaning set by Master/Slave bit in instruction
(MS=/SS=) 0-7	(20-27)	Meaning set by Master/Slave bit in instruction
RB	(28)	FASTBUS protocol
BH	(29)	FASTBUS protocol
AI	(2A)	FASTBUS protocol
GK	(2B)	FASTBUS protocol
WT	(2C)	FASTBUS protocol

Table 4-3-2 FASTBUS Protocol Latch

TABLE 2

Group 0		Group 1	
Arbitration	Miscellaneous	Master	Slave
GK	RB	AS	AK
(A)GK	BH	DS	DK
EAI	AI	Rd	T
EG	AG	MS2	SS2
		MS1	SS1
		MS0	SS0

けがなされた。

FPREQ (Request Mastership) は 1 の FASTBUS crate の bus arbiter に対して FASTBUS の 専有権を要求するための、他の MASTER が bus を専有している場合は bus の専有を解除するための routine の中で行われる。

FPREL (Release Mastership) は 専有した bus を解除するための routine である。FPREQ, FPREL による Multi master の system において SMI を使用してかき出される。例えば 684FPI と SMI と 1 の FASTBUS crate に入った同時に動作させ Arbitration の test を行うことが出来る。

FPAD (Address Single Listener in Data Space) は FASTBUS の primary address cycle と Data Space に対して行われる routine である。この routine による FASTBUS crate 内の任意の slave module の data space を選択する。

FPAC (Address Single Listener in CSR space) は FASTBUS の primary address cycle と CSR space に対して行われる routine である。この routine による SMI は FASTBUS crate 内の任意の slave module の CSR space を選択する。

FPADM (Broadcast Address to Data Space) は FASTBUS の broadcast address cycle と Data space に対して行われる routine である。FASTBUS crate 内の複数の slave module (Data Space) を同時に選択する。

FPACM (Broadcast Address to CSR Space) は FASTBUS の broadcast address cycle を CSR Space に 717 行 routine 1 の FASTBUS crate 内の複数の slave module の CSR space に同時に選択する。FPACM, FPADM は複数の slave module の初期化や、データの消去のために用いる。

FPWNTA (Write to NTA register) は primary address cycle 1 の slave module が選択された後、その slave module 内の NTA (Next Transfer Address) register に secondary address を書き込むことになり、secondary address cycle 1 行の routine 1 になる。Secondary address cycle 1 は 1 の slave module 内の data space 及び CSR space 内に 2^{32} の address 空間をともてが出来る。FPWNTA は single device 用と Broadcast 用の 2 種類の routine を用意している。

FPRNTA (Read NTA register) は slave module 内の NTA register を選択するための routine 1 になる。この routine 1 は MEB までの FIRST IN - FIRST OUT device 1、現在その slave module 内の NTA register の内容が SMI 1 が読まれている。MEB までの NTA register の内容は data の転送による 1 つの加算 (あるいは減算) などの必要機能がある。

FPR (Single Read Cycle) は上に述べた address cycle 1 を選択された module の address 1 717 read cycle 1 行の data memory に書き込む、Slave の status SS response = 2 のときは read cycle 1 SS=0 になるまで繰り返す。

②②① 'Read Broadcast and Set T Pool Logic' は Broadcast address cycle T space data scan を行した後, Slave module 45 AD line 1-0 の 2 進 2 値 T-pin の値を読み取り SMI の T-pool Logic に書き込む routine である。この routine は FASTBUS の standard である。

FPW (Single Write Cycle) は address cycle T 選択 + 1 空間に亘り write cycle を行う routine である。

Block Transfer mode は現在の 223 routine を用意している。Block Transfer Read cycle は MEB の data を読むために必要なので近い将来に用意が予定されている。しかしながら Block Transfer Write Cycle は SMI の構造上実現出来ないのである。代わりに MEB の data memory に read 専用がある。

最後に FPADRR (Release Address Connection) は address cycle を解除するための routine である。SMI は FASTBUS AS line を negate し Slave への address の接続を切り

Table 4-3-B VEXUS - MICRO - CODE FASTBUS STANDARD ROUTINE PRIMITIVE ACTION

FASTBUS STANDARD ROUTINE		SUI MICROCODE	
PRIMITIVE ACTIONS	Functions	Macro Commands	Subroutines
FPRBUS	FB_PRIH_HBI	Assert the RB Pulse	CPRNUD
FPRCQ	FB_PRIH_REQ_OKI	Request Mastership	CPREQ
FPRRR	FB_PRIH_RELEASE_ADDR:	Release Address Connection	CPADR
FPRCL	FB_PRIH_RELEASE_BUSI	Release Mastership	CPREL
FPAD	FB_PRIH_ADDR_DAI	Address Single Listener in Data Space	CPAD
FPAC	FB_PRIH_ADDR_DAI	Address Single Listener in CSR Space	CPAC
FPADI	FB_PRIH_ADDR_DAI	Broadcast Address to Data Space	CPADI
FPACU	FB_PRIH_ADDR_DAI	Broadcast Address to CSR Space	CPACU
FPUNTA	FB_PRIH_WRITE_HTAI	Write to HTA Register	CSRC
FPUNTA	FB_PRIH_READ_HTAI	Read HTA Register	CSRC
FPR	FB_PRIH_READ:	Single Read Cycle	CSRC
FPRU	FB_PRIH_WRITE:	Read Broadcast and set I pool logic	CSRC
FPRMI	FB_PRIH_READ_BLOCK:	Single Write Cycle	CSRC
FPRBI	FB_PRIH_WRITE_BLOCK:	Block Transfer Read Cycle	CSRC
		Block Transfer Write Cycle	CSRC

Fig 4-3-3 に ADC 高速読み込み用 MACRO-COMMAND
'TRIG' の流れ図を示す。

'TRIG' routine において、まず GETBUS して FASTBUS を占有
し ASLBC を含む Broadcast to CSR space 9D₍₁₀₎ を行う
これは sparse data scan して RDTP して T pool register

に ADC module の有無を示す bit-pattern を

T pool register を shift し T bit が 1 になるまで

1 になるまで address に ADC が入っているのを ADC の data を

Slave の SS response が 2 になるまで read cycle を 1 回

data memory に書き込む (RD32)

つぎに読み込み後 ADC の初期化を行う。

再び T Pool register を参照して 0 になるまで ADC module が
存在しないのを FASTBUS を解放しこの command を終了する。

また T Pool Logic を 1 bit shift しただけで 1 になるまで
相当の address の ADC を読み込む。

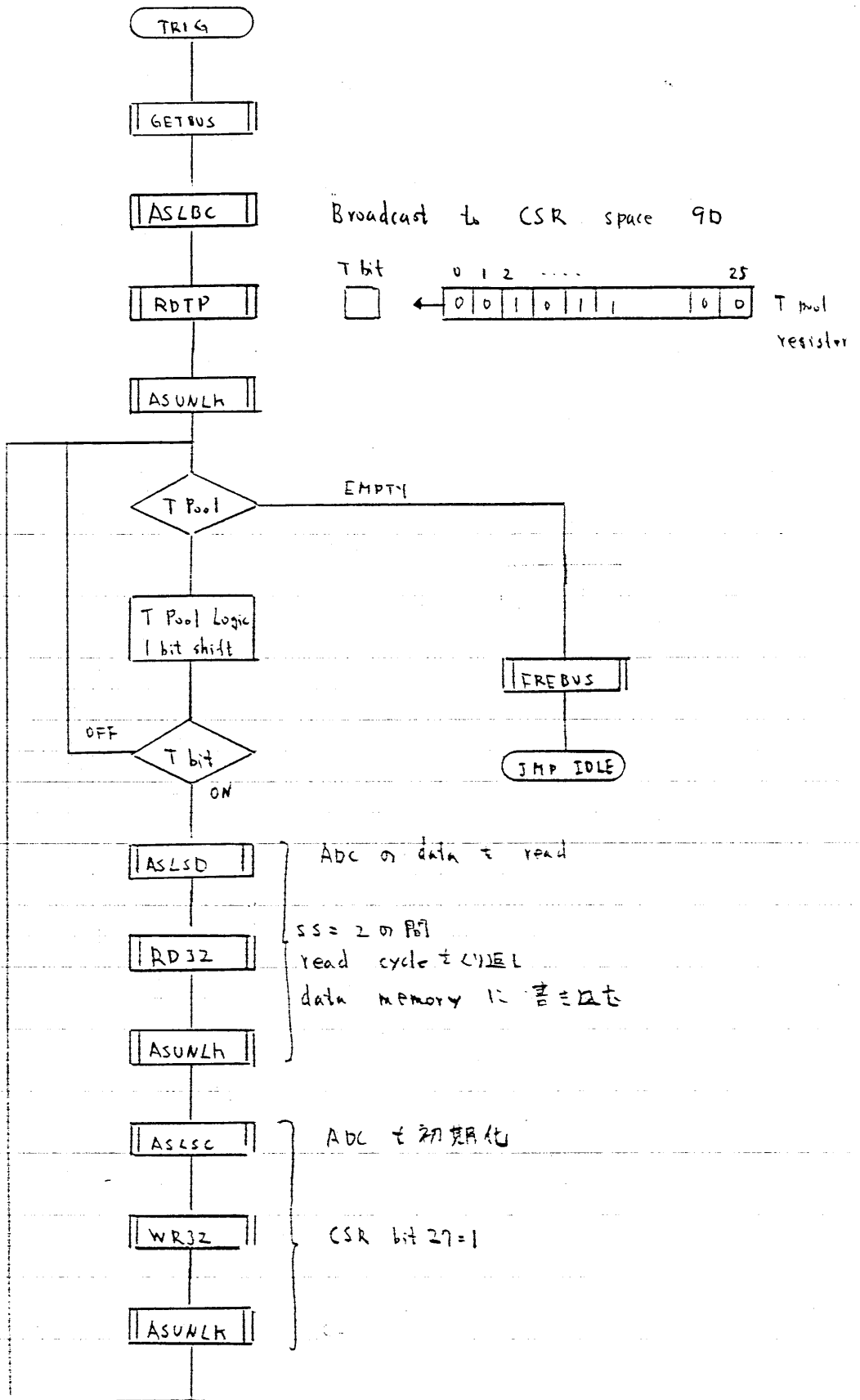


Table 4-4-1 FASTBUS STANDARD ROUTINE ^{for} MICRO PDP 11/70

FASTBUS OPERATION ROUTINES	Functions	BHI MICROCODE	Macro Commands	Subroutines
FRD(STATUS,CHTRL,FBADR,SECADR,INBUF)	Read Single Word from Data Space			
FWD(STATUS,CHTRL,FBADR,SECADR,OUTBUF)	Write Single Word to Data Space			
FRG(STATUS,CHTRL,FBADR,SECADR,INBUF)	Read Single Word from GSR Space			
FUG(STATUS,CHTRL,FBADR,SECADR,OUTBUF)	Write Single Word to GSR Space			
FRDH(STATUS,CHTRL,FBADR,SECADR,INBUF)	Broadcast Read Single Word from Data Space			
FWDH(STATUS,CHTRL,FBADR,SECADR,OUTBUF)	Broadcast Write Single Word to Data Space			
FRGH(STATUS,CHTRL,FBADR,SECADR,INBUF)	Broadcast Read Single Word from GSR Space			
FUGH(STATUS,CHTRL,FBADR,SECADR,OUTBUF)	Broadcast Write Single Word to GSR Space			
FASTBUS STANDARD ROUTINES				
PRIMITIVE ACTIONS				
FRRBUS(STATUS,CHTRL)	Assert the RB Pulse	CRBUS		GETBUS
FRREQ(STATUS,CHTRL)	Request MasterShip	CRREQ		ASUNLK
FRPADR(STATUS,CHTRL)	Release Address Connection	CPADRR		FREBUS
FRREL(STATUS,CHTRL)	Release MasterShip	CPREL		ASLSD
FRPAD(STATUS,CHTRL,FBADDR)	Address Single Listener in Data Space	CPAD		ASLSC
FRPAC(STATUS,CHTRL,FBADDR)	Address Single Listener in GSR Space	CPAC		ASLSD
FRPADH(STATUS,CHTRL,FBADDR)	Broadcast Address to Data Space	CPADH		ASLDC
FRPACH(STATUS,CHTRL,FBADDR)	Broadcast Address to GSR Space	CPACH		BEC
FRPHTA(STATUS,CHTRL,SECADR)	Write to NTA Register	CSEC		SECRD
FRPNTA(STATUS,CHTRL,SECADR)	Read NTA Register	CSECRD		
FRFR(STATUS,CHTRL,INBUF)	Single Read Cycle	GPR		RD32
FRFW(STATUS,CHTRL,OUTBUF)	Single Write Cycle	CRU		VR32

4-4 MICRO PDP-11/73 上の SMI サポート用ソフトウェアの開発

我々は MICRO PDP-11/73 上の SMI 用の Fortran callable 及び FASTBUS standard routine を開発した。

Table 4-4-1 に開発した routine の表を示す。

このうち FASTBUS PRIMITIVE ACTIONS の SMI の Macro Command を呼び出して実現し、FASTBUS OPERATION ROUTINEは FASTBUS PRIMITIVE ACTION の組み合わせで実現している。

また、初歩型の SMI 用 FASTBUS operation tool 'SMI' を開発した。使用例を下記に示す。

```
SMI>INIT
SMI>MOV MENU$0 SEQ$
SMI>FWD 10,0,FFFFFFFFH
FBADR= A SECAD= DATA=FFFFFFFF
SMI>FRD 10,0
FBADR= A SECAD= DATA=FFFFFFFF
SMI>FWD 10,0,55
FBADR= A SECAD= DATA= 55
SMI>FRD 10,0
FBADR= A SECAD= DATA= 55
SMI>^Z
```

INIT と SMI の初期化をしない。また Mov MENU\$0 SEQ\$

は SMI の menu memory の 43 sequence の memory に

micro-code を download している。FWD 10, 0, FFFFFFFFH は

FASTBUS address 10 に挿入されている我々の開発した FASTBUS I/O

register type III [3.7] の secondary address 0 Data space

に FFFFFFFF (16) を書き込む command である。FRD 10, 0

は書き込んだ data を同じ address から読み出した command である。

4-5 MICRO PDP 11/73 上の E=4-用 177トウエブ の開発

MICRO - PDP 11/73 上 112 real time multi task multi user の
RSX-11M PLUS operation system を使用し, data taking に 12
MICRO KEXX [3.6] を base にしたものを使用した。

MICRO KEXX では, data の channel 数が 100 bin の
histogram に 278 個定数付の 50 channel 程度の histogram が
定義出来る。そのために, VENUS BARREL の ADC calibration
system に 12 定義出来る channel 数が足りず, 少々不足

1 FASTBUS CRATE の 20 ADC module 合計 1920
channel 程度の PULSE Height の monitor 等を行った。

そこで新たな Histograming tool を作成した。これは MICRO KEXX
の MINI HP と同程度の速度, 1 channel の filling に 100 μ sec
以下の物理的 memory の許す範囲の channel の histogram を
定義出来る。例えば 192 kW の memory を HISTOGRAM の region
に定義すれば, 1920 channel \times 100 bin の histogram が可能である。
またこの histogram の region は dynamic に生成, 消去出来るので
memory の有効利用がはなれた。

我々の Micro PDP11/70 上の SMI の 'TRIG'

macro-command を使用した DR11W の DMA (Direct Memory Access) を用いた ADC data の高速読み出し

routine を開発した。 Fig 4-5-1 に 読み出し時間

と ADC channel 数の関数を示す。ここで示した転送時間は

(AMAC に Interrupt が入った LAM OUT が negate した際の

時間) であり、MICRO-11 上の 1 event の処理時間である。

従って 1 event の処理時間は

$$t = 700 \mu\text{sec} + 1360 \mu\text{sec} + 47 \mu\text{sec} \times \text{channel 数}$$

を示す。

ここで 700 μsec は ADC の変換時間、1360 μsec は SMI の macro-command 実行のための時間、DMA start のための DR11W の初期化のための時間との和である。

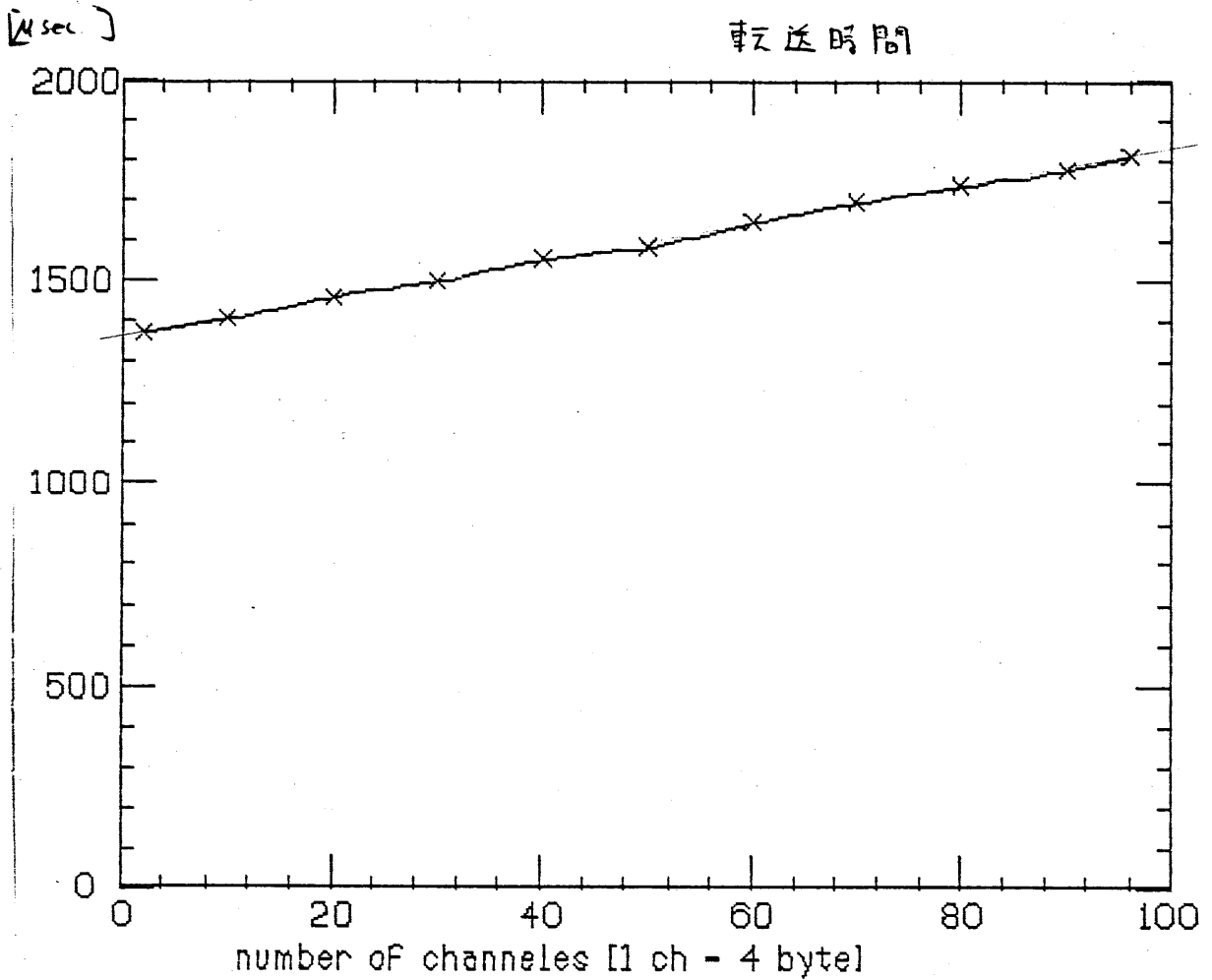
さらに全 channel histogram の filling を行う仮定では

$$100 \mu\text{sec} \times \text{channel 数}$$

の時間が必要 event には示す。

Fig 4-5-1 SMI/DEC → DR11W

転送時間



$$t [\mu\text{sec}] = 1360 \mu\text{sec} + 4.7 \mu\text{sec} \times \text{channel}$$

46 CAT を用いた ADC の 較正 監視

ADC 1885N の CAT を用いた 較正 試験 を 行 った。

測定期間 は 86年 1月 12日 ~ 1月 23日 で 約 240 回 の run を 行 った。

test は ADC の low range high range に ついて 行 った。

10 point ずつ CAT の Calibration DC level の output を 変化

させ ADC の count を 測定 した。

各 point ごと 1000 event ずつ 測定 し 1000 event の

ADC count の 平均 と 偏差 を 計算 し 96 channel \times 10 point

の data を 1つの disk file に save した。

後に offline で CAT の count に ついて ADC の 1000 event の
平均 を 最小二乗法 で fit し ADC の gain を 求めた。

その 結果 この CAT を 使った Calibration を Histogram に 全 event
を fill した 方法 に 対して 100 Hz が 行 った ことが 出 きた。

これは 4-5 行 示 した 式-4- 処理 時間 の 式 と 一致 した。

4-7 CAT を用いた 較正試験の結果

E.

Fig 4-7-1 は ADC low range ch=0 に于いて

CAT count を 0 ~ 500 まで 50 step ずつ変化させた

各点で ADC count を 1000 event ずつ取りこれを平均したものを

プロットし直線 fit したものである。ch=0 の ADC low

range の gain は 0.057 pc / count である。

Fig 4-7-2 に Fig 4-7-1 で示した data に于いて

直線 fit の結果を図示した。

Fig 4-7-3 に ADC high range ch=0 に于いて

CAT count を 0 ~ 4000 まで 400 step ずつ変化させた

各点で ADC count を 1000 event ずつ取りこれを平均したものを

プロットし直線 fit したものである。ch=0 の ADC high

range の gain は 0.398 pc / count である。

Fig 4-7-4 に Fig 4-7-3 で示した data に于いて直線 fit の

結果を図示した。

Fig 4-7-5 に ADC low range ch=0 に于いて

Pedestal の時間変動を示す変動は 5日間 ± 2

count 程度にである。

Fig 4-7-6 に ADC high range ch=0 に于いて Pedestal

の時間変動を示す変動は ± 1 count 程度にである。

Fig 4-7-7 に ADC low range の gain の 時間変動
を示す。変動の割合は 0.1 % 程度である。

Fig 4-7-8 に ADC high range の gain の 時間変動
を示す。変動の割合は 0.1 % 程度である。

Fig 4-7-1 APC low range ch=0 of CAT Calibration

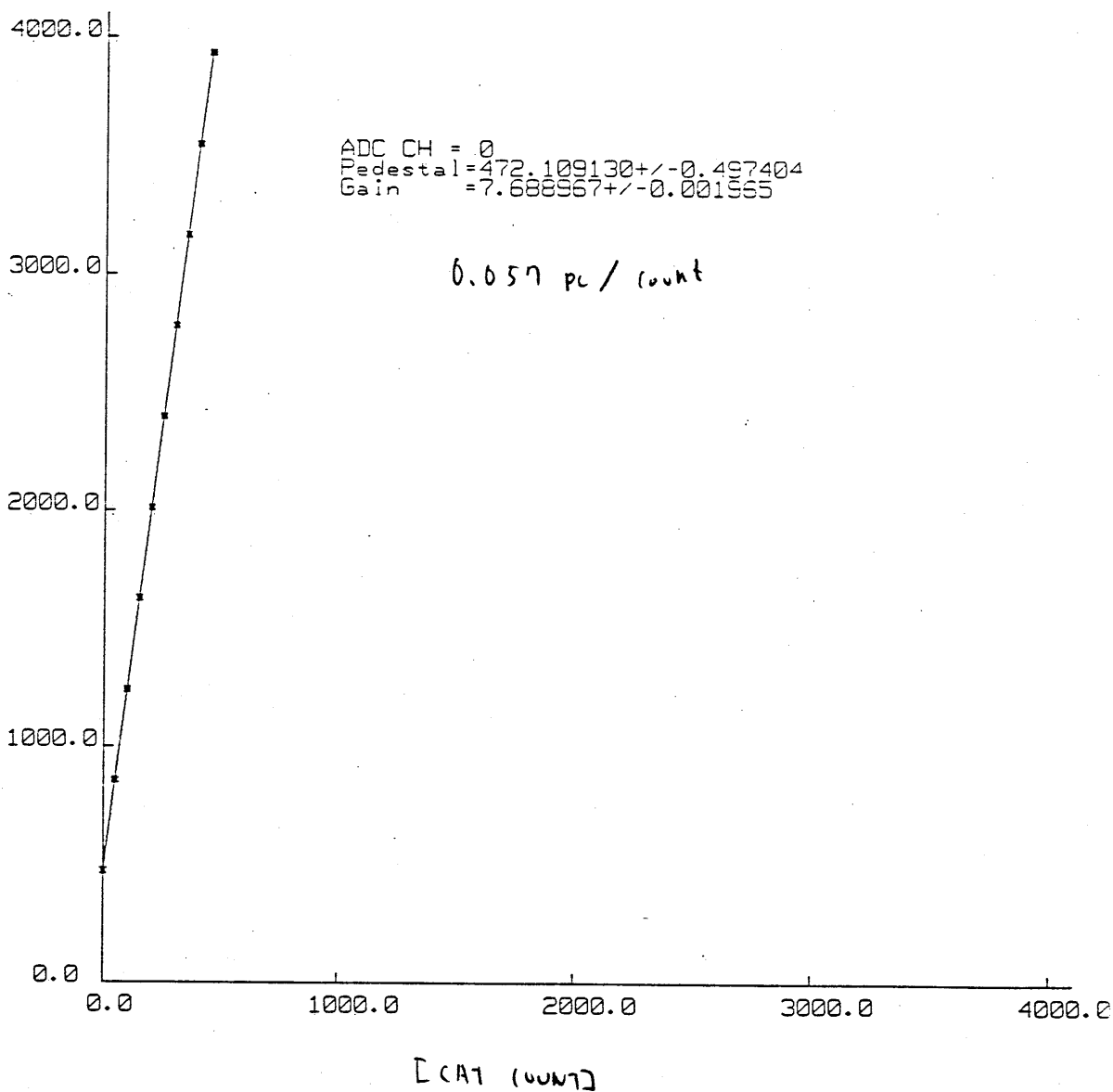


Fig 4-7-2 ADC low range ch=0 n CAT CALIBRATION

linear fit 430 t'h

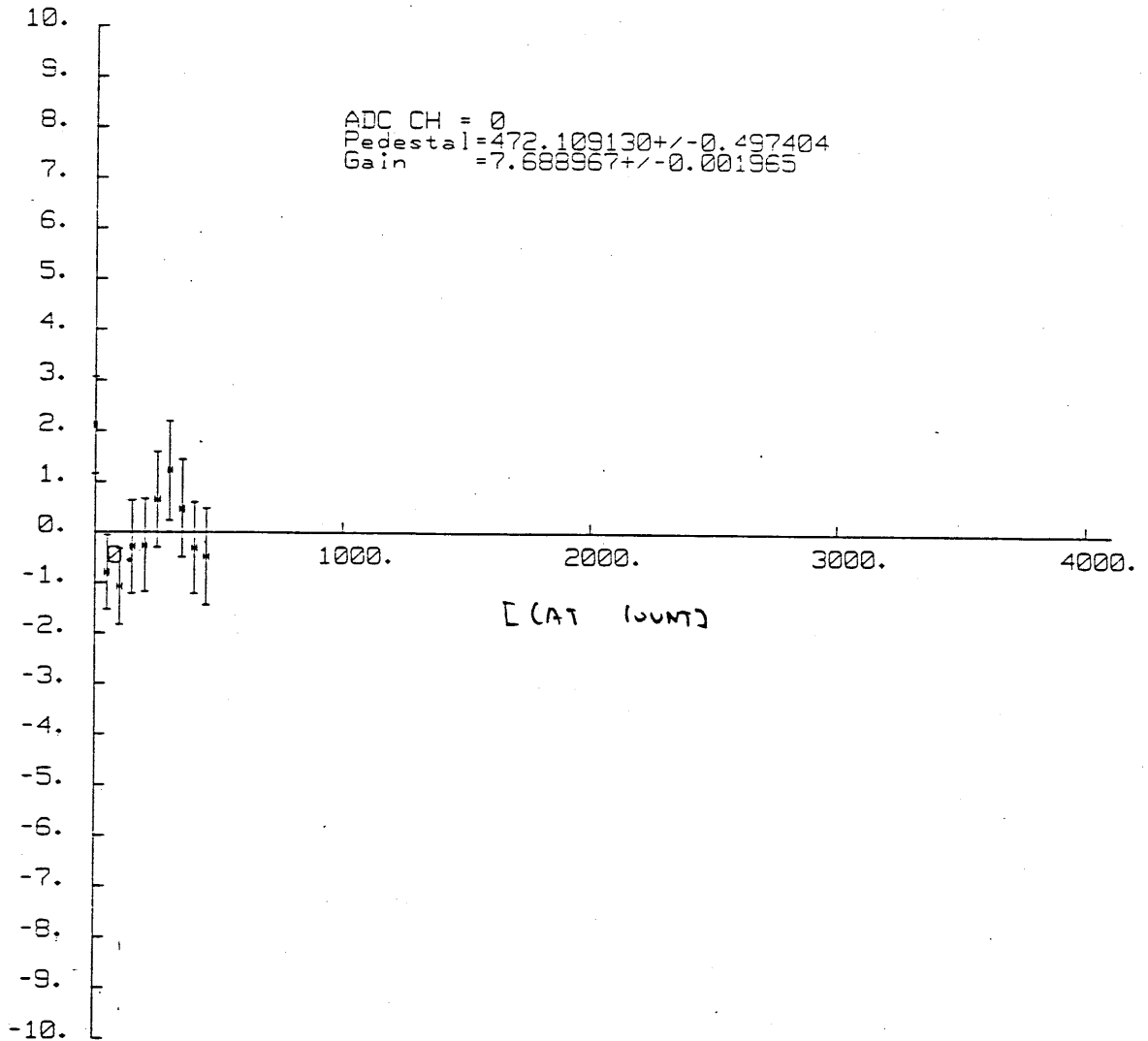


Fig 4-7-3

ADC high range ch 0 of CAT Calibration

ADC CH = 0
Pedestal = 301.429180 +/- 0.518115
Gain = 0.982183 +/- 0.000253

= 0.348 pC/count

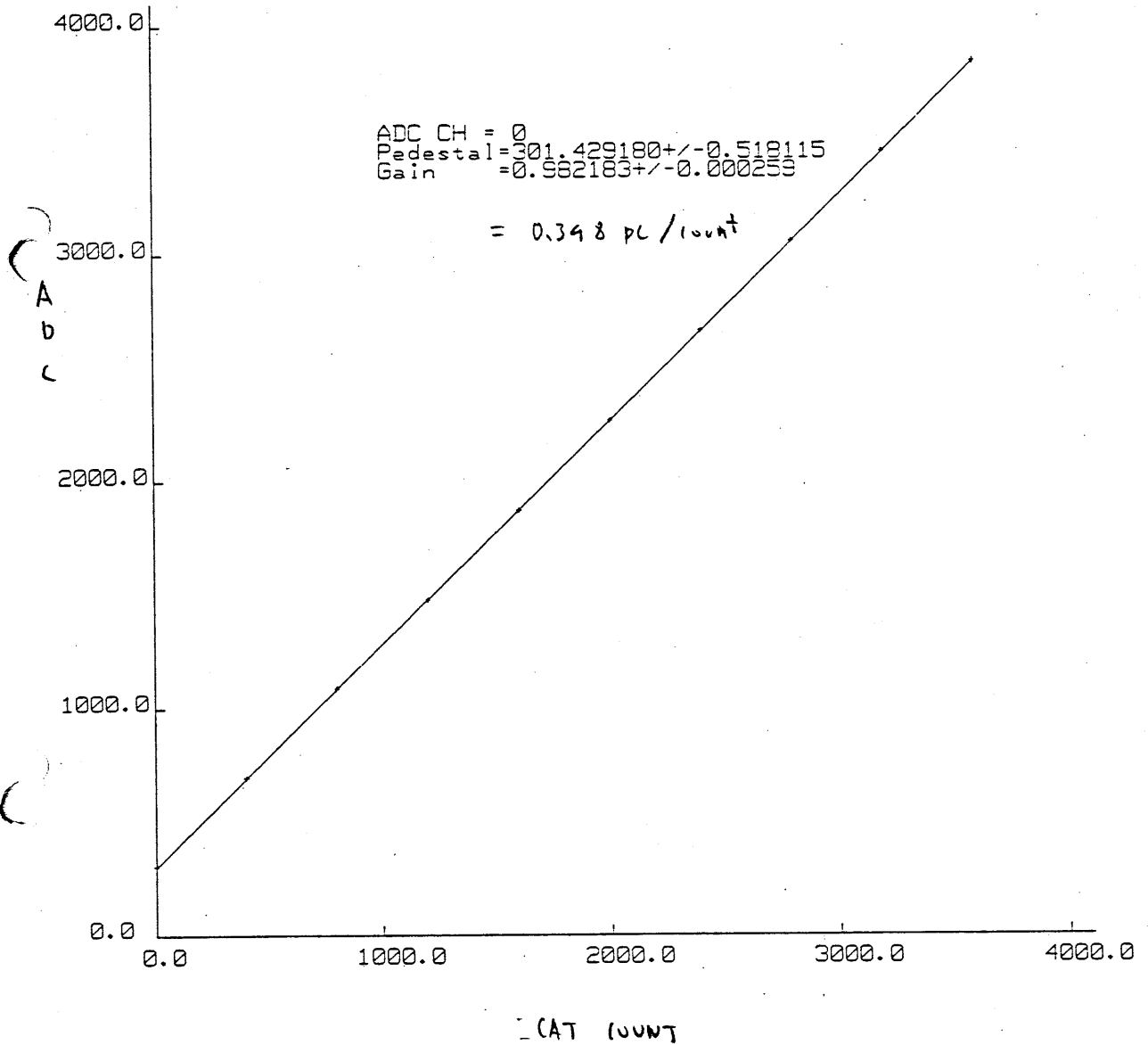


Fig 4-7-4

ADC low range ch=0 of CAT Calibration

linear fit 43 of 49

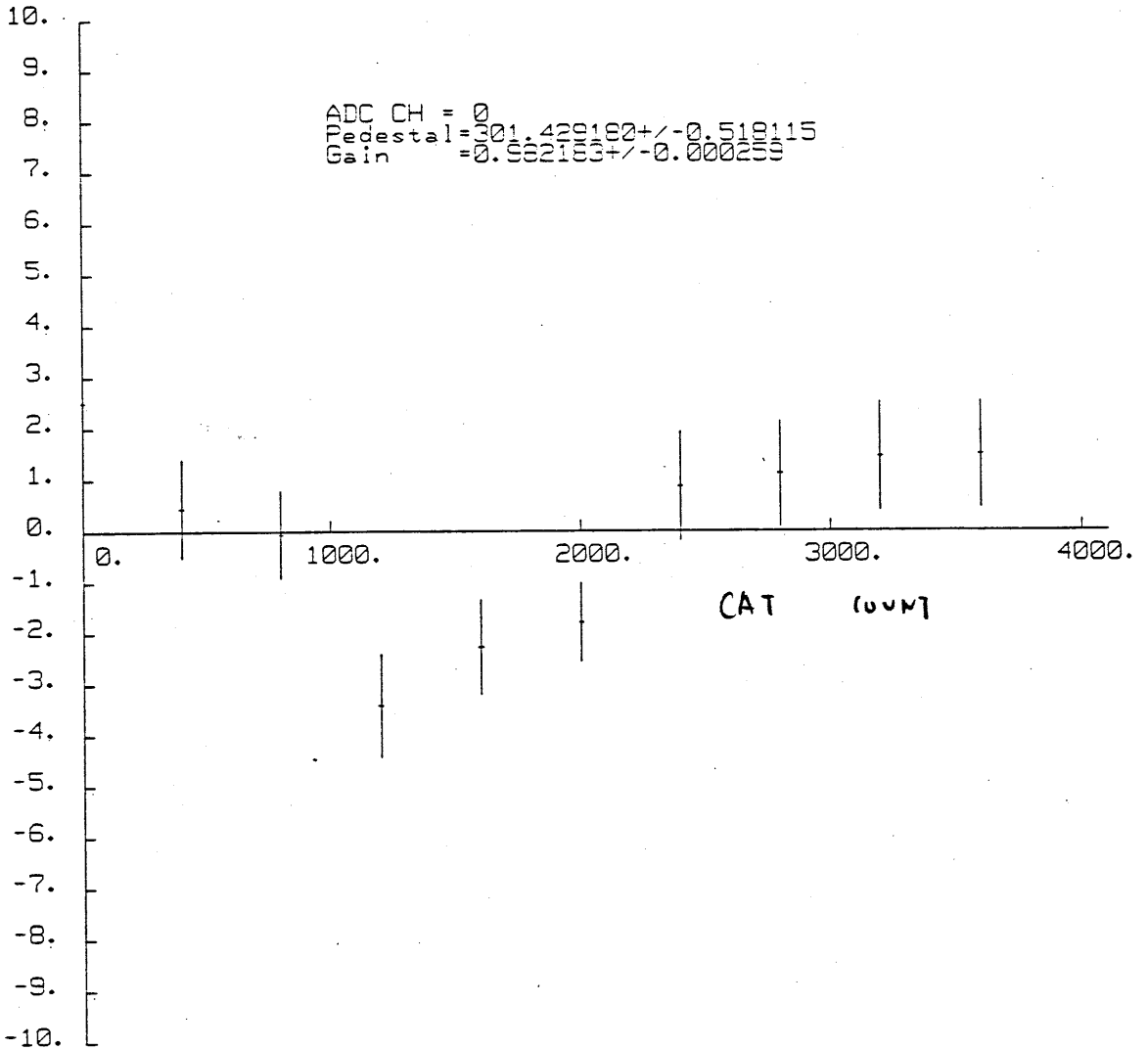


Fig 4-7-5

ADC pedestal ch 0 low range の時間変動

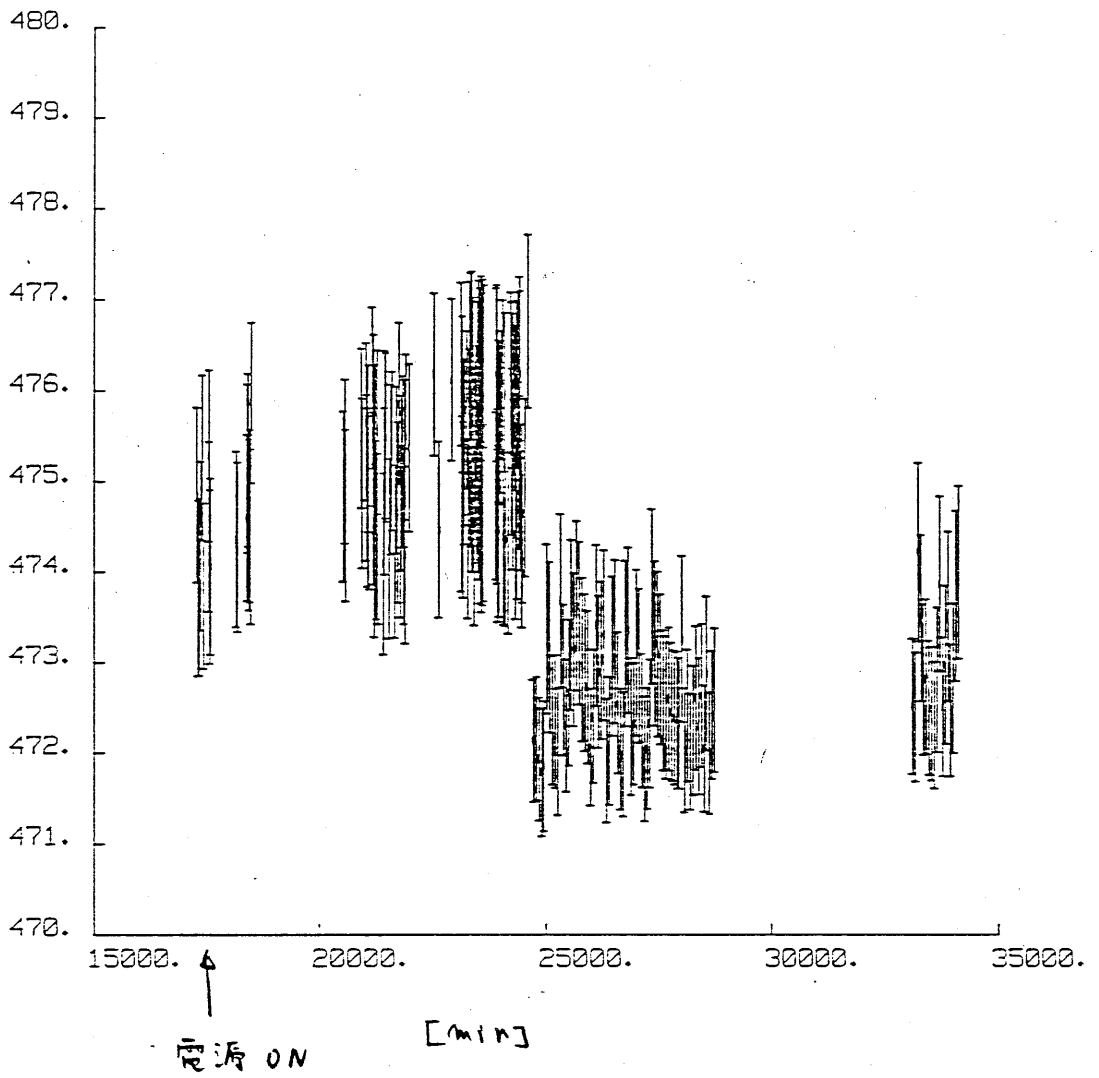


Fig 4-7-6

ADC pedestal ch 0 high range の時間変動.

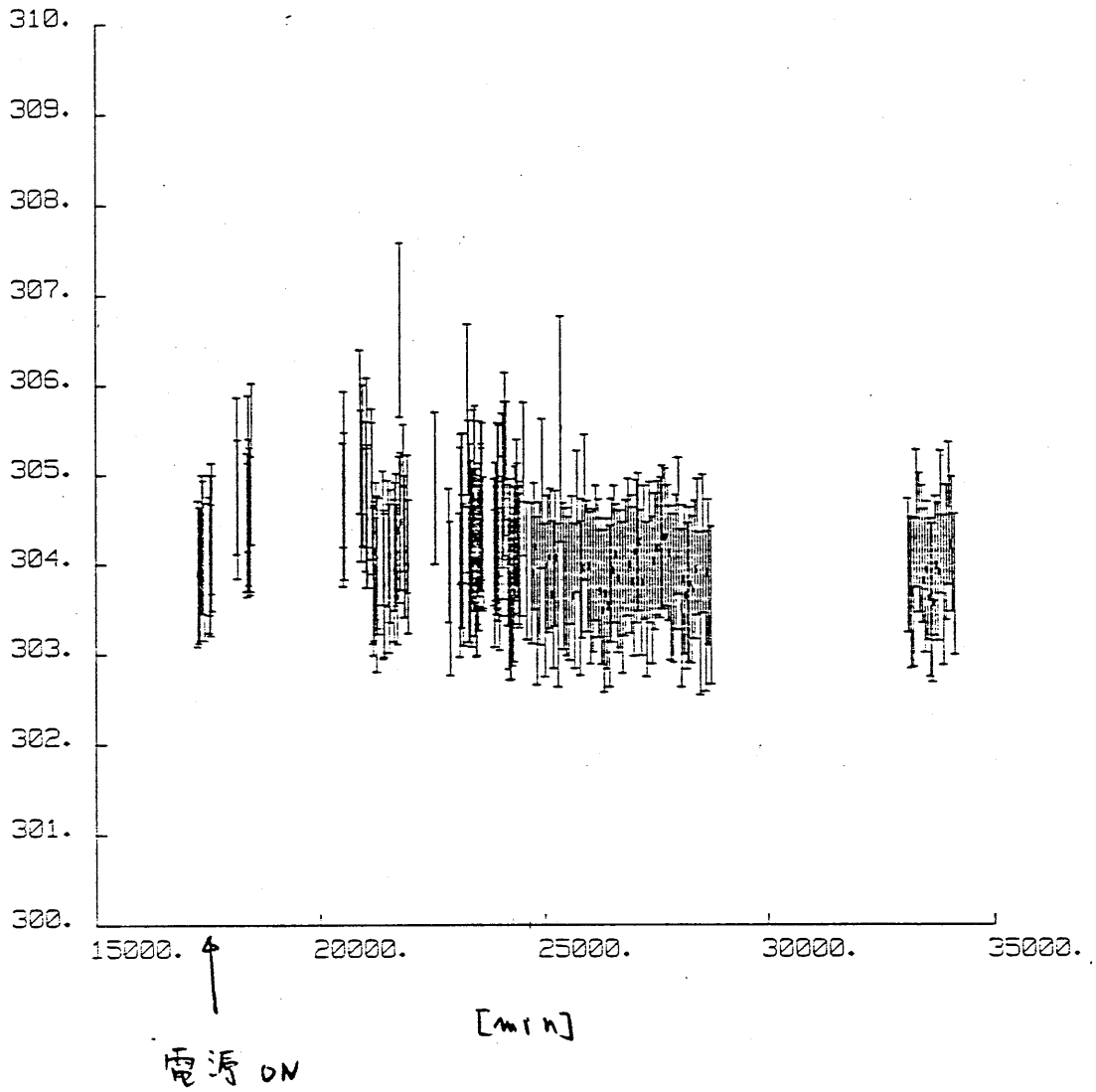
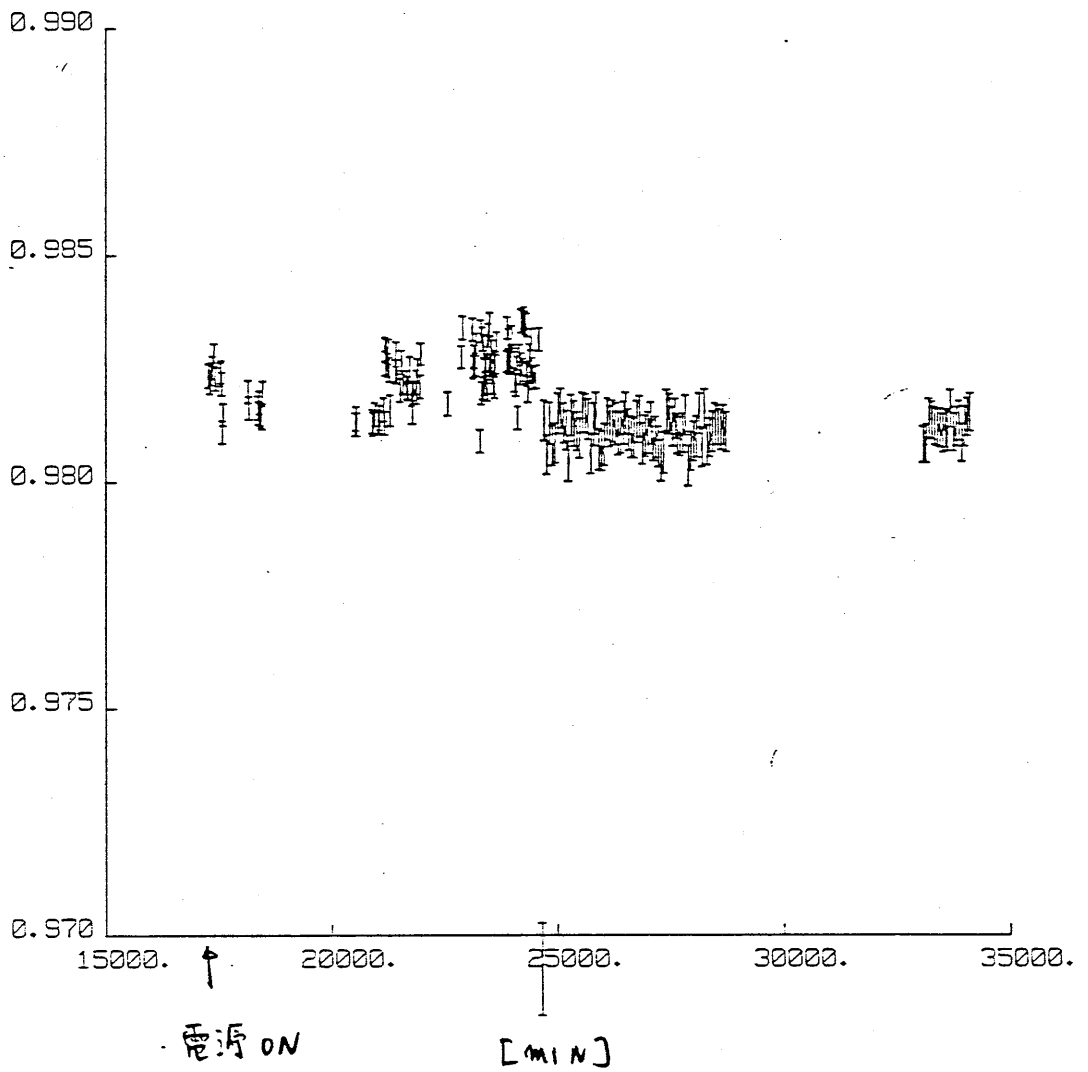


fig 4-7-7

ADC gain ch 0 low range の時間変動



4-8 ADC: 校正監視システムの性能評価

我々は VENUS 総合カラスカロリクス-9月 ADC 高直大容量データ収集システムを開発した。今回開発した (Calibration用データ収集システム) 以下のことができた。

- SMI から ADC data を SMI data memory に読み込む転送速度は $0.63 \mu\text{sec} / \text{LW} = 6.4 \text{MB} / \text{sec}$ であることを確かめた。

- MEB から SMI の data memory の内容を MEB の buffer へ転送する転送速度は $0.2 \mu\text{sec} / \text{LW} = 20 \text{MB} / \text{sec}$ である。 [3.3]

- MICRO11 の DR11W DMA interface により SMI の data memory の内容を MICRO11 の Memory へ転送する速度は $5 \mu\text{sec} / \text{LW} = 0.8 \text{MB} / \text{sec}$ であることを確かめた。

- VAX-FPI の FASTBUS 側転送速度は $0.2 \mu\text{sec} / \text{LW} = 20 \text{MB} / \text{sec}$ である。 [2.1]

- DR780 にお VAX-FPI から VAX memory への転送速度は $0.69 \mu\text{sec} / \text{LW} = 5.8 \text{MB} / \text{sec}$ である。 [2.1]

これらの転送速度を Fig 3-3-1 の VENUS BARREL データ収集システムの構成図に示した。

VENUS データ収集システムにおいて Xe run や
ADC Calibration などの Calibration 又は monitor run を
行うときのデータ収集速度は以上の結果より

1° VAX 上で Calibration 又は monitor run を行うときは
データ収集の速度は DR780 に付 VAX-FPI 及び VAX memory の
速度で制限され、 $0.69 \mu\text{sec}/\text{LW} = 5.8 \text{ MB}/\text{sec}$
とす。この速度は 5160 ch の ADC データを同時に収集する
場合 $3.6 \text{ msec}/\text{event} = 280 \text{ Hz}$ の event rate に相当
する

2° MICRO-11 上で Calibration 又は monitor run を行うときは
データ収集の速度は、DR11W が SMI の data memory
の内容を MICRO-11 の memory に転送する速度で制限され
 $5 \mu\text{sec}/\text{LW} = 0.8 \text{ MB}/\text{sec}$ とす。この速度は 5160 ch の ADC
データを同時に収集する場合、 $26 \text{ msec}/\text{event} =$
 39 Hz の event rate に相当する

この結果より (AT を用いた ADC の calibration に付いた時間
は ADC Low, high range について 10 point 以下の
CAT の count について ADC の data を 1000 event 収集する
と仮定して 全 event 数は

$$1000 \text{ event} \times 10 \text{ point} \times 2 = 20 \text{ kevent}$$

1° VAX 上で 72 秒でデータ収集可能

2° MICRO-11 上で 8 分でデータ収集可能とす。

また Xe run については 1% の精度で 鉛が2kgに4- ±モ=4-
打込めには 3000 event の T-4- ± Xe 1系 Xe 2系 について
23 打ち出し方の MT 全 event 数は

$$3000 \text{ event} \times 2 = 6000 \text{ event}$$

1° VAX では 22 秒で T-4- 収集可能

2° MICRO-11 では 3 分で T-4- 収集可能 である。

以上述べたことは computer 系 FASTBUS 側を見た場合の
T-4- 収集速度が、disk, MT への書き込みや
Histogram への filling や 算出平均などの計算時間などの
考慮に入れている。

例として Histogram の filling は VAX では 10 μsec 程度
MICRO-11 では 100 μsec の時間か 1 event 1 channel 当たり
かかると 5160 channel の T-4- ± Xe run monitor
打込

1° VAX では event rate は $51.6 \text{ msec/event} = 19 \text{ Hz}$
と仮定して Xe run は 5分

2° MICRO 11 では event rate は $0.5 \text{ sec/event} = 2 \text{ Hz}$
と仮定して Xe run は 50分
かかると。

4-9 今後の課題

今後の問題として校正監視のためのデータベース及びソフトウェアの確立があげられ、またハードウェアに関する MEB (Multi Event Buffer) を用いた本実験用の system の開発 特に SMI-MEB の interface , micro code の開発があげられ

Vまでの

我々の開発した ADC Calibration system の性能の測定は
VENUS BARREL データ収集システムの性能は

・ CAT を用いた Calibration は 7分

VAX では 72 秒

MICRO II では 8分

↑ 行方を知ることができた。

また Xe run は 7分

VAX では 22 秒

MICRO II では 3分

↑ 行方を知ることができた。これらの時間は データ収集に

かけた時間 ↑ Xe run ↑ データ処理 ↑ VAX また MICRO II
↑ 行った

VAX では 5分

MICRO II では 50分

↑ 行方を知ることができた。

また我々のこの System が Barrel system の要求した
性能を満足していることを確認した。

謝辞

長島順清先生, 杉本幸二郎先生に口この研究に指導していただき深く感謝します。

この研究に1年以上におい高エネルギー物理学研究所におい行ってきたVENUS BARREL GROUPの高崎史幸先生, 小川和男先生, 住吉若行先生に口指導, 援助をいただいたことにお礼を申し上げます。またVENUS DA Groupの新井康夫先生に口FASTBUS SYSTEMについて指導していただきました。またLeCroy FASTBUS ADC SYSTEMについてはTOPAZ BARREL, 田内利明先生に, Online softwareについてはVENUS DA group 寺本吉夫先生, 上原貞治先生及びKEK online groupの安若次先生に, 助言いただきました。また鉛ガラスのモニターについては福井大学 吉田先生に助言していただきました。

参考文献

[1.1] Y. Arai et al, 'PROPOSAL FOR STUDY OF p^+e^-
REACTIONS WITH A LARGE APERTURE SPECTROMETER'
VENUS COLLABORATION JAN 31 1983

[1.2] 高エネルギー物理学研究所加速器拡張計画

- トリスタン工の設計研究 -

高エネルギー物理学研究所 55年7月

[1.3] Y. Nagashima

Talk presented at TRISTAN - PAC

VENUS NOTE - 48

[2.1] Yasuo ARAI "PROGRESS OF FASTBUS DATA
ACQUISITION SYSTEM FOR TRISTAN"

KEK Preprint 85-54 Nov-1985

[2.2] "PROGRESS OF THE WORKSHOP ON
DATA ACQUISITION SYSTEM FOR HIGH ENERGY
PHYSICS" (in Japanese)

KEK, May 28-29

[2.3] Y. Yasu et al., "FASTBUS Processor Interface
for VAX-11"

IEEE Trans Nucl. Sci. NS-31 No. 1 (1984) 197.

[2.4] R.S. HAYANO and Y. Yasu "Recent Progress on the
VAX-FASTBUS Interface at KEK"

IEEE Trans. Nucl. Sci., NS-32 No. 1. (1985) 309.

[2.5] Y. Arai et al. "A FASTBUS Processor Interface
Using 68000 microprocessor"

IEEE Trans Nucl. Sci. NS-31, No. 1 (1984) 197.

E2.6] FASTBUS

Modular High Speed Data Acquisition and Control System
for High Energy Physics and Other Applications.

Prepared by U.S. NIM Committee Dec 1983

E2.7] SPECIFICATION FOR STANDARD ROUTINE
FOR FASTBUS

FASTBUS SOFTWARE WORKING GROUP

FSDG 085 Apr. 1983

[3.1] h. OGAWA, et al, 'VENUS BARREL ELECTRO MAGNETIC CALORIMETER'

KEK Pre-print 85-33 Aug-1985 H

[3.2] H. KUSUMOTO

'STUDY ON CALIBRATION AND MONITOR SYSTEM OF LEAD GLASS CALORIMETER FOR e^+e^- EXPERIMENT'

Master thesis submitted to Osaka University

MAY - 1985

[3.3]

R. Roush et al

'A FASTBUS SEGMENT MANAGEMENT AND INTERFACE UNIT'

IEEE Trans Nucl. Sci. NS-31, No. 1, Feb 1984

J. A. Appel et al.

'A HIGH CAPACITY FASTBUS MULTIPLE EVENT BUFFER'

Invited Paper to be presented at

IEEE 1984 Nucl. Sci. Symposium

October 31 - November 1, 1984

Orlando, FL

° 1821 SMI 1-7117

1821 USER'S MANUAL SEP 1984 PRELIMINARY

1821-1 INSTRUCTION MANUAL DEC. 1984 PRELIMINARY

1821-2 INSTRUCTION MANUAL " "

1821/DEC MANUAL JAN 1985

° 1885 ADX 1-7117

1885 MANUAL SEP. 1984 PRELIMINARY

• 1810 CAT 1-7117

1810 MANUAL Apr. 1984 PRELIMINARY

° 1892 MEB 1-7117

1892 MULTIPLE RECORD BUFFER USER'S MANUAL

[3.4] OSU - MICRO - CODE

Private letter from Ronald Sidwell Ohio State University
to T. RONDO HEK

[3.5] MACRO META ASSEMBLER MANUAL

AMD 2900 MICROPROCESSOR

Microtec P.O. Box 60337

Sunnyvale, CA 94088 (408) 733-2919

[3.6] R. S. Hazan - et al,

'Micro HEXX handbook'

HEK on line group

[3.7] Y. Arai (HEK) | H. Osabe (Osaka univ.)

FASTBUS I/O Register Type 3 (Prototype) Manual

Dec. 4 1984