



PIENU実験におけるデータ収集システムの開発

久野研M2 伊藤 尚祐

久野研・山中研年末合同発表会 2009年12月21日

もくじ

- **PIENU**について
- **DAQ**について
 - **COPPER**
 - **GPIO+C.D.**
- **FIRMWARE UPDATE**について
 - **RESET**
 - **TIME STAMP**
 - **LEVEL 0+I TRIGGER**
- まとめ



PIENUについて

- **物理** パイ中間子崩壊分岐比 $R = \Gamma(\pi^+ \rightarrow e^+ \nu_e) / \Gamma(\pi^+ \rightarrow \mu^+ \nu_\mu)$

- レプトン普遍性の破れ ($g_e \neq g_\mu$) など

- **値** 標準理論で精度良く計算できる

- **理論値** $R = 1.2352 \pm 0.0001 \times 10^{-4}$ (精度**0.01%**)

- **実験値** $R = 1.230 \pm 0.004 \times 10^{-4}$ (精度**0.3%**)

- **目標** 精度**<0.1%**

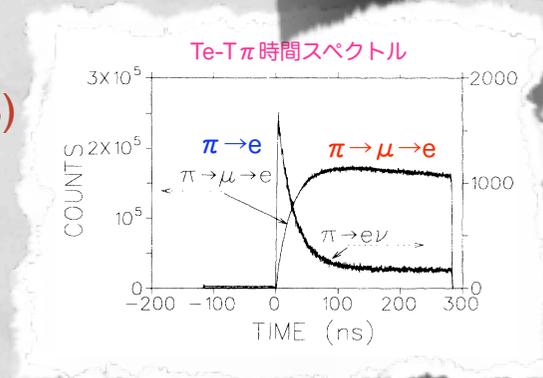
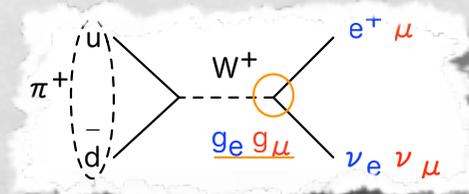
- **場所** カナダバンクーバー**TRIUMF**

- **スケジュール** April 2009 ~ 2011 に物理ラン

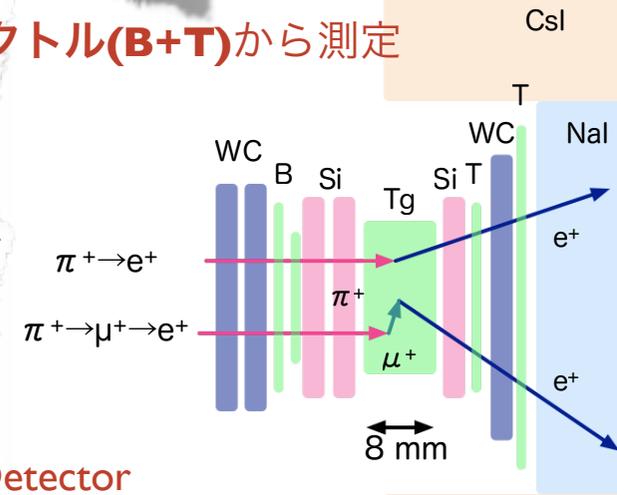
- **測定原理** $\pi^+ \rightarrow e^+ (\nu_e)$ 、 $\pi^+ \rightarrow \mu^+ (\nu_\mu) \rightarrow e^+ (\nu_\mu \bar{\nu}_\mu \nu_e)$ の e^+ 時間スペクトル(B+T)から測定

- **識別方法**

- カロリメータ(NaI+Csl)での e^+ のエネルギー損失
- 位置検出器(Si+WC)によるターゲット前後のトラッキング
- ターゲットシンチレータ(Plastic)でのパルスフィット



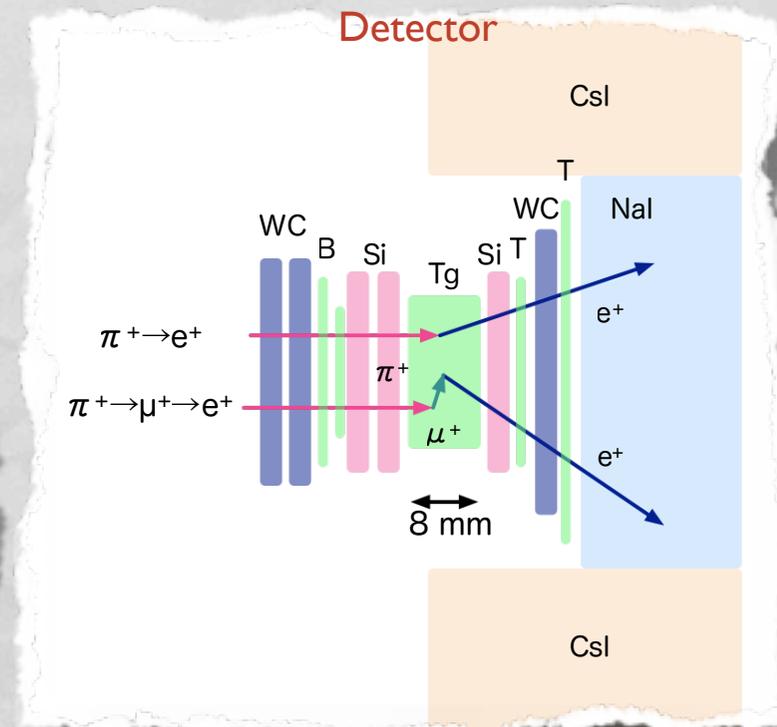
Detector



Detector

DAQについて

- モジュール データ読み出しにFADC(**VF48**, **COPPER**)とTDC(**VT48**)を使用。
 - e⁺時間スペクトル by **B+T**→1.6 GHz TDC(**VT48**)
 - e⁺エネルギー by **NaI + CsI**→50 MHz FADC(**VF48**)
 - トラッキング by **Si**→50 MHz FADC(**VF48**) + **WC**→1.6 GHz TDC(**VT48**)
 - 粒子識別 by **Tg**→500 MHz FADC(**COPPER**)
 - COPPERのインターフェース→**GPIO**
 - COPPERsの時間同期→**Clock Distributor**

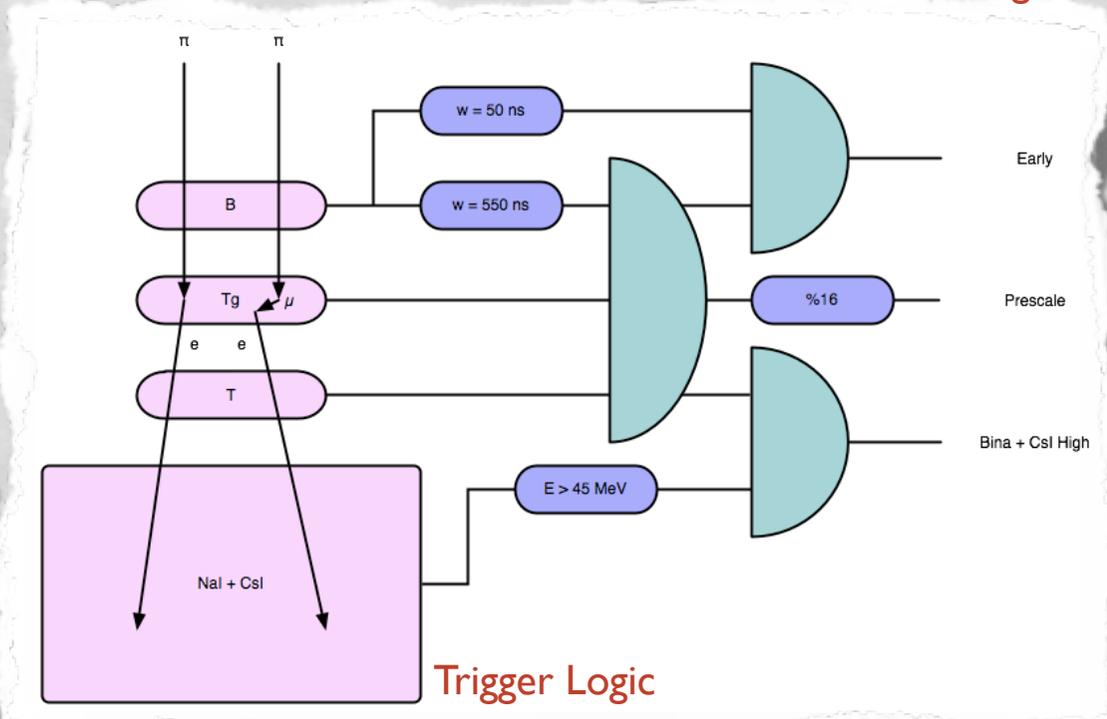
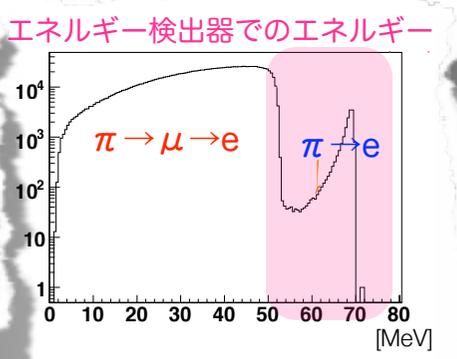
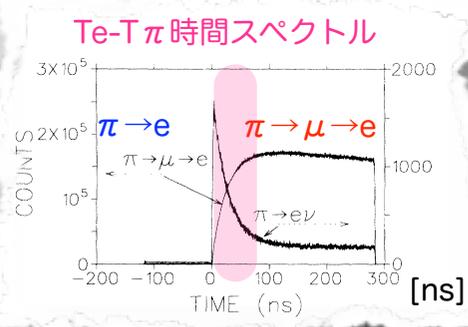


DAQについて

- トリガー $R = \sim 10^{-4}$ のため、 $\pi^+ \rightarrow \mu^+$ のトリガーのみ減らしたい
- $\pi e + \pi \mu \rightarrow$ Prescale π^+ AND e^+ time window ~ 550 ns + prescale **1/16** ($R = \sim 10^{-4}$)
- πe main \rightarrow Early π^+ AND e^+ time window ~ 50 ns ($\tau_\pi = 26$ ns, $\tau_\mu = 2.2$ μ s)
- πe main \rightarrow Nal+Csi HIGH $E_e > 45$ MeV ($E_e(\pi e) = 69.3$ MeV, $E_e(\pi \mu) < 52.3$ MeV)
- その他
 - trigger rate: ~ 700 Hz (~ 10 MB/s)
 - beam π^+ rate: ~ 70 kHz
 - $\pi^+ \rightarrow e^+$ rate: ~ 1 Hz

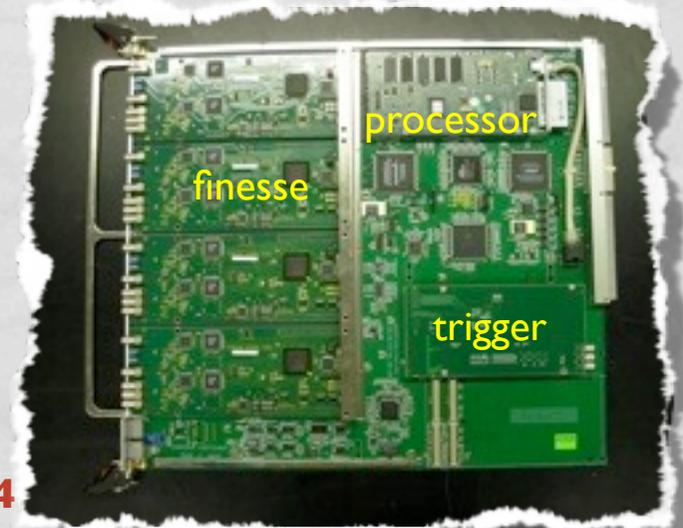


Logic

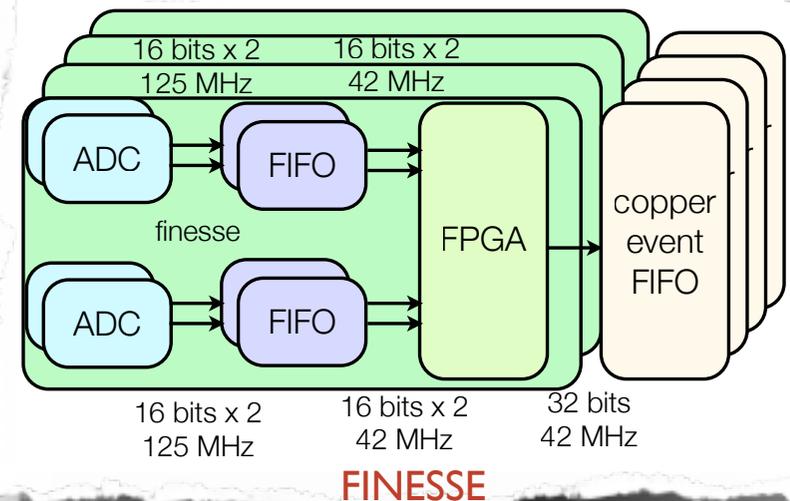


COPPER

- **要求**
 - パルスフィットによる粒子識別(2 ns)
 - **B.G. μ 除去**のためのトリガー以前のデータ取得(8 μ s)
 - 時間同期(30 ch)
- **COPPER** COmmon Pipelined Platform for Electronics Readout
 - 4 COPPERs with 2ch 8 bit 500 MHz FADC FINESSE x 4
- **8 bit 500 MHz FADC FINESSE**
 - 8 bit 250 MHz ADC x2 を逆位相クロックで駆動
 - ゲートが入っている時、FIFOにバッファリング
 - 125 MHzで2 pt(16 bit)ずつ4 ADCs \rightarrow 4 FIFOs
 - トリガー後、FIFOからデータ読み出し
 - 42 MHzで4 pt(32 bit)ずつ4 FIFOs \rightarrow COPPER



COPPER



GPIO+C.D.

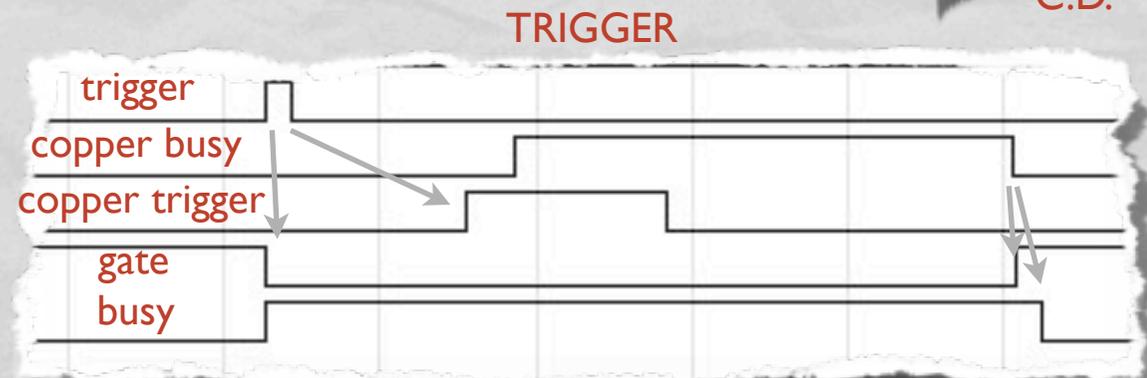
- **GPIO** General Purpose Input Output
 - 上流ロジック、VMEとCOPPERとのインターフェース
 - **TRIGGER** GATE, TRIGGERをCOPPERに
 - **BUSY** COPPERからのBUSYを上流トリガーに
 - **RESET** RUNの初めにRESETをC.D.を通してCOPPERに
 - **EVENT TAG** VT48 + VF48からの3 bit EVENT TAGをCOPPERsに
- **C.D.** Clock Distributor
 - 16 FINESSEs間の時間同期を行う
 - **250 MHz clock**
 - **125 MHz latched gate**
 - **125 MHz latched reset**



GPIO



C.D.



FIRMWARE UPDATEについて

- **EFI 1.4 firmware update for MacBook**
 - **MacBook** コンピュータ上でシステム起動およびスリープ解除中に光学式ディスクが発生する**ノイズ**が取り除かれます。



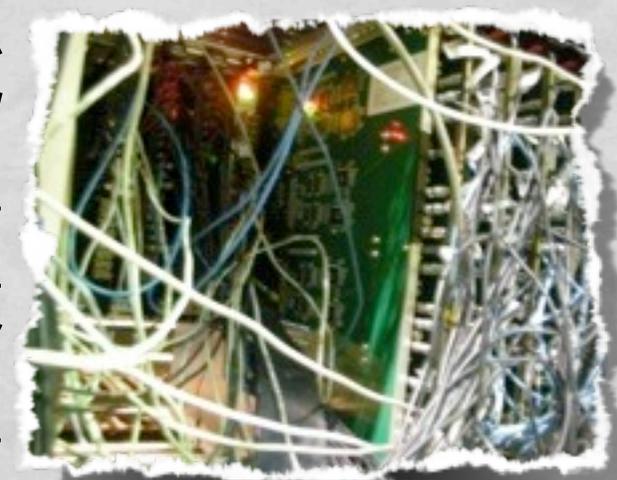
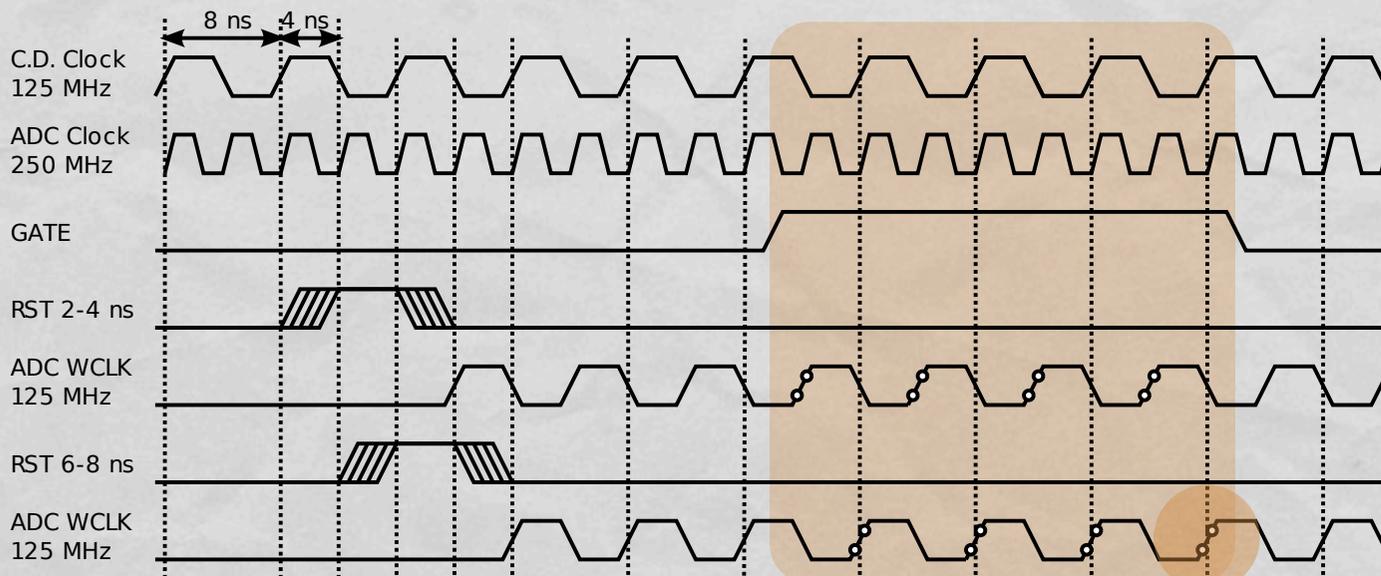
FIRMWARE UPDATEについて

- **EFI 1.4 firmware update for MacBook**
 - **MacBook** コンピュータ上でシステム起動およびスリープ解除中に光学式ディスクが発生する**ノイズ**が取り除かれます。
- **FINESSE**
 - **RESET**
 - **TIME STAMP**
- **GPIO**
 - **LEVEL 0+1 TRIGGER**



RESET

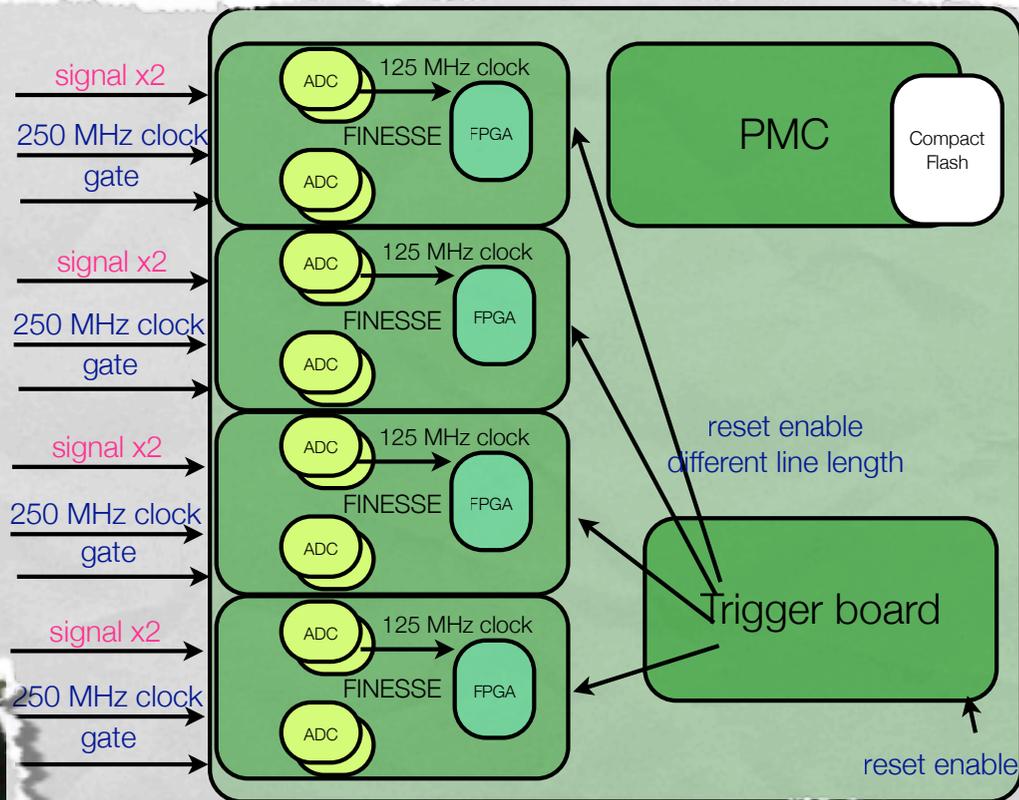
- **要求**
 - 同じクロック、同じ時間範囲でのサンプリングを安定化(**FINESSES, RUNs**)
 - COPPERの配線長の違いに影響されない**RESET**
- **RESET**
 - **C.D. RESET**を**125 MHz**で**LATCH**して**DELAY**
 - **COPPER RESET**により**250MHz**→**125 MHz**に
 - **2 PHASE 125 MHz CLOCK** **RESET**により**1 pt/FIFO**ずれうる



COPPER CRATE

RESET

- **BEFORE** COPPERの配線長の違いにより **FINESSE** x 4が同時にresetできない
- **MARGIN** 1.0 ns (狭いので長期的に安定するか心配。)

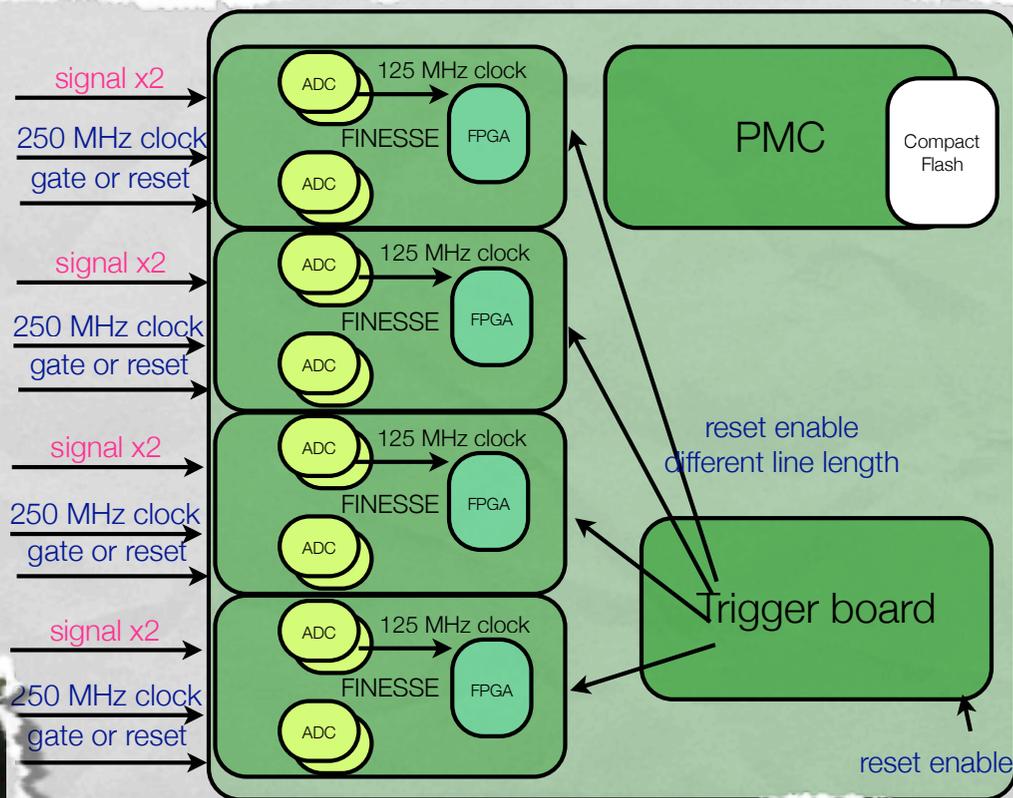


C.D. 125 MHzに対する
RESET DELAYとPHASE

ns	F1	F2	F3	F4
0		x		
0.8			x	
1.6				
2.4				x
3.2	x			
4.0		x		
4.8		x		
5.6			x	
6.4				
7.2	x			x
8.0		x		
8.8			x	
9.6				

RESET

- **AFTER “RESET”** (finesse gate input) **AND “RESET ENABLE”** (trigger board)
- **MARGIN** 1.0 ns → 2.8 ns (かなり広くなった。安心。)

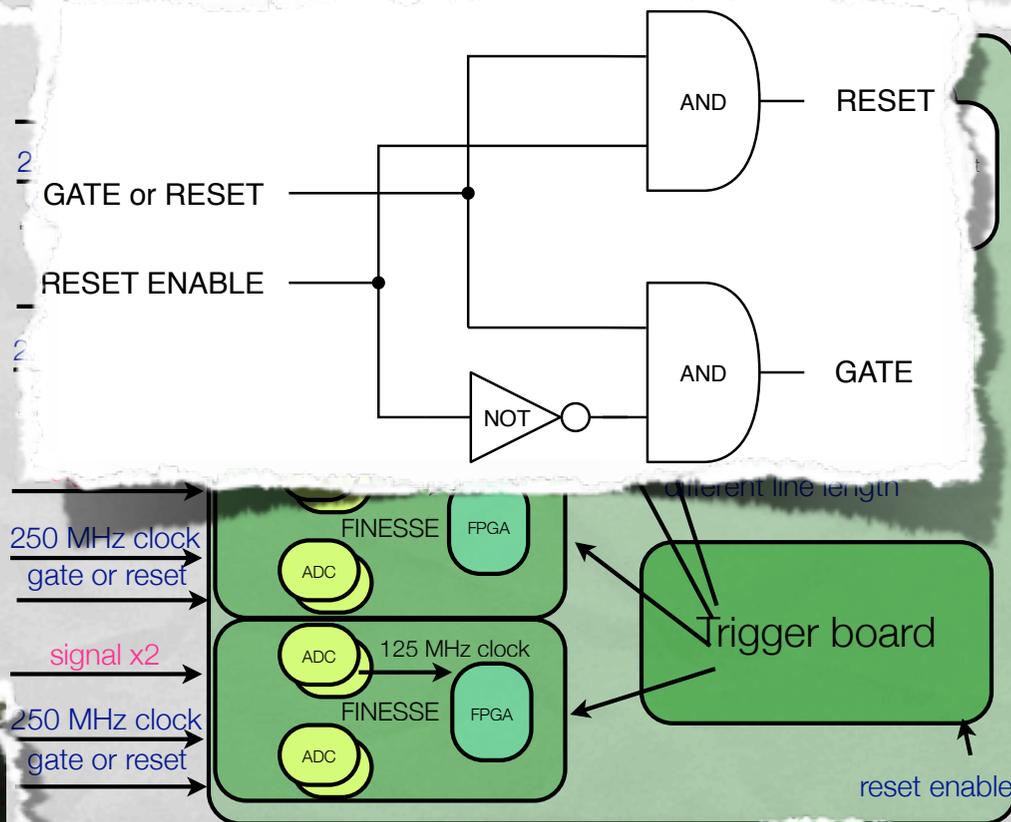


C.D. 125 MHzに対する
RESET DELAYとPHASE

ns	F1	F2	F3	F4
0				
0.8	x	x	x	x
1.6				
2.4				
3.2				
4.0				
4.8	x	x	x	x
5.6				
6.4				
7.2				
8.0				
8.8	x	x	x	x
9.6				

RESET

- **AFTER “RESET” (finesse gate input) AND “RESET ENABLE” (trigger board)**
- **MARGIN 1.0 ns → 2.8 ns (かなり広くなった。安心。)**



C.D. 125 MHzに対する
RESET DELAYとPHASE

ns	F1	F2	F3	F4
0				
0.8	x	x	x	x
1.6				
2.4				
3.2				
4.0				
4.8	x	x	x	x
5.6				
6.4				
7.2				
8.0				
8.8	x	x	x	x
9.6				

TIME STAMP

FINESSE

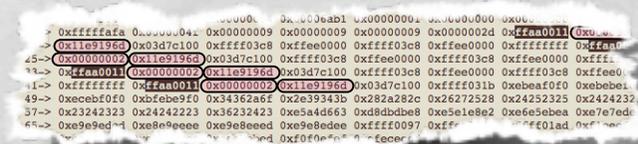


- **DAQ UPDATE**

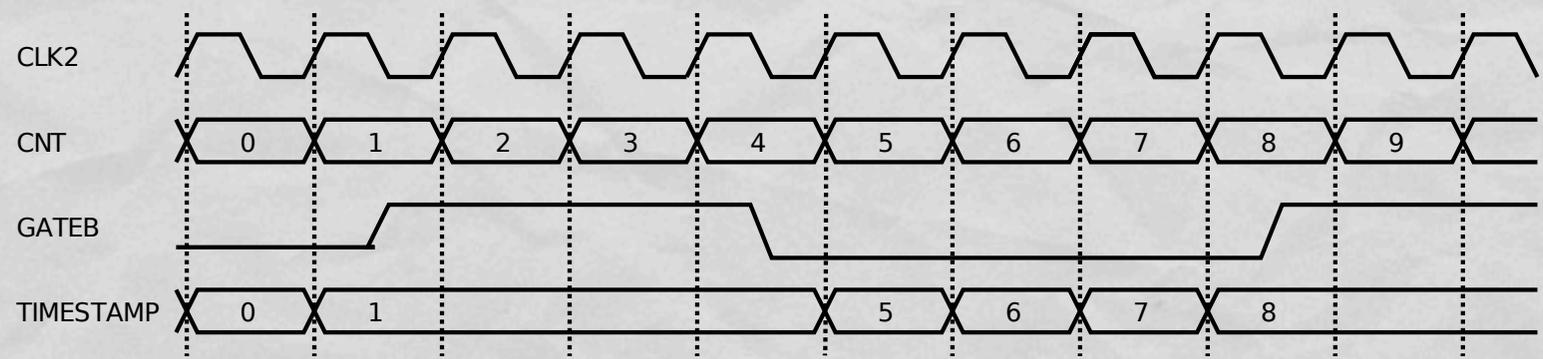
- π^+ RATE ~70 kHzに対し、TRIGGER RATE ~700 Hz
- VF48+VT48→VME→PCのデッドタイムがリミット
 - トリガー非同期データ転送→イベントビルドの改良が必要
 - **EVENT ID** or/and **TIME STAMP**の使用→COPPERは現在**EVENT ID**のみ

- **TIME STAMP** FINESSE FIRMWAREにより実装

- **62.5 MHz 64 bit**カウンタ（C.D.からの250MHzを分周）
- **VF48 25 MHz CLOCK**と同期



データ



LEVEL 0+1 TRIGGER

- **DAQ UPDATE**

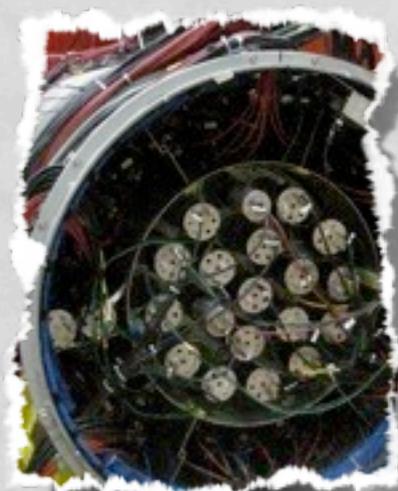
- **NaI + CsI HIGH**のカロリメータPMT ~150 chのsumをANALOG→DIGITAL
- **trigger decision**に2 us程度かかる→**B.G. μ** の検出範囲が減る

- **LEVEL 0+1 TRIGGER**

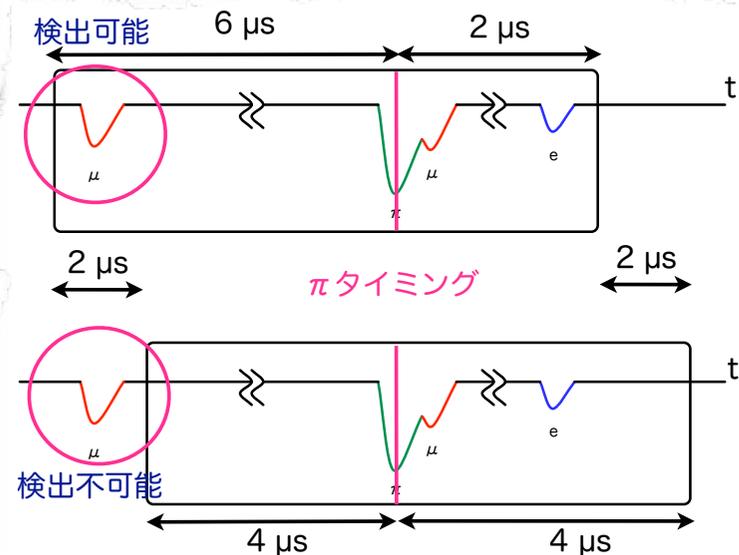
- signal cableを遅らせようとする、 $2 \text{ us} \times 0.2 \text{ m/ns} \times 30 \text{ ch} = \sim 10 \text{ km}$ 必要
- TRIGGERを2段階にすることで**trigger decision**時間によるロスをなくす
- **GPIO FIRMWARE UPDATE**で実装



表



裏



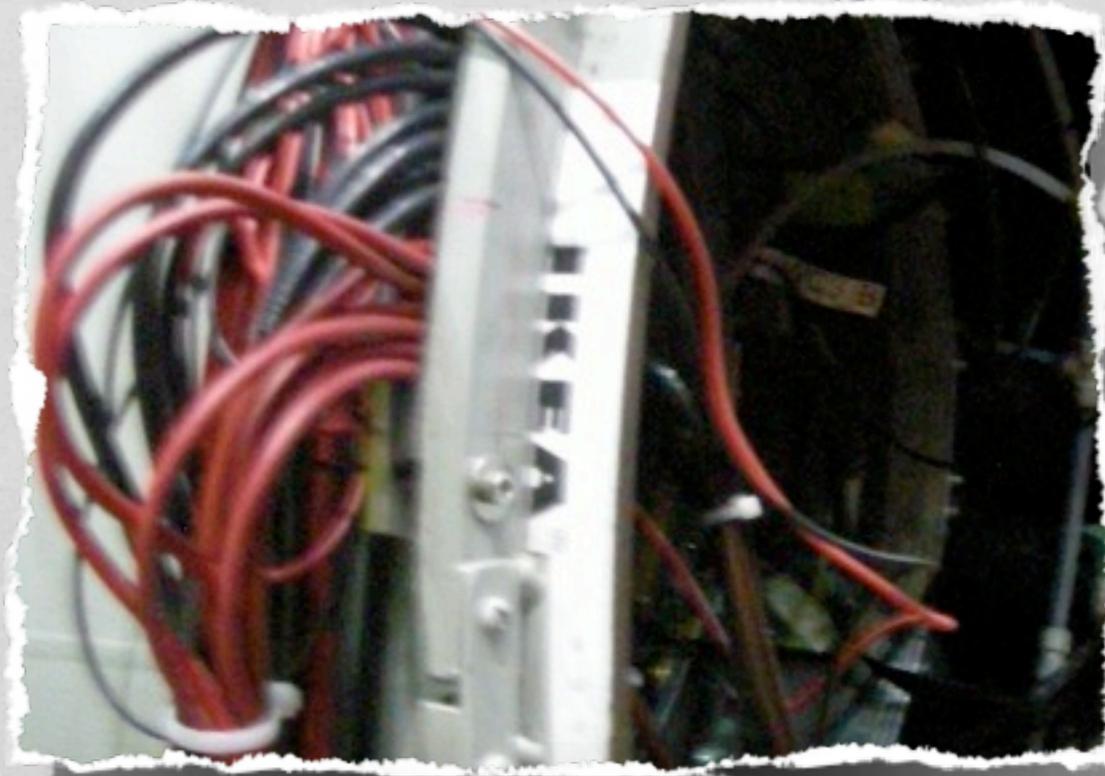
まとめ

- **VANCOUVER OLYMPIC** February 12th ~ 28th 2009
- **PIENU** April 2009 ~ 2011
- $R = \Gamma(\pi^+ \rightarrow e^+ \nu_e) / \Gamma(\pi^+ \rightarrow \mu^+ \nu_\mu)$ を < 0.1 % の精度で
- DAQにおける**COPPER**と**GPIO**を**FIRMWARE UPDATE**
 - **RESET MARGIN**を $1.0 \text{ ns} \rightarrow 2.8 \text{ ns}$
 - **TIME STAMP 64 bit 62.5MHz**を追加
 - **LEVEL 0+1 TRIGGER**の実装により **B.G. μ データ**を 2 us 増加



BACKUP

- TIMING
- ENDCODE
- NUMBER OF SAMPLE



FIRMWARE 苦労したところ

- 並列
- delayが数ns
- ちょっと変えると内部配線は全然違う
- Xilinxのサイトは読みにくい
- ハードウェアの個体差
- 125 MHzはきつい
- 250 MHz x 2で動かしている



TIMING

- 2つの90位相のずれた(2 ns)WCLK 125 MHz に対しWENが必要
- FPGA内の配線長により、timingがシビア
- FINESSEの個体差により、使えないもの、データが安定しないものがいた。
- DCMを使って安定する位相のWENを作成
- すべてのFINESSEで安定した。

LATCHED GATE

- number of sampleが安定していなかった。
- 読み捨てRENとWENが別々にgateをラッチしていた。
- 一度ラッチしてから、配ることで、timingを一つに絞った。
- 試験したら、gate delayを変えても安定するようになった。