# 高輝度 LHC ATLAS シリコンピクセル検出器用 読み出し ASIC の閾値調整機構の性能評価

大阪大学大学院 理学研究科物理学専攻 山中 卓研究室 博士前期課程2年

山家谷 昌平

2020年2月4日

#### 概要

LHC は、スイス・ジュネーブ郊外で運転されている陽子陽子衝突型加速器である。その 衝突点の一つに、ATLAS 検出器が設置されている。LHC は 2026 年までに高輝度化され、 さらなる事象数の増加を目指す。ATLAS 検出器の最内層に位置するピクセル検出器は、高 輝度 LHC に向けてアップグレードされる予定である。現在、新型ピクセル検出器の読み出 し用集積回路 (ASIC) のプロトタイプが開発されている。ASIC は各ピクセルからの信号を 処理し、ピクセルごとのヒットの有無をデジタル情報として出力する。

ヒットの判定には閾値を用いる。閾値は ASIC 自身が持つレジスタの値によってピクセ ルごとに設定される。閾値の設定のためには、目標閾値を定めた上で、閾値を測定しながら レジスタの値を調節するという過程が必要になる。この過程を閾値の調整と呼ぶ。本研究 の目的は、ASIC の閾値調整機構の動作原理を理解し、その評価を行うことである。

ピクセル検出器のノイズ占有率や検出効率などの観点から、ATLAS 実験グループでは閾 値調整後の閾値分布の広がりについての要求を定めている。本研究では、現状の ASIC の 閾値調整機構がこの要求を満たすかどうかの検証を初めて行なった。また、この要求では読 み出しのできないピクセルが考慮されておらず、評価としては不十分である。本研究では読 み出し不可なものを含めて閾値調整に失敗したピクセルを定義し、それらの数からも ASIC の閾値調整機構に対する評価を行なった。さらに、読み出し不可なピクセルを抑制するため の閾値調整手順の改善を提案し、改善案に対する評価を行なった。

本試験によって、プロトタイプ ASIC が ATLAS グループの定める要求を満たしてい ることを確かめた。また、検出器として運用する際の目標閾値に調整した場合、閾値調整に 失敗したピクセルの数は全体の 0.3% 以下であった。この結果から、プロトタイプ ASIC は 新型ピクセル検出器の読み出しに十分な機能を持つと結論づけた。

# 目次

<b>第1章</b>	序論	16
1.1	LHC/ATLAS 実験	16
	<b>L.1.1 LHO</b>	16
	<b>1.1.2 ATLAS 実験と内部飛跡検出器</b>	16
	<u>1.1.3 ピクセル検出器と読み出し ASIC</u>	18
1.2	LHC/ATLAS 実験のアップグレード計画	18
	<u>1.2.1 HL-LHC</u> 計画	18
	1.2.2 ピクセル検出器アップグレード	19
1.3	新型ピクセル検出器用読み出し ASIC RD53A	20
	1.3.1 概要	21
	<u>1.3.2 閾値の調整</u>	21
	<u>1.3.3 閾値の調整に対する要求</u>	22
1.4	新型ピクセル検出器の量産	23
	1.4.1 製造される新型ピクセル検出器	23
	<u>1.4.2 量産時の品質保証試験</u>	24
1.5	本研究の目的と意義	25
第2章	ALLAS ビクセル検出器用読み出し ASIC	26
2.1	新型 ASIC	26
	<u>2.1.1 概要</u>	26
	2.1.2 テスト電荷の入力	27
2.2	アナログ信号の処理を行う回路	28
	2.2.1 概要	28
	<u>2.2.2 フロントエンド回路の閾値調整の原理</u>	30
	<u>2.2.3 新型 ASIC</u> における既知の不具合	32
2.3	新型 ASIC を搭載したピクセル検出器への要求	33
2.4	フロントエンドチップに対する要求	35
	2.4.1 ノイズ占有率の上限	35

	2.4.2 ATLAS グループが定めている要求	36
	<u>2.4.3 本研究で独自に定めた要求</u>	36
<b>第</b> 3章	新型 ASIC のフロントエンド回路の動作試験	37
3.1	本研究の動作試験用セットアップ	37
	<u>3.1.1 使用した ASIC</u>	37
	3.1.2 読み出しシステム	37
3.2	フロントエンド回路の応答確認試験	38
3.3	閾値の測定	41
	3.3.1 閾値の測定アルゴリズム	41
	3.3.2 ノイズ量の測定	42
	<u>3.3.3 閾値測定の失敗</u>	42
3.4	全ピクセルを一括で調整するレジスタに対する閾値の変化	44
	<u>3.4.1 試験の概要</u>	44
	<u>3.4.2 実際の挙動</u>	45
	<u>3.4.3 実際の挙動からの考察</u>	46
3.5	各ピクセルの閾値を個別で調整するレジスタに対する閾値の変化	48
	<u>3.5.1 試験の概要</u>	48
	<u>3.5.2 実際の挙動</u>	49
	<u>3.5.3 実際の挙動からの考察</u>	49
笛 / 音	新型へいての関値調整機構の動作試験	56
<b>4 1</b>		56
H.1	<u></u>	56
	<b>E.1.1</b> 國區調金川 / ルコ / ハコ · · · · · · · · · · · · · · · · · ·	56
	$112$ $\pm c$ $c$ $b$ $c$	50 60
		63
	<u>     1.1.9</u> <u>     間正後の関連の</u> ·································	63
	416 本音の構成	63
4.2	闘値調整機構の動作試験	64
1.2	<u>421</u> 試験の概要	64
	4.2.2 試験手順	64
	<u>4.2.3</u> 試験結果	65
4.3		70
	<u>4.3.1 ATLAS グループが定めた要求との比較</u>	70
		71
4.4		75

	<u>4.4.1 改善後の閾値調整の手順</u>	76
4.5	結果および考察	77
	<u>4.5.1  試験結果</u>	77
	4.5.2 ATLAS 実験グループが定めた要求との比較	78
	<u>4.5.3 本研究で独自に定めた要求との比較</u>	78
	<u>4.5.4 全ピクセルを対象とした試験の結果</u>	78
	<b>4.5.5 別の ASIC を用いた追試験</b>	84
4.6	議論	85
	<b>4.6.1 閾値調整後の閾値の平均値</b>	86
	4.6.2 個別調整レジスタの値が最大値でも最小値でもないにも関わらず、	
	<u>目標値との差が 120 e 以上あるピクセル</u>	86
	4.6.3 センサーを取り付けた新型 ASIC や、放射線照射を行なったセン	
	サー付き新型 ASIC についての考察	87
笛ヶ音		80
		05
参考文献		91
付録△	HILIHCピクセル検出器田フロントエンドチップに対する要求一覧	0/
		54
<b>付録</b> B	量産時の品質保証試験における環境データ取得システムの開発	96
AA	ピクセル検出器の量産時に行う品質保証試験の現状	96
	<u>AA.1</u> 新型ピクセル検出器の量産	96
	AA.2 品質保証試験	96
	AA.3 YARR & localdb	97
AB	品質保証試験の環境データ共有システムの開発	98
	AB.1 概要	98
	AB.2 InfluxDB	99
	AB.3 localdb へのデータアップロード	100
		101

# 図目次

1.1	<u>LHC の簡略図 [2]</u>	17
1.2	ATLAS 検出器 [3]	17
1.3	内部飛跡検出器 [3]	18
1.4	半導体検出器の概念図。読み出し電極と ASIC 中のフロントエンド回路	
	は、熱圧着されたはんだ球 (バンプ) で接続されている (バンプ接合)。信号	
	は電極からバンプ接合を通ってフロントエンド回路へと伝わる。	19
1.5	HL-LHC 運転開始までのスケジュール [4]。	20
1.6	RD53A のレイアウト [6]	21
1.7	フロントエンド回路の閾値の設定、測定の概念図。閾値はレジスタ値に	
	よって決まる。ソフトウェアはデジタル通信によるレジスタ値の書き換え	
	と、入力電荷相当の閾値の測定によって閾値を制御する。	22
1.8	閾値の調整前後での、ASIC の閾値分布の比較。横軸が測定された閾値を、	
	縦軸がピクセル数を表す。閾値調整の目標値は 1160 e であった。( <b>左</b> ) 閾	
	値の調整を行う前の分布。閾値は幅広く分布している。( <b>右</b> ) 閾値調整後の	
	<u>分布。閾値は 1160 e 付近に集まっている。</u>	23
1.9	<u>新型 ASIC を用いた検出器の概略図</u>	24
1.10	ピクセル検出器のセンサーと ASIC の位置関係。この図は検出器を上から	
	見た図に相当する。	24
2.1	新型 ASIC の3種類のフロントエンドとそのレイアウト。三種類のうち、	
	Differential FE をベースにした ASIC が ATLAS 検出器として使用され	
	る [6]。図の中にある数字は、各フロントエンド回路の領域を Column で	
	表したものである。	27
2.2	新型 ASIC の較正用テスト電荷の入力の概念図。C <sub>inj</sub> はテスト電圧パルス	
	を電荷パルスに変換するコンデンサを表す。アナログ回路の入力インピー	
	ダンスは 0Ω になっているため、センサーからの信号が C <sub>inj</sub> の方に流れる	
	ということはない。	28

2.3	新型 ASIC のフロントエンド回路の概略図 [6][8]。図 2.3b~ 図 2.3d 右上	
	の記号は、図 2.3a 中のそれぞれの記号の点に対応することを意味する。	29
2.4	ToT の概念図。ToT は信号が閾値を超えている時間を指す。ToT の値は	
	信号の大きさに比例する。	30
2.5	後段増幅回路の回路図 [6]。VTH1, VTH2, PrecompVbn は全ピクセルで	
	共有されるレジスタ (Global Register) からの入力、TDAC で各ピクセル	
	で個別に設定できるレジスタ (Pixel Register) からの入力を指す。	31
2.6	簡略化した場合の後段増幅回路の回路図。 $V_N$ 、 $V_P$ はそれぞれ N 側、P 側	
	の回路の電源電圧として振る舞う。R <sub>N</sub> , R <sub>P</sub> はそれぞれの可変抵抗の抵抗	
	値、I <sub>0</sub> , I <sub>N</sub> , I <sub>P</sub> はそれぞれの電流の大きさを表す。 	32
2.7	フロントエンド回路中の浮遊容量の概念図。Analog 信号を処理する回路	
	と Digital 信号を扱う回路との間に浮遊容量が存在する。	33
2.8	浮遊容量による、アナログ回路からの出力波形のゆがみの概念図。	33
2.9	浮遊容量によるタイミングのずれのシミュレーション結果 [ns]( <b>左</b> ) と浮遊	
	容量の大きさ [pF]( <b>右</b> ) のシミュレーション結果。浮遊容量は8ピクセル×	
	8 ピクセルのコアの中の位置で決まっている [8]。	34
2.10	新型 ASIC 開発グループが定める、1 つのコア中の Good Pixel の位置。	
	緑が Good Pixel を、赤がそれ以外のピクセルを示す [8]。	34
2.11	粒子が通過していない場合の、入力電荷の存在確率は平均値が 0 e の Gauss	
	分布になり、ノイズ量は Gauss 分布の標準偏差にあたる。存在確率が 10 <sup>-6</sup>	
	となるのは、入力電荷が標準偏差の 4.75 倍相当の場合である。ここから、	
	<b>閾値を標準偏差の 4.75 倍に相当する量に設定すれば、ノイズ占有率を 10<sup>-6</sup></b>	
	以下に抑えられる。	35
3.1	本研究の動作試験で使用した新型 ASIC。青い基板上の銀色のチップが	
	新型 ASIC である。青い基板は SCC カードと呼ばれるもの基板である。	
	SCC 上に実装されたコネクタを通して、ASIC とのデータの送受信や電源	
	の供給を行う [9][10]。今回使用した新型 ASIC は、センサーが取り付けら	
	れていないものである。	38
3.2	本研究の動作試験で使用された、新型 ASIC の読み出しセットアップ。	
	ASIC から出力されたデータは FPGA を通して PC に送られる。FPGA	
	ボードは、FPGA が実装された基板である [11]。PCIe は PCI Express コ	
	ネクターによる接続、Display Port はディスプレイポートケーブルによ	
	る接続を指す。Adapter Card はディスプレイポートケーブルと FPGA	
	ボードを接続するために使用される [12]。PC のソフトウェアと FPGA の	
	ファームウェアには、YARR と呼ばれる海外の研究機関が開発したシステ	
	ムを使用した [13]。	39

3.3	本研究で用いた、図 3.2 に示したセットアップの写真。	39
3.4	本試験で使用した新型 ASIC の analog scan の結果。較正用テスト電荷の	
	入力回数は 100 であった。各ピクセルのヒット数。Column と Row は各	
	ピクセルの座標を表す。この図の動作試験では Column>263 のピクセル	
	のみを使用したため、Column が 263 以下のピクセルにはヒットがない。	
	使用したピクセルのヒット数は全て 100 であった。	40
3.5	閾値の測定方法の概念図。横軸が入力したテスト電荷の大きさ [e]、縦軸が	
	1 つのピクセルから検出されたヒットの数である。この図の測定では、テ	
	スト電荷は大きさに関わらず 50 回入力されている。検出効率がちょうど	
	50% になるときの電荷量が、そのピクセルの閾値に相当する。	41
3.6	閾値測定で得られたノイズ量分布。	42
3.7	S-curve のフィッティングが失敗する例。図 3.7a、図 3.7b ともに、横軸は	
	入力電荷の電荷量を決めるレジスタの値である。図 3.7a:injected charge	
	の大きさの変化幅が大きすぎた例。正確な S-curve を描くためには、検出	
	効率が 0~100% の間に数個のデータ点が必要になる。この図の場合は一点	
	しかないためにフィッティングが失敗する。図 3.7b:S-curve が injected	
	charge の範囲内で収まっていない例。S-curve 自体は問題なくプロットで	
	きているため、フィッティングアルゴリズムに課題があると考えられる。	43
3.8	図 3.8a:閾値測定における、テスト電荷の大きさの変化幅に対する測定ミス	
	の数の変化。横幅が変化幅を、縦軸が測定ミスの数を示す。変化幅は、閾	
	値測定の際の入力電荷の電荷量を決めるレジスタ値の変化幅である。変化	
	幅が大きいほど、測定点の数が少なくなる。図 3.8b:テスト電荷の大きさ	
	の変化幅を1として閾値測定を行った際に、測定ミスとなったピクセルの	
	<u>典型的な S-Curve。</u>	44
3.9	全ピクセルの閾値を一括で決めるレジスタ値、VTH1 と VTH2 に対する	
	閾値の変化。この図は、典型的な 1 つのピクセルの結果である。x 軸は	
	VTH1、y 軸は VTH2 を表し、z 軸は測定された閾値を示す。また、値が	
	表示されていない部分は閾値が測定できなかったことを示す。この測定を	
	行った時の、各ピクセルの閾値を調整するレジスタ値は0であった。	45
3.10	全ピクセルの閾値を決めるレジスタ値、VTH1 に対する閾値の変化。x 軸	
	は VTH1、y 軸は測定された閾値を示す。この試験では、VTH2(レジスタ	
	値) は 50 に固定されている。この図には 5 つのピクセルのグラフが表され	
	ている。	46
3.11	2つの一括調整レジスタ、VTH1 と2の差を一定にした場合の VTH1 に対	
	する閾値の変化。VTH1 と 2 の差は 150 であった。x 軸は VTH1、y 軸は	
	測定された閾値を示す。	47

3.12	図 2.6 中の $V_N$ 、 $V_P$ が変化した時の後段増幅回路の出力の変化。N 側、	
	<u> P 側の可変抵抗は R<sub>N</sub> = R<sub>P</sub>、信号がない時の N 側、P 側の電流は</u>	
	$I_N = I_P = I_0/2$ とした場合のグラフである。	48
3.13	フロントエンド回路中の FET の動作領域がずれるメカニズム。ここでい	
	う FET は図 2.6 中の InN、InP が入力されるトランジスタのことを指す。	
	G は FET のゲート、D はドレイン、S はソースを指す。V <sub>DS</sub> はドレイン-	
	ソース間の電位差である。また、右に示すのが FET の特性曲線であり、	
	$V_{DS}$ に対する左図中の $I_N$ の変化を表す。 $V_p$ はピンチオフ電圧を指し、	
	FET の特性によって決まる値である。	49
3.14	ピクセルごとに閾値を決めるレジスタ (TDAC) に対する閾値の変化。x 軸	
	は TDAC の設定値、y 軸は測定された閾値と基準閾値との差を示す。	50
3.15	簡略化した場合の後段増幅回路の回路図。R <sub>N</sub> , R <sub>P</sub> はそれぞれの可変抵抗	
	の抵抗値、 $V_N$ 、 $V_P$ はそれぞれ N 側、P 側の回路の電源電圧、 $V_C$ は対応	
	する点の電位、 $I_0, I_N, I_P$ はそれぞれの電流の大きさを表す。 ${ m InN}$ 、 ${ m InP}$ が	
	入力されるトランジスタは本来 NMOSFET であるが、簡略化のためにバ	
	イポーラトランジスタに置き換えている。	51
3.16	本考察で用いる、InN、InP への入力。	51
3.17	後段増幅回路への入力電圧と出力電圧 (Out <sub>N</sub> – Out <sub>P</sub> ) の相関の概念図。	
	ピクセルごとに閾値を調整するレジスタ (TDAC) の値によって、入力電圧	
	と出力電圧の相関の傾きが変化する。VTH は全ピクセルの閾値を決める	
	レジスタ値を指す。TDAC は各ピクセルの閾値を個別に調整するレジスタ	
	値を指す。	53
3.18	VTH によるベースラインの変化が小さい場合の、後段増幅回路への入力	
	電圧と出力電圧 (Out <sub>N</sub> – Out <sub>P</sub> ) の相関の概念図。VTH は全ピクセルの閾	
	値を決めるレジスタ値を指す。TDAC は各ピクセルの閾値を個別に調整す	
	るレジスタ値を指す。	54
3.19	全ピクセルの閾値を決めるレジスタ値、VTH1 と VTH2 に対する閾値の	
	変化。図 3.19a は、ピクセルごとに閾値を調整するレジスタ値 (TDAC)	
	を 15 にした時の結果、図 3.19b は TDAC を –15 にした時の結果である。	
	この図は、典型的な1つのピクセルの結果である。x 軸は VTH1、y 軸は	
	VTH2 を表し、z 軸は測定された閾値を示す。また、値が表示されていな	
	い部分は閾値が測定できなかったことを示す。	55
3.20	図 3.9、図 3.19a、図 3.19b での、閾値が急激に上昇するレジスタ値の境目。	55
4 1		
4.1	<u> </u>	57

4.2	一括調整レジスタの調整過程での、レジスタ値の変化の様子。レジスタ値	
	の変化幅の初期値は 16 である。検出率は、入力電荷の入力回数に対する	
	ヒット数の比である。前回のレジスタ値の増減と逆の増減を行う場合は、	
	レジスタ値の変化幅を半分にする。また、変化幅が1になった場合、検出	
	率に関わらず調整は終了となる。	58
4.3	一括調整レジスタの調整過程でのヒット数分布。図 4.3a~ 図 4.3d にかけ	
	て、ヒット数分布の平均が 50 に近づいていく。	59
4.4	個別調整レジスタ (TDAC) の調整の概念図。	60
4.5	個別調整レジスタの調整アルゴリズムの概念図。	61
4.6	ピクセルごとに閾値を調整するレジスタの調整過程でのヒット数分布。い	
	ずれの図でも入力電荷の入力回数は 100 であった。図 4.6a~ 図 4.6e にか	
	けて、ヒット数 30~70 のピクセルが増加している。	62
4.7	閾値調整後の、TDAC の分布。目標閾値は 900 e であった。	64
4.8	閾値調整機構の動作試験における閾値調整後の閾値分布。図 4.8a~ 図 4.8d	
	は、それぞれの目標閾値に調整した後の閾値分布である。図 4.8e は目標閾	
	値に応じた閾値分布の変化を示す2次元ヒストグラムである。いずれの図	
	も、good pixel のみを対象とした場合の結果である。 	66
4.9	good pixel のみを用いた閾値調整後の、全ピクセルの閾値を決めるレジス	
	<mark>タ値 (VTH1) と目標閾値との相関。</mark>	67
4.10	閾値調整機構の動作試験における、閾値調整後のピクセルごとに設定され	
	るレジスタ (TDAC) の分布。図 4.10a~ 図 4.10d は、それぞれの目標閾値	
	に調整した後の TDAC 分布である。図 4.10e は目標閾値に応じた TDAC	
	分布の変化を示す2次元ヒストグラムである。いずれの図も、good pixel	
	のみを対象とした場合の結果である。	68
4.11	個別調整レジスタ (TDAC) の調整後のレジスタ値。閾値調整前の段階で、	
	目標閾値からの差が同程度の2つのピクセルを考える。一括調整レジスタ	
	で決まる閾値が高い場合、個別調整レジスタ 1bit あたりの閾値の変化がレ	
	ジスタ値の正負によって異なる。したがって、目標閾値より閾値が高いピ	
	クセルと低いピクセルでは、目標閾値との差が同程度であっても、調整後	
	のレジスタ値は異なる。	69
4.12	個別調整レジスタ値が最大で、かつ閾値と目標閾値の差が 120 e あるピク	
	セルの概略図。個別レジスタ値が最小のものも、同様の描像になる。	69

4.13	good pixel のみを対象とした場合の、閾値調整後の平均値と標準偏差。	
	図 4.13a:閾値調整後の閾値分布の平均値と、目標閾値との差。横軸は目	
	標閾値を表す。平均値は、閾値分布をガウス関数で近似した場合の値を用	
	いている。図 4.13b:閾値調整後の閾値分布の標準偏差。標準偏差は、閾	
	値分布をガウス関数で近似した場合の値を用いている。	70
4.14	レジスタ値が最大値でも最小値でもないにも関わらず、目標値との差が	
	<u>120 e 以上あるピクセルの発生メカニズム。図中の検出率は、目標閾値相</u>	
	当の電荷量を持つ入力電荷に対する検出率である。図 4.14a:統計的な揺	
	らぎによって、レジスタ値の調整を間違えたもの。図 4.14b:レジスタ値	
	が離散的であるために、検出率が 0.3~0.7 の範囲に収まらないもの。	72
4.15	目標閾値ごとの閾値調整に失敗したピクセルの割合。good pixel のみを	
	対象とした場合の結果である。縦軸は Good Pixel 中の閾値調整に失敗	
	したピクセルの割合を表す。(緑) 閾値調整の結果動作異常ピクセルと	
	なったもの。( <b>赤</b> ) 閾値測定の際のフィッティングに失敗したピクセル。	
	(青)(紫)(黄) 測定された閾値と目標値が 120 e 以上開いているピクセル。	
	( <b>青</b> ) ピクセルごとに閾値を調整するレジスタ (TDAC) が 15。( <b>紫</b> )TDAC	
	が-15。( <b>黄</b> )TDAC が 15 でも-15 でもないもの。	73
4.16	図 4.10d を、 4.3.2 節での分類に従って色分けしたもの。赤の"fitting	
	failed"とあるのが閾値測定に失敗したピクセル、緑の"non responsive"と	
	あるのが動作異常ピクセルである。 Thr <sup>meas</sup> – Thr <sup>tar</sup>   > 120 <i>e</i> は測定さ	
	れた閾値と目標閾値との差が 120 e 以上あるものである。	75
4.17	個別調整レジスタ (TDAC) が 0 の時の閾値が平均より低くなるような	
	ピクセルの、個別調整レジスタの調整。理想的な調整では、レジスタ値	
	を +10 15 程度にすることで、閾値を目標閾値に近づけることができる。	
	しかし、閾値が低く、ノイズを常に検出する状態になると、ヒット数が 0	
	であるためにアルゴリズムはレジスタ値を下げてしまう。これにより、個	
	別調整レジスタが –15 の動作異常ピクセルが生まれる。	76
4.18	閾値調整手順による、閾値が Noise 量を下回るピクセルの抑制の概念図。	
	Global Tuning は、一括調整レジスタの調整を指す。修正前では、閾値が	
	ノイズ量を下回るピクセルが一定数存在するが、修正後ではその数が抑え	
	られている。	77
4.19	閾値調整手順改善後の閾値調整機構の動作試験における閾値調整後の閾値	
	<u>分布。図 4.19a~ 図 4.19d は、それぞれの目標閾値に調整した後の閾値分</u>	
	布である。図 4.19e は目標閾値に応じた閾値分布の変化を示す 2 次元ヒス	
	トグラムである。good pixel のみを対象とした場合の結果である。 	79

4.20	good pixel のみを用いた閾値調整後の、全ピクセルの閾値を決めるレジス	
	<u>タ値 (VTH1) と目標閾値との相関。</u>	80
4.21	閾値調整機構の動作試験における閾値調整後の個別調整レジスタ (TDAC)	
	<u>の分布。図 4.21e は目標閾値に応じた TDAC 分布の変化を示す 2 次元ヒ</u>	
	ストグラムである。図 4.21a~ 図 4.21d は、それぞれの目標閾値に調整し	
	た後の TDAC 分布である。good pixel のみを対象とした場合の結果であ	
	వె	81
4.22	good pixel のみを対象とした場合の、閾値調整機構の動作試験結果。	
	図 4.22a:閾値調整後の閾値分布の平均値と、目標閾値との差。横軸は目	
	標閾値を表す。平均値は、閾値分布をガウス関数で近似した場合の値を用	
	いている。図 4.22b:閾値調整後の閾値分布の標準偏差。標準偏差は、閾	
	値分布をガウス関数で近似した場合の値を用いている。	82
4.23	目標閾値ごとの、閾値調整に失敗したピクセルの割合。横軸は閾値調整に	
	用いた目標値、縦軸は Good Pixel 中の閾値調整に失敗したピクセルの割	
	合を表す。それぞれの色は失敗した原因を示しており、色分けの基準は	
	図 4.15 と同じである。	82
4.24	全ピクセルを対象とした場合の、閾値調整機構の動作試験結果。図 4.24a	
	閾値調整後の閾値分布の平均値と、目標閾値との差。横軸は目標閾値を表	
	す。平均値は、閾値分布をガウス関数で近似した場合の値を用いている。	
	図 4.24b 閾値調整後の閾値分布の標準偏差。標準偏差は、閾値分布をガウ	
	ス関数で近似した場合の値を用いている。	83
4.25	目標閾値ごとの、閾値調整に失敗したピクセルの割合。横軸は閾値調整に	
	用いた目標値、縦軸は全ピクセル中の閾値調整に失敗したピクセルの割	
	合を表す。それぞれの色は失敗した原因を示している。色分けの定義は	
	図 4.15 と同じである。	83
4.26	別の新型 ASIC を用いた場合の、閾値調整機構の動作試験結果。対象は	
	good pixel のみである。図 4.26a 閾値調整後の閾値分布の平均値と、目標	
	<mark>閾値との差。横軸は目標閾値を表す。平均値は、閾値分布を Gauss 関数で</mark>	
	フィッティングすることで算出した。図 4.26b 閾値調整後の閾値分布の標	
	準偏差。標準偏差は、閾値分布を Gauss 関数でフィッティングすることで	
	算出した。	84
4.27	目標閾値ごとの、閾値調整に失敗したピクセルの割合。横軸は閾値調整に	
	用いた目標値、縦軸は good pixel 中の閾値調整に失敗したピクセルの割	
	合を表す。それぞれの色は失敗した原因を示しており、色分けの基準は	
	図 4.15 と同じである。	85

B.1	品質保証試験の結果を共有するためのデータベースの概念図。各研究所ご	
	とに試験結果を保存するデータベースを持ち、研究所間でのデータの共有	
	を行うことができる。その中から必要なデータだけを、最終結果を共有す	
	るデータベースにアップロードする。	97
B.2	品質保証試験時の、環境データ共有システムの概念図。赤色の領域内に	
	あるものは、世界中の研究所で同じものを使用する予定である。RD53A	
	module は、製造された検出器を指す。Slow Control System は、電源供	
	給を行う装置の制御や、環境データの取得を行う。環境データは InfluxDB	
	と呼ばれるデータベースにアップロードされ、必要なデータだけが localdb	
	にアップロードされる。	98
B.3	InfluxDB に保存されているデータの一例。この図のデータは ASIC のデ	
	ジタル回路への電源の電圧、電流である。	99
B.4	Grafana による InfluxDB 内のデータのモニタリング。図に示しているの	
	は、ASIC のデジタル、アナログ回路への電源の電圧と電流である。図中	
	の赤い線は、警告用の閾値である。右側のプロットではデータ点が一つし	
	か表示されていないように見えるが、2つのデータ点の値が同じであるた	
	めである。	100
B.5	localdb に対応したデータ閲覧用ソフトウェアによる、環境データの表示	
	例。赤色で示されている部分が、読み出し試験を行っていた時間である。 .	101
B.6	品質保証試験用スクリプト (Single_Operator) の挙動の概念図。DCS は	
	Slow Control System を指す。	102

# 表目次

4.1	入力回数による、"個別調整レジスタの値が最大値でも最小値でもないにも	
	<u> 関わらず、目標値との差が 120 e 以上あるピクセル"の数の変化。</u>	86
A.1	ATLAS 実験グループが定める、新型ピクセル検出器用 Front-End チップ	
	への要求。(*) はヒット情報をチップに保存するために必要な最大時間で	
	ある [5]。	95

# **第**1章

# 序論

# 1.1 LHC/ATLAS 実験

1.1.1 LHC

Large Hadron Collider (LHC) は、欧州原子核研究機構 (CERN) によって建設された 世界最大の陽子陽子衝突型加速器である。スイス・ジュネーブ郊外の地下 170 m、周長約 27 km のトンネル内に建設されている。LHC の概略図を図 11 に示す。周上に4箇所設け られている陽子陽子衝突点には大型の検出器が設置されている。各検出器は衝突点での陽 子陽子衝突によって生成される粒子を観測している。

2015 年以降、LHC では陽子ビームのエネルギーが 6.5 TeV、重心系衝突エネルギーが 13 TeV であった。2018 年の運転での最大瞬間ルミノシティは 2.1×10<sup>34</sup> cm<sup>-2</sup>s<sup>-1</sup> であっ た 回。

#### 1.1.2 ATLAS 実験と内部飛跡検出器

A Troidal LHC AparatuS (ATLAS) 実験は LHC で行われている実験の一つである。 ATLAS 検出器は LHC の衝突点の一つに設置されている。ATLAS 実験の目的は、質量の 起源と考えられているヒッグス粒子の性質の測定や、標準理論の枠組みを超える新物理の発 見である。

ATLAS 検出器は直径 25 m、長さ 44 m の円筒形の検出器である。その概略図を図 22 に示す。陽子同士の衝突点を全方位に渡って覆うような形で検出器が並べられており、衝突点で生成される検出可能な粒子の飛跡、運動量、エネルギーを漏らさず再構成できるよう設計されている。

ATLAS 検出器の中で、本研究ともっとも関わりが深い内部飛跡検出器について述べる。 内部飛跡検出器は ATLAS 検出器の最内層に設置されており、荷電粒子の飛跡を再構成す る。内部飛跡検出器の概略図を図 **13** に示す。飛跡検出器外部の超伝導ソレノイド磁石に



図 1.1: LHC の簡略図 [2]



図 1.2: ATLAS 検出器 🖪

よる磁場 (2T) を用いた運動量測定を行う他、飛跡の情報から二次粒子の発生点を精密に測 定することができる。



図 1.3: 内部飛跡検出器 🖪

## 1.1.3 ピクセル検出器と読み出し ASIC

ピクセル検出器は内部飛跡検出器のうち最も衝突点に近い領域に設置されている半導体 検出器である。半導体にはシリコンが使われている。また、信号の読み出しにはセンサーと 接続された読み出し用集積回路 (ASIC) を用いる。

検出器の原理を図 2 に示す。検出器中を荷電粒子が通過すると、検出器中に電子正孔対が生成される。電子と正孔が検出器にかけられた電場によって移動すると、 読み出し用の 電極に電流パルスが発生する。信号は電極を通して ASIC 中の読み出し回路へと伝わる。

ピクセル検出器では、電気信号の読み出し電極が二次元の格子状に区切られている。その 一つ一つの格子をピクセルと呼ぶ。このピクセルの大きさが飛跡検出の位置分解能を決定 している。現行 ATLAS 検出器のピクセル検出器では、ピクセルの大きさは 50×250 μm<sup>2</sup> であった。

読み出し ASIC 中には、1 つのピクセルにつき 1 つの読み出し回路がある。電極と ASIC の読み出し回路は熱圧着された小さなはんだ球 (バンプ) で接続されている。この手法をバ ンプ接合と呼ぶ。次節以降では、読み出し回路をフロントエンド回路と呼称する。

# 1.2 LHC/ATLAS 実験のアップグレード計画

## 1.2.1 HL-LHC 計画

2027 年末から、LHC はさらなる事象数の増加を目指して高輝度化される (High Luminosity LHC、HL-LHC)回。目標の瞬間ルミノシティは  $(5 \sim 7.5) \times 10^{34} \text{ cm}^{-2} \text{s}^{-1}$ である。



図 1.4: 半導体検出器の概念図。読み出し電極と ASIC 中のフロントエンド回路は、熱圧 着されたはんだ球 (バンプ) で接続されている (バンプ接合)。信号は電極からバンプ接合を 通ってフロントエンド回路へと伝わる。

これは現在の LHC の約 3 倍である。2037 年までには積分ルミノシティ 4000 fb<sup>-1</sup> を達成 する予定である。陽子陽子衝突事象の増加により、ヒッグス粒子の性質の測定や標準理論の 枠組みを超える新物理の観測などの、各研究の進展が期待されている。ATLAS 実験グルー プは HL-LHC に向けた内部飛跡検出器のアップグレードを計画している。

HL-LHC 運転開始までのスケジュールを図 L5 に示す。HL-LHC 運転開始は 2027 年 末を予定している。LHC は 2024 年まで運転される予定である (Run3)。Run3 終了後、 HL-LHC が運転開始するまでの間に ATLAS 検出器のアップグレードが行われる。

次節以降では、内部飛跡検出器のアップグレード計画のうち本研究と最も関わりが深い、 ピクセル検出器のアップグレードについて述べる。

### 1.2.2 ピクセル検出器アップグレード

ATLAS 実験グループは HL-LHC の開始に向けて、全てのピクセル検出器を新型のもの に取り替えることを計画している。以下に述べる放射線損傷及びヒット占有率の観点で、現 行の検出器では HL-LHC での ATLAS 実験に耐えられないためである。

放射線損傷は衝突あたりの生成粒子の増加に従って大きくなる。現行の ATLAS の内部 飛跡検出器が設計当時に想定していた瞬間ルミノシティは  $1 \times 10^{34}$  cm<sup>-2</sup>s<sup>-1</sup> であるが、 HL-LHC が目標とする瞬間ルミノシティは  $(5 \sim 7.5) \times 10^{34}$  cm<sup>-2</sup>s<sup>-1</sup> と、最大 7.5 倍にも なる。アップグレード後の検出器には、放射線損傷による検出効率低下を避けるために高い 放射線耐性が要求される。

ヒット占有率とは、衝突イベント毎に一つの検出器の全チャンネルのうち、ヒット判定さ



図 1.5: HL-LHC 運転開始までのスケジュール 🛽。

れたチャンネルの割合を指す。これが増加すると複数の飛跡の判別が困難になるため、パ ターン認識による飛跡再構成の性能を低下させてしまう。ピクセルサイズを小さくすると、 ヒット占有率を下げることができる。

アップグレード後のピクセル検出器のピクセルの大きさは、50×50 μm<sup>2</sup> になる予定である<sup>21</sup>。これは、現行の ATLAS ピクセル検出器のピクセルサイズ (50×250 μm<sup>2</sup>) の 5 分の 1 に相当する。このピクセルサイズであれば、平均ヒット占有率は 0.2% を下回ることがシ ミュレーションによって確かめられている **□**。

また、ピクセルサイズの変更や事象レートの増加に対応するため、読み出し ASIC のアッ プデートも必要になる。現在、新型読み出し ASIC のプロトタイプが開発されている。

# 1.3 新型ピクセル検出器用読み出し ASIC RD53A

本節では、新型ピクセル検出器用読み出し ASIC のプロトタイプである、RD53A の概要 について述べる。この ASIC のフロントエンド回路についての詳細な議論は第 2章にて行 う。また本節以降、新型 ASIC と書いた場合は RD53A のことを指す。

<sup>\*1</sup> 一部の領域では 25×100  $\mu m^2$ 

#### 1.3.1 概要

RD53A は HL-LHC 用ピクセル検出器の読み出し ASIC のプロトタイプとして設計・開 発された新型 ASIC である。設計・開発は ATLAS、CMS、RD53 Collaboration が共同 で行なっている。新型 ASIC チップのレイアウトを図 LG に示す。チップ一枚の大きさは 11.8 × 20 mm<sup>2</sup> であり、チャンネル数は 192 × 400 である。各フロントエンド回路は、ピ クセルの大きさに相当する 50 × 50  $\mu$ m<sup>2</sup> の中に収まっている。また、新型 ASIC は自身の 設定を保持するレジスタを持っている。このレジスタは、外部からデジタル信号で通信する ことで書き換えることができる。

1つのフロントエンド回路に1つのピクセルが対応しており、ヒットの有無の判定と入力 された電荷量の推定を行う。ヒットがあると判断した場合、そのピクセルの座標と電荷量を デジタル信号として出力する。ヒットの有無の判定には、ピクセルごとに個別で調節可能な 閾値が用いられる。



図 1.6: RD53A のレイアウト 6

フロントエンド回路の閾値の概念図を図 **C7** に示す。各回路の閾値は、新型 ASIC 自身 が持つレジスタの値によって決まる。閾値の変更は、デジタル通信によるレジスタ値の変更 によって行う。また、新型 ASIC の各ピクセルの閾値を知るためには、閾値の測定を行う必 要がある。閾値の測定には、電荷量のわかっている較正用のテスト電荷を用いる。この時測 定される閾値は、閾値に相当する入力電荷量を指す。

#### 1.3.2 **閾値の調整**

フロントエンド回路の閾値を決定するためには、以下のような手順が必要になる。



図 1.7: フロントエンド回路の閾値の設定、測定の概念図。閾値はレジスタ値によって決ま る。ソフトウェアはデジタル通信によるレジスタ値の書き換えと、入力電荷相当の閾値の測 定によって閾値を制御する。

- 1. 目標となる閾値を決める。
- 2. レジスタの値を変更する
- 3. 閾値を測定し、目標閾値と比較する。異なっていれば2に戻る。

この手順を閾値の調整と呼ぶ。

閾値を調整する前後の、全ピクセルの閾値の分布を図 LS に示す。この時の目標閾値 は 1160 e であった。図 LS(左) に示す閾値調整前のプロットでは、各ピクセルの閾値が バラバラな値を取っていることがわかる。これは各ピクセルの個体差によるものである。 図 LS(右) に示す閾値調整後のプロットでは、各ピクセルの閾値が目標閾値付近で揃ってい る。これはレジスタの調整によって、各ピクセルの閾値のばらつきを抑えることができるこ とを意味する。

### 1.3.3 閾値の調整に対する要求

各ピクセルの閾値がバラバラであった場合、検出器の検出効率やノイズ占有率に影響がある。検出器のノイズ占有率は10<sup>-6</sup>以下であることが求められている。検出器として運用する際の閾値は600 e に調整される予定である。閾値が600 e に設定された場合に前述した条



図 1.8: 閾値の調整前後での、ASIC の閾値分布の比較。横軸が測定された閾値を、縦軸がピ クセル数を表す。閾値調整の目標値は 1160 e であった。(**左**) 閾値の調整を行う前の分布。 閾値は幅広く分布している。(**右**) 閾値調整後の分布。閾値は 1160 e 付近に集まっている。

件を満たすためには、閾値の標準偏差、閾値の時間変化、ノイズの入力電荷相当量の二乗和 が 126 e を下回る必要がある [2]。こうした観点から、ATLAS 実験グループでは閾値調整 後の ASIC の閾値分布について満たすべき要求を定めている [5]。その要求は、閾値調整後 の閾値分布をガウス関数で近似した場合に、標準偏差が 40 e を下回っていることである。

新型 ASIC のフロントエンド回路はこうした要求をもとに設計されている。しかし、実際に要求を満たせているかどうかの検証は、実は本研究以前には行われていない。さらに標準偏差の評価のみでは、読み出せないピクセルや閾値が目標値に揃わないピクセルの数を評価することができない。従って、これらを評価するための新しい基準が必要である。

本研究では、新たな基準として「全ピクセルの 99.7% の閾値が閾値の目標値から± 120 e 以内に存在する」ことを要求した。この基準についての詳細な考察は 2.4.3 節にて行う。

## 1.4 新型ピクセル検出器の量産

#### 1.4.1 製造される新型ピクセル検出器

ATLAS 実験グループでは新型ピクセル検出器の量産についても準備が進められている。ATLAS 日本グループでは約 2000 個の検出器を生産する予定であり、これは全体の約 20% に相当する。生産される新型ピクセル検出器の概略図を図 **1.9**、図 **1.10** に示す。

検出器を構成する要素は主に4つある。半導体センサー、読み出しASIC、データの送 受信を行うフレキシブルプリント回路 (FPC)、ASIC と FPC を接続するワイヤーである。 新型ピクセル検出器に搭載される読み出しASIC は、プロトタイプ (RD53A)を改良した RD53B と呼ばれる ASIC である。RD53B の大きさは 20.1mm×21mm である。1 枚の半 導体センサーの信号を4 枚の ASIC で読み出す。半導体センサーの各ピクセルとASIC の フロントエンド回路は、バンプ接合によって接続されている。



図 1.9: 新型 ASIC を用いた検出器の概略図



図 1.10: ピクセル検出器のセンサーと ASIC の位置関係。この図は検出器を上から見た図 に相当する。

新型ピクセル検出器は、放射線照射後の検出効率が 97% 以上であることが要求されてい る。検出効率の悪化の原因は、前述した閾値調整によって読み出しができなくなるピクセル 以外に、バンプ接合の不良や放射線照射による影響などがある。

### 1.4.2 量産時の品質保証試験

生産されたモジュールに対して品質保証試験が行われる。量産時の品質保証試験は、製造された検出器がピクセル検出器として問題なく動作するものかどうかを検証する目的で行われる。その内容は、センサーの電圧電流特性の測定、テスト電荷を用いた検出効率の測定、閾値の調整など多岐にわたる。閾値の調整試験では、1000 e への調整後の閾値分布の

評価を行う。この試験によって製造された検出器の評価を行うためには、閾値調整試験を 行った場合の典型的な結果が必要である。

# 1.5 本研究の目的と意義

本研究の目的は、新型 ASIC のフロントエンド回路が、[1.3.3] 節に示した閾値の調整に対 する要求を満たせているかを検証することである。

**L3.2**節で述べたように、新型 ASIC の閾値の設定には ASIC 自身が持つレジスタ値を調 整するという過程が必要である。ピクセル検出器として運用するためには各 Pixel の閾値 がほぼ同じでなければならず、閾値の調整は新型 ASIC を評価する上で重要な課題となる。 本研究では閾値調整後の各ピクセルの閾値を、ATLAS グループが定めた要求および本研究 で新たに定めた基準と比較した。さらに 0~2000 e の範囲で目標閾値を設定し、要求を満た すことのできる目標閾値の範囲についても調査を行った。こうした検証は本研究が初めて であり、ピクセル検出器の運用に関する議論や、量産時の品質保証試験の結果の考察に不可 欠な情報を提供する。さらに、これらの結果を踏まえて閾値調整手順の改善を行い、その有 効性の検証を行った。

本論文では、第2章で新型 ASIC の開発及びフロントエンド回路の構造について解説す る。第3章では新型 ASIC の読み出し試験について述べる。第24章では、閾値調整後の新 型 ASIC と、ATLAS グループからの要求及び本研究で定めた基準を比較した試験結果につ いて述べる。最後に第55章で結論を述べる。

# 第2章

# HL-HLC ATLAS ピクセル検出器用読 み出し ASIC

本章では、新型 ASIC 及びそれを搭載したモジュールについて述べる。 2.1 節で新型 ASIC の概要を述べ、 2.2 節では実際の新型 ASIC の機能の詳細と、その回路構成について 述べる。 2.3 節では、ASIC を搭載したモジュールと、それが満たすべき検出効率について 述べる。 2.4 節では、新型 ASIC の回路に対する要求について説明する。

# 2.1 新型 ASIC

#### 2.1.1 概要

新型 ASIC の役割は、新型ピクセル検出器の信号をデジタル情報に変換することである。 出力されるデジタル情報は、ピクセルの座標、Hit の有無、そして信号の電荷量である。検 出器からの信号を処理するフロントエンド回路は、1 つの ASIC の中にピクセルと同じ数だ け存在する。フロントエンド回路は、センサーからの信号を処理するアナログ回路と、アナ ログ回路で得られた情報をデジタル化するデジタル回路の 2 つから成る。

新型 ASIC は、フロントエンド回路の候補となる回路を比較する目的で製作されたプ ロトタイプ ASIC である。三種類のフロントエンド回路を持ち、それぞれ Synchronous Front-End、Linear Front-End、Differential Front-End(以下 DiffFE) と呼ばれている。こ れらのレイアウトを図 21 に示す。この三種類のうち、ATLAS 実験グループでは DiffFE を採用することが既に決まっている。次節以降では DiffFE についてのみ考察を行う。

また、新型 ASIC は自身の回路の設定値を保存できるレジスタを持っている。このレジ スタには大きく分けて 2 つの種類がある。全てのピクセルに一括で同じ値を提供するレジ スタを Global Register、ピクセルごとに個別で値を提供するレジスタを Pixel Register と 呼ぶ。



図 2.1: 新型 ASIC の 3 種類のフロントエンドとそのレイアウト。三種類のうち、Differential FE をベースにした ASIC が ATLAS 検出器として使用される [6]。図の中にある数字は、 各フロントエンド回路の領域を Column で表したものである。

### 2.1.2 テスト電荷の入力

新型 ASIC は較正用のテスト電荷パルスを作成する回路を持ち、フロントエンド回路に 与えることができる。テスト電荷の入力の概念図を図 2.2 に示す。テスト電荷はフロント エンド回路の動作確認や、閾値の測定、閾値の調整などの用途に用いられる。新型 ASIC 自 身がテスト電荷を作成する機能を持つことにより、ASIC 単体での動作試験を常に同じ入力 電荷の条件で行うことができる。入力されたテスト電荷は、センサーからの信号と同様に フロントエンドによって処理される。入力電荷は ASIC 内部で電圧パルスとして生成され、 コンデンサ (図 2.2 中の C<sub>inj</sub>) によって電荷パルスに変換された後フロントエンド回路に入 力される。電圧パルスの電圧値は、レジスタ値によって決まる。入力電荷の電荷量の調整 は、電圧値をレジスタ値によって調整することで行う。

テスト電荷の電荷量の較正として、電圧パルスの電圧値とコンデンサの静電容量の測定が 新型 ASIC 開発グループによって行われている。電圧パルスの電圧はプローブによって測 定される。しかし、各ピクセルのフロントエンド回路が持つコンデンサの容量は測定できな い。その代わりに、各ピクセルのコンデンサと同じ構造を持つ回路を ASIC の中に用意し、 その静電容量を測定する **6**。

図 2.1 の右上端、左上端の領域に静電容量の測定用の回路が設けられている。右上、左上 それぞれに 100 個ずつコンデンサが取り付けられている。新型 ASIC 開発グループが 6 枚 の ASIC の静電容量の測定を行ったところ、静電容量の平均値は 8.21±0.01 fF であった。 また、右上と左上の差の平均は 0.04 fF であった。本研究での入力電荷量の計算では、静電



図 2.2: 新型 ASIC の較正用テスト電荷の入力の概念図。C<sub>inj</sub> はテスト電圧パルスを電荷パ ルスに変換するコンデンサを表す。アナログ回路の入力インピーダンスは 0Ω になっている ため、センサーからの信号が C<sub>inj</sub> の方に流れるということはない。

容量 (図 2.2 中の C<sub>ini</sub> は 8.2fF としている。

# 2.2 アナログ信号の処理を行う回路

#### 2.2.1 概要

フロントエンド回路の挙動を図 2.3 に示す。図 2.3a は回路の全体図、図 2.3b~ 図 2.3d は各点での波形である。回路は前段増幅回路 (PreAmp)、後段増幅回路 (PreComp)、コン パレータ (Comp) から成り、検出器から送られてくる信号 (図 2.3b) を処理する。前段増幅 回路は電荷信号を電圧信号に変換する (図 2.3c)。後段増幅回路は電圧信号の差動増幅、出 力信号のベースラインの調整を行い、差動信号を出力する。コンパレータは後段増幅回路か らの 2 つの入力を比較し、ヒットがあったかを判定する (図 2.3d)。コンパレータから出力 された矩形波は、デジタル情報を作成するデジタル回路に送られる。

信号の電荷量の推定には、Time over Threshold (ToT) と呼ばれる値を用いる。ToT は 信号が閾値を超えている時間を指す。入力された信号の電荷が大きいほど、ToT が大きく なる。ToT の概念図を図 2.4 に示す。新型 ASIC の ToT 出力は 4bit である。新型 ASIC のフロントエンド回路では、コンパレータから出力される矩形波の幅が ToT の値として用 いられる。



(a) フロントエンド回路のアナログ信号処理部分。太字で書いてあるものは全ピクセルに一括で同じ 値を提供するレジスタ、下線があるものはピクセルごとに個別の値を提供するレジスタである。



(d) 後段増幅回路からの出力と、それらが入力された場合のコンパレータの出力。+, - は図 2.3 中の コンパレータの入力に対応する。ΔBaseline とあるのは出力信号のベースラインの差である。

図 2.3: 新型 ASIC のフロントエンド回路の概略図 [6] [8]。図 [2.36] ~ 図 [2.36] 右上の記号は、 図 [2.37] 中のそれぞれの記号の点に対応することを意味する。



図 2.4: ToT の概念図。ToT は信号が閾値を超えている時間を指す。ToT の値は信号の大きさに比例する。

### 2.2.2 フロントエンド回路の閾値調整の原理

フロントエンド回路の実質的な閾値は、後段増幅回路 (図 2.3a 中の PreComp) によって 決まる。後段増幅回路は、図 2.3d 図中に示したベースラインの差と信号の波形の高さを調 整することができる。この 2 つの要素から、実質的な閾値が決まる。

後段増幅回路の回路図を図 2.5 に示す。図中の VTH1、VTH2 は全ピクセルで共有される 10bit のレジスタ値であり、図 2.5 中の  $V_N$ 、 $V_P$  の電位を決めている。この電位はそれぞれ N 側、P 側の回路の実質的な電源電圧として用いられる。

また、図 2.5 中の D[0]~D[3] はピクセルごとに設定できる 5bit のレジスタ (TDAC) の うちの 4bit 分の各 bit を表している。残りの 1bit は図中の N 側, P 側のうちどちらの D[n] に 4bit の情報を反映させるかを決めている。D[n] が入力されるトランジスタはスイッチン グ素子として振る舞う。D[n] の値に応じて抵抗が有効か無効かが決まる。

図中の PrecompVbn が入力されているレジスタは定電流源として振る舞い、N 側、P 側 を流れる電流の合計を決定している。

後段増幅回路への入力は図中の InN、InP で示されている入力である。InP には前段増幅 回路からの電圧信号が入力される。InN の電位は前段増幅回路の入力電位と同じになる。

以上を踏まえて、後段増幅回路の回路図を簡略化したものを図 2.6 に示す。 $V_N$ 、 $V_P$  は 図中に示した点の電位であり、N 側、P 側それぞれの回路の電源電圧として振る舞う。 $V_N$ 、 $V_P$  の大きさはレジスタ値によって変わる。 $R_N$ 、 $R_P$  はレジスタによって抵抗値の変わる 可変抵抗である。 $I_0$ 、 $I_N$ 、 $I_P$  はそれぞれの電流の大きさを表す。図中の OutP、OutN で の電位をそれぞれ  $V_{\text{OutP}}$ 、 $V_{\text{OutN}}$ とした時の、図中に示した各値との関係性を式 (2.2)~式 (2.4) に示す。

$$I_0 = I_N + I_P \tag{2.1}$$



図 2.5: 後段増幅回路の回路図 [0]。VTH1, VTH2, PrecompVbn は全ピクセルで共有され るレジスタ (Global Register) からの入力、TDAC で各ピクセルで個別に設定できるレジ スタ (Pixel Register) からの入力を指す。

$$V_{\rm OutN} = V_N - R_N I_N \tag{2.2}$$

$$V_{\rm OutP} = V_P - R_P I_P \tag{2.3}$$

$$V_{\rm OutN} - V_{\rm OutP} = V_N - V_P - (R_N I_N - R_P I_P)$$
(2.4)

図 2.6 中の InP に信号が来ていない時、 $I_N = I_P = I_0/2$ となる。この時の後段増幅回路 の 2 つのベースラインの電位差は、式 (2.4) より  $V_N - V_P - (R_N - R_P)I_0/2$ となる。この 式は、後段増幅回路の 2 つの出力のベースラインの電位差が  $V_N$ 、 $V_P$  の電位差と N 側、P 側の可変抵抗  $R_N$ 、 $R_P$  の差によって決まることを意味する。この電位差が各ピクセルの閾 値を決定する要素の一つとなる。

図 2.6 中の InP に信号が到達した場合を考える。InP は N 型 MOSFET(NMOS) のゲー ト入力になっている。この NMOS は InP の電圧変化に応じて P 側を流れる電流の大きさ を変化させる。式 (2.2) より、N 側と P 側の電流の和は定電流源によって決まっている電 流 I<sub>0</sub> に等しいため、N 側の電流の大きさも変化する。それによって N 側、P 側の両方の出 力電圧に変化が生じ、図 2.3d に示したような出力波形が得られる。この時の出力電圧の変 化量は可変抵抗にも依存するため、可変抵抗は信号の増幅にも寄与することになる。この増 幅が、閾値を決めるもう一つの要素である。



図 2.6: 簡略化した場合の後段増幅回路の回路図。 $V_N$ 、 $V_P$  はそれぞれ N 側、P 側の回路の 電源電圧として振る舞う。 $R_N, R_P$  はそれぞれの可変抵抗の抵抗値、 $I_0, I_N, I_P$  はそれぞれ の電流の大きさを表す。

したがって、閾値は後段増幅回路の N 側、P 側の実質的な電源電圧  $(V_N, V_P)$  と可変抵抗  $(R_N, R_P)$  によって決まる。新型 ASIC の閾値の調整では、電源電圧と可変抵抗の大き さを決めるレジスタの値を調節する。

レジスタ値の増減と実際の回路での値の増減は、必ずしも一致するとは限らない。レジス タ値と閾値の対応は、第3章にて検証する。

## 2.2.3 新型 ASIC における既知の不具合

新型 ASIC における既知の不具合として、回路中に意図しない浮遊容量が存在することが 報告されている [3]。この不具合の概念図を図 2.7 に示す。浮遊容量は 2.2.2 節で示したコ ンパレータと、Digital 処理を行う回路との間に存在する。その原因は、コンパレータとデ ジタル処理を行う回路との信号線の長さがピクセルごとにまちまちであることによる。こ の浮遊容量の存在により、コンパレータからの出力波形は図 2.8 のように変化してしまう。 波形が歪むと、デジタル回路が処理を行うタイミングがずれるなどの悪影響が生じる。特 に、出力波形の幅が小さい場合には歪められた後の波形の高さが低くなり、ヒットと判定さ れないということが起きてしまう。



定である。Good Pixel だけを用いたテストを行うことにより、浮遊容量の改善による影響 がどの程度であるかを推定できる。そうした観点から、本研究では Good Pixel だけを用い た試験を行う。

# 2.3 新型 ASIC を搭載したピクセル検出器への要求

新型 ASIC を搭載した検出器の概要は、 12 節に示した通りである。組み立てられた検 出器は、放射線の照射を受けた状態での検出効率が 97% を上回っていることが求められる
_		Simulation of 8x8 disrciminator output: vdd/2 crossing delays with Calibre														1	
		PE	xy eit		or no		ai de	teci	or with 1 ke inj/	600	e thi	esn					
	Tx_0.6V outdis (ns) [Calibre PEX]									- Tempus parasitic capacitance							
	COL									COL							
ROW	0	1	2	3	4	5	6	7	ROW	0	1	2	3	4	5	6	7
0	88	39	36	36	64	115			0	0,032	0,006	0,001	0,001	0,015	0,045	0,036	0,054
1	84	43	39	37	40	83			1	0,032	0,007	0,002	0,001	0,005	0,031	0,039	0,058
2	82	41	76	37	39				2	0,03	0,006	0,032	0,002	0,004	0,034	0,041	0,061
3	92	40		37	38				3	0,037	0,005	0,004	0,002	0,003	0,042		0,061
4				37	37				4		0,049	0,041	0,001	0,002	0,045	0,04	0,069
5			101	38	38				5	0,06	0,048	0,042	0,002	0,003	0,033		0,064
6	75	43	56	38	60	84	0		6	0,028	0,006	0,014	0,003	0,015	0,032	0,041	0,058
7	71	43	42	39	37				7	0,024	0,007	0,005	0,003	0,003	0,038	0,043	0,059

図 2.9: 浮遊容量によるタイミングのずれのシミュレーション結果 [ns](**左**) と浮遊容量の大 きさ [pF](**右**) のシミュレーション結果。浮遊容量は8ピクセル×8ピクセルのコアの中の 位置で決まっている 図。



図 2.10: 新型 ASIC 開発グループが定める、1 つのコア中の Good Pixel の位置。緑が *pus parasitic capacitoge*d Pixel を、赤がそれ以外のピクセルを示す 図。



□。検出効率の悪化の原因としては、粒子を検出できないセンサーの存在、ASICの読み出し不可なピクセル、ASICとセンサーを接続するバンプ接合の不良が挙げられる。さらに、センサーや ASIC に由来する不良ピクセルは放射線の照射を受けることで増加する。したがって、照射前の段階での不良ピクセル数は非常に少ないことが求められる。現行の検出器では、照射前のバンプ接合の不良率は0.4%以下であることが課されていた。

## 2.4 フロントエンドチップに対する要求

### 2.4.1 ノイズ占有率の上限

ATLAS グループでは、飛跡検出効率とその性能への観点から、新型ピクセル検出器の/ イズ占有率について要求を定めている。その要求では、新型ピクセル検出器の/イズ占有率 は < 10<sup>-6</sup> であることを課している [5]。これは、一度のイベントで、10<sup>5</sup> 個の検出器全てで のノイズによるヒットが 0.1 を下回ることに相当する。一度のイベントでの粒子の飛跡によ るヒット数は最内層で 100、外側の層では 10 であるため、ノイズによるヒットが非常に少 ないことを要求している。



図 2.11: 粒子が通過していない場合の、入力電荷の存在確率は平均値が 0 e の Gauss 分布 になり、ノイズ量は Gauss 分布の標準偏差にあたる。存在確率が 10<sup>-6</sup> となるのは、入力電 荷が標準偏差の 4.75 倍相当の場合である。ここから、閾値を標準偏差の 4.75 倍に相当する 量に設定すれば、ノイズ占有率を 10<sup>-6</sup> 以下に抑えられる。

ノイズ占有率の条件から、要求を満たせるノイズ量を計算する。図 2.11 より、ノイズ占 有率が 10<sup>-6</sup> になるのは、閾値がノイズの 4.75 倍に相当する大きさの時である。検出器の 閾値は 600 e に設定される予定であるから、要求を満たすために必要なノイズ量は 126 e で ある [0]。ただし、単にノイズの大きさが 126 e というだけでは不十分である。閾値がピク セルごとに異なる影響や、閾値の時間依存性によってノイズ占有率が変化するためである。 新型 ASIC 開発グループでは、equivalent input noise charge (ENC) という量を使い、 ENC< 126 e という条件を満たすことを目指している。ENC は、ノイズ量、閾値分布の標準偏差、閾値の時間依存性の二乗和で定義される。したがって、閾値分布の標準偏差は可能な限り小さいことが望ましい。

### 2.4.2 ATLAS グループが定めている要求

本研究では、ATLAS 実験グループがフロントエンド回路に対して定めた要求のうち、" 閾値調整後の閾値分布の標準偏差"について検証を行う [5]。フロントエンド回路への要求 は、閾値調整後の閾値分布を Gauss 関数で近似した場合の標準偏差が、40 e を下回ってい ることである。この数字は現行ピクセル検出器が達成できた値であり、新型 ASIC でも達 成すべき基準であるとして設定されている [2]。

この要求は、閾値調整の結果読み出せなくなったピクセルや、閾値調整後も閾値が目標値 から外れているピクセルの数に直接制限をかけるものではない。しかし、それらのピクセル の数は、検出器の検出効率に直接影響を与える。したがって、これらのピクセルの数に対す る基準を新たに設ける必要がある。

### 2.4.3 本研究で独自に定めた要求

Gauss 関数の標準偏差の測定のみでは、読み出しできないピクセルや閾値が目標値から大 きく外れてしまったピクセルの評価が行えない。そこで本研究では, ATLAS グループが定 めている要求に加えて新たな基準を設けることにした。2.4.2 節で示したように、閾値分布 を Gauss 関数で近似した場合の標準偏差は 40 e まで許されている。したがって、閾値分布 が標準偏差 40 e の Gauss 分布であった場合にクリアできる基準を設けるのが妥当である。

本研究では、「全ピクセルの 99.7% の閾値が閾値の目標値から ±120 e 以内に存在する」 ことを新たな基準として定めた。さらに測定された閾値が 0 e であったもの、及び閾値が目 標値から 120 e 以上離れているものを "untuned pixel" と定義した。120 e は、標準偏差が 40 e の Gauss 分布にとっての  $3\sigma$  に相当する。バンプ接合の不良率や放射線照射による不 良ピクセルの増加を考慮した時、untuned pixel が 0.3% 以下という基準は、検出器の検出 効率が 97% 以下であるという要求を満たす上でも妥当な基準である。

# 第3章

# 新型 ASIC **のフロントエンド回路の** 動作試験

この章では、新型 ASIC のフロントエンド回路の動作試験と、その結果について述べる。 5.1 節では、本研究で用いた動作試験システムについて述べる。 5.2 節では、本研究で用いた た ASIC を読み出せるかについて調べた試験について述べる。 5.3 節では、本試験での閾値 測定アルゴリズムについて述べる。 5.4 節では、新型 ASIC の閾値の調整に使われる、全ピ クセルの閾値を一括調整するレジスタの値を変えた場合に閾値がどう変化したかを述べる。 5.5 節では、新型 ASIC の閾値の調整に使われる、各ピクセルの閾値を個別に調整するレジ スタの値を変えた場合に閾値がどう変化したかを述べる。

### 3.1 本研究の動作試験用セットアップ

### 3.1.1 使用した ASIC

本研究では、新型 ASIC が実装された Single Chip Card (SCC) を用いて動作試験を行 なった。SCC の写真を図 3.1 に示す。SCC には新型 ASIC が 1 枚実装されている。SCC 上にはいくつかのコネクタが実装されており、これらを用いて ASIC への電源供給やデー タの送受信を行う。今回使用した新型 ASIC はセンサーが取り付けられていないものであ る。したがって本研究の結果は、全て ASIC 単体を評価した場合の結果である。

### 3.1.2 読み出しシステム

本研究で用いた新型 ASIC の読み出しセットアップを図 **5.2**、図 **5.3**に示す。ASIC から 出力されるデジタル信号は FPGA を通じて PC に送られる。アダプターカードはデータの 送受信用ケーブルと FPGA ボードを接続するために使用される。PC に送られたデータは PC 上のソフトウェアによって解析される。また、逆に PC から ASIC にデータを送ること



電源コネクタ

I/O用コネクタ

図 3.1: 本研究の動作試験で使用した新型 ASIC。青い基板上の銀色のチップが新型 ASIC である。青い基板は SCC カードと呼ばれるもの基板である。SCC 上に実装されたコネ クタを通して、ASIC とのデータの送受信や電源の供給を行う [0][110]。今回使用した新型 ASIC は、センサーが取り付けられていないものである。

もでき、デジタル通信でのレジスタ値の書き換えを行う。

FPGA は内部の回路を書き換えることのできる素子である。FPGA 内部の回路情報を ファームウェアと呼ぶ。FPGA の主な役割は、ASIC の出力を PC が扱える規格に変換す ることである。FPGA を用いることで、機能の修正・拡張をファームウェアの編集のみで 実現できるというメリットがある。FPGA は Xlinx 社が提供している Kintex-7 FPGA 用 KC705 評価ボード上に実装されている [11]。ボード上には、FPGA が外部とデータを送受 信するためのコネクタが実装されている。

ソフトウェア及び FPGA のファームウェアには、アメリカの研究機関である LBNL が 開発したシステム (YARR [L3]) を使用した。YARR は量産時の品質保証試験や、アップグ レード後の ATLAS ピクセル検出器の較正に使用されることが決まっている。YARR を使 うことで、量産時や実際の検出器の較正に近い形で動作試験を行うことができる。

# 3.2 フロントエンド回路の応答確認試験

はじめに、今回使用する ASIC に読み出し不可なピクセルがないかを検証するため、各フ ロントエンド回路の動作試験を行った。この動作試験では、20000 e 程度の電荷量を持つテ



図 3.2: 本研究の動作試験で使用された、新型 ASIC の読み出しセットアップ。ASIC から 出力されたデータは FPGA を通して PC に送られる。FPGA ボードは、FPGA が実装さ れた基板である [III]。PCIe は PCI Express コネクターによる接続、Display Port はディ スプレイポートケーブルによる接続を指す。Adapter Card はディスプレイポートケーブル と FPGA ボードを接続するために使用される [II2]。PC のソフトウェアと FPGA のファー ムウェアには、YARR と呼ばれる海外の研究機関が開発したシステムを使用した [II3]。



図 3.3:本研究で用いた、図 3.2 に示したセットアップの写真。

スト電荷に対する検出効率の測定を行なった。ここで言う検出効率の定義は、回路に与えた テスト電荷の数に対する検出されたヒット数の割合である。この試験を analog scan と呼 ぶ。新型 ASIC の初期状態での各ピクセルの閾値は 1000~2000 e 程度であることが経験的 にわかっている。したがって、テスト電荷の大きさは閾値より十分大きい。今回の試験では 100 回のテスト電荷の入力に対して、100 のヒットを検出することを要求した。

使用した ASIC の試験結果を図 3.4 に示す。対象となるピクセルは Column が 264~400 のピクセルであり、該当するうちの全てのピクセルで 100 のヒットが検出されている。こ の結果より、今回使用した ASIC のピクセルには、読み出し不可なピクセルは存在しないと 結論づけた。



図 3.4: 本試験で使用した新型 ASIC の analog scan の結果。較正用テスト電荷の入力回数 は 100 であった。各ピクセルのヒット数。Column と Row は各ピクセルの座標を表す。こ の図の動作試験では Column>263 のピクセルのみを使用したため、Column が 263 以下の ピクセルにはヒットがない。使用したピクセルのヒット数は全て 100 であった。

# 3.3 閾値の測定

### 3.3.1 **閾値の測定アルゴリズム**

新型 ASIC のフロントエンド回路の閾値は新型 ASIC 自身が持つレジスタの値によって 決まる。閾値がどの程度の電荷量に相当するかを知るためには、閾値の測定が必要になる。 閾値の測定には、2.1.2節で述べた、電荷量を設定できる較正用入力電荷を用いる。

閾値の測定アルゴリズムの概念図を図 **B.5** に示す。電荷量を変えながらテスト電荷を 入力し、電荷量ごとの検出効率を測定する。このとき、測定された検出効率が描く曲線を S-curve と呼ぶ。この S-curve を、誤差関数を用いた式 (**B.1**) でフィッティングし、閾値と ノイズ量を導出する。 $Q_{inj}$  は入力した電荷の大きさ、 $Q_{th}$  は実際の閾値、 $\sigma$  がノイズ量を示 している。検出効率が 50% となった時の入力電荷の大きさを閾値として定義する。また、 誤差関数の 1 $\sigma$  をノイズ量と定義する。

この閾値測定アルゴリズムは、既に YARR [13] に実装されているものを用いた。

$$f(\mathbf{Q}_{\mathrm{inj}}) = \frac{1}{2} \left( 1 + Erf\left(\frac{\mathbf{Q}_{\mathrm{inj}} - \mathbf{Q}_{\mathrm{th}}}{\sqrt{2\sigma}}\right) \right), \quad Erf(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt \tag{3.1}$$



図 3.5: 閾値の測定方法の概念図。横軸が入力したテスト電荷の大きさ [e]、縦軸が1つのピ クセルから検出されたヒットの数である。この図の測定では、テスト電荷は大きさに関わら ず 50 回入力されている。検出効率がちょうど 50% になるときの電荷量が、そのピクセル の閾値に相当する。

### 3.3.2 ノイズ量の測定

閾値の測定では、同時に各ピクセルのノイズ量 (式 (BID) の σ) も測定される。本研究で使 用した新型 ASIC のノイズ量分布を図 BIG に示す。センサーが取り付けられていない新型 ASIC のノイズ量は約 40 e である。



図 3.6: 閾値測定で得られたノイズ量分布。

### 3.3.3 **閾値測定の失敗**

S-curve のフィッティングに失敗した場合、そのピクセルの閾値は 0 と出力されてしま う。本研究では、フィットの  $\chi^2/ndf > 2.5$  の時、フィッティングに失敗したとみなしてい る。その例を図 5.7 に示す。本研究において、こうしたフィッティングのミスは障害になる ため、極力取り除く必要がある。

図 3.7a に示す例は、検出効率の測定点が少なすぎたことにより、フィッティングに失敗 している。こういった例は、測定点の数の調節によって削減できる。本研究で用いたアルゴ リズムでは、入力電荷の電荷量の最小値と最大値、そして測定ごとの電荷量の変化幅によっ て測定点の数の調整を行う。最小値、最大値、変化幅はアルゴリズム内の変数である。アル ゴリズムでは、入力電荷の大きさを電荷量ではなくレジスタ値として管理する。最小値、最 大値、変化幅はレジスタ値に換算した値を設定する。レジスタ値の変化幅の設定と、閾値の 測定に失敗したピクセルの数の相関を図 5.8a に示す。この図より、レジスタ値の変化幅を



図 3.7: S-curve のフィッティングが失敗する例。図 B.7a、図 B.7b ともに、横軸は入力電 荷の電荷量を決めるレジスタの値である。図 B.7a : injected charge の大きさの変化幅が大 きすぎた例。正確な S-curve を描くためには、検出効率が 0~100% の間に数個のデータ点 が必要になる。この図の場合は一点しかないためにフィッティングが失敗する。図 B.7b : S-curve が injected charge の範囲内で収まっていない例。S-curve 自体は問題なくプロッ トできているため、フィッティングアルゴリズムに課題があると考えられる。

5<sup>11</sup>に設定した時が、もっとも閾値測定の失敗を減らせることがわかる。この結果より、閾 値測定の際の入力電荷の電荷量を決めるレジスタ値の変化幅を5に設定した。

また、本来であれば変化幅を小さくするほど閾値測定の精度が上がるはずである。しか し、図 5.53 ではレジスタ値の変化幅が5を下回ると、測定ミスの数が増えてしまう。レジ スタ値の変化幅を1に設定した場合の、測定ミスとなったピクセルのS-Curveを図 5.85 に 示す。各ビンでのヒット数の増減が激しくなっている。検出効率が50%のピクセルに50 回入力電荷を与えた場合のヒット数の誤差は、二項分布を仮定すると±3.5 となる。した がって図 5.85 中のヒット数の増減は統計誤差に比べて明らかに大きい。この増減は新型 ASIC の回路が持つ不具合と考えられるが、現状では原因は不明である。

一方で、図 **B.75** 左のような例は現状では取り除くことができない。S-curve のプロット は問題なく描けているため本来なら閾値が測定できるように見えるが、フィッティングアル ゴリズムに課題があるためにフィッティングに失敗している。これは閾値測定における課 題である。しかし、現状では結果的に大きな問題とはなっていないため、解決を試みていな い。本研究ではこれらのピクセルについては読み出し不可と扱うものとした。

<sup>\*1</sup> 概ね、50 e に相当する。



図 3.8: 図 5.8a 閾値測定における、テスト電荷の大きさの変化幅に対する測定ミスの数の変化。横幅が変化幅を、縦軸が測定ミスの数を示す。変化幅は、閾値測定の際の入力電荷の電荷量を決めるレジスタ値の変化幅である。変化幅が大きいほど、測定点の数が少なくなる。 図 5.8b:テスト電荷の大きさの変化幅を1として閾値測定を行った際に、測定ミスとなった ピクセルの典型的な S-Curve。

# 3.4 全ピクセルを一括で調整するレジスタに対する閾値の変化

### 3.4.1 試験の概要

第2章で述べたように、新型 ASIC の閾値は新型 ASIC が持つレジスタの値によって設定される。本試験の目的は、レジスタの値によって各ピクセルの閾値がどう変化するかを確かめ、ASIC の回路が期待通りの動作をしているかを検証することである。

デジタル通信によってレジスタの値を指定し、その時の閾値を測定した。閾値の調整に は、全ピクセルの閾値を一括調整するレジスタ(以下、一括調整レジスタ)と各ピクセルの 閾値を個別に調整するレジスタ(以下、個別調整レジスタ)の2種類が用いられる。本節で は一括調整レジスタの値と、閾値の対応について述べる。

2.2.2 節で述べた通り、一括調整レジスタに該当するレジスタは2つあり、VTH1、VTH2 と呼ばれている。両者とも情報の大きさは 10bit である。VTH1 と VTH2 の差が大きくな ると、全てのピクセルの閾値が上がるように設計されている。本節中では、単に一括調整レ ジスタ、またはレジスタ値といった場合は VTH1 を、2つの一括調整レジスタといった場 合は VTH1、2の両者を指すものとする。本試験では、2つの一括調整レジスタ値を変えな がら閾値を測り、設計通りの動作をしているかを確かめた。

### 3.4.2 実際の挙動

2つの一括調整レジスタ値の組合せに対する閾値の変化を図 3.9 に示す。この結果は典型 的な1つのピクセルのものである。2つの一括調整レジスタ値の差が大きくなるほど閾値が 上昇する傾向が見られる。レジスタ値の差が一定であれば、閾値はおおよそ同じである。し かし図 3.9 右上の、レジスタ値の和が一定を超えるような領域では、閾値が急激に上昇して いる。



図 3.9: 全ピクセルの閾値を一括で決めるレジスタ値、VTH1 と VTH2 に対する閾値の変 化。この図は、典型的な 1 つのピクセルの結果である。x 軸は VTH1、y 軸は VTH2 を表 し、z 軸は測定された閾値を示す。また、値が表示されていない部分は閾値が測定できな かったことを示す。この測定を行った時の、各ピクセルの閾値を調整するレジスタ値は 0 で あった。

一括調整レジスタ値の差に対する閾値の変化をピクセル間で比較するため、VTH2 を固定した状態で VTH1 を変化させ、それに対する閾値の変化を調べた。その結果を図 5.10 に示す。レジスタ値の差と閾値は概ね比例関係にある。各ピクセルの傾きには多少の個体差があるものの、全体としてはほぼ同じ傾きで変化していると言える。一方でオフセットでは個体差が大きい。これらの結果から、一括調整レジスタ値の調整では各ピクセルの閾値のばらつきはほぼ変化しないことがわかる。

一括調整レジスタ値の差が一定になるように2つのレジスタ値を変化させながら閾値を



図 3.10: 全ピクセルの閾値を決めるレジスタ値、VTH1 に対する閾値の変化。x 軸は VTH1、y 軸は測定された閾値を示す。この試験では、VTH2(レジスタ値) は 50 に固定さ れている。この図には 5 つのピクセルのグラフが表されている。

測定し、ピクセル間の比較を行った。その時の閾値とレジスタ値の相関を図 3.11 に示す。 閾値はレジスタ値が小さい限りはほぼ横ばいであり、レジスタ値が 400 付近を超えると急 激に上昇している。さらに、急激に上昇するときのレジスタ値や、上昇の具合はピクセルご とに異なる。中には図中の (Column=267, Row=13) のように、ほとんど上昇が見られな いピクセルもある。このような状態ではチップ内での閾値が大きくばらけ、調整が難しく なってしまう。図 3.9 に示したヒストグラムの形状からわかるように、2つの一括調整レジ スタ値の和が一定を超えると閾値の上昇が始まる。この結果より、2つの一括調整レジスタ の和はなるべく小さくするべきである。

閾値の調整を行う場合は、2 つの一括調整レジスタのうち VTH2 を固定し、VTH1 の値 を調整する。VTH2 の値は 50 に設定する。これは新型 ASIC 開発グループが定める推奨値 であり、2 つの一括調整レジスタの和はなるべく小さくするべきであるという結論にも沿っ た値である。

### 3.4.3 実際の挙動からの考察

全ピクセルの閾値を一括で決めるレジスタ値、VTH1 と VTH2 は、図 **2.6** に示した  $V_N$ 、  $V_P$  をそれぞれ決めている。 $V_N$ 、 $V_P$  が変化した時の後段増幅回路の出力の変化を図 **3.12** 



図 3.11: 2 つの一括調整レジスタ、VTH1 と 2 の差を一定にした場合の VTH1 に対する閾 値の変化。VTH1 と 2 の差は 150 であった。x 軸は VTH1、y 軸は測定された閾値を示す。

に示す。簡略化のために N 側、P 側の可変抵抗は  $R_N = R_P$ 、信号がない時の N 側、P 側の電流は  $I_N = I_P = I_0/2$  とした。式 (2.4) より、この時の出力電圧のベースラインは  $V_N - V_P$ となる。したがって、閾値を上げるためには $V_N - V_P$ が小さくなることが必要で ある。VTH1 – VTH2 を大きくすると閾値が上がるという挙動から、レジスタ値を上げる と対応する V<sub>N</sub>、V<sub>P</sub> が小さくなることが推測できる。

この推測を元に、図 3.9 図 3.1 で見られた閾値の急激な上昇について考察する。急激な 上昇の原因としては、回路に使われている FET の動作領域が変化してしまうことが考えら れる。フロントエンド回路中の FET の動作領域について図 **313** に示す。VTH1 + VTH2 が大きくなると急激な上昇が起こっていることから、急激な閾値の上昇が起こっているとき には、 $V_N$ 、 $V_P$ が共に小さくなっていると考える。この時、図 2.6 中の InP、InN が入力さ れる FET にかかる電圧 (図 3.1.3 中の V<sub>DS</sub>) も小さくなる。V<sub>DS</sub> が FET の特性で決まるピ ンチオフ電圧を下回ると、動作領域は飽和領域から線形領域へと変化する。これにより同じ 信号に対するソース、ドレイン間の電流 (図 313 中の I<sub>P</sub>) の変化が小さくなる。出力信号 の波形高さは InP からの入力信号による IP の変化によって決まる。したがって、IP の変 化が小さくなれば出力信号の波形高さも小さくなってしまう。その結果同じ信号でもコン パレータからの出力が起きなくなり、閾値の急激な上昇が発生していると考える。

# Threshold\_vs\_VTH1



図 3.12: 図 **Z.5** 中の  $V_N$ 、 $V_P$  が変化した時の後段増幅回路の出力の変化。N 側、P 側の可 変抵抗は  $R_N = R_P$ 、信号がない時の N 側、P 側の電流は  $I_N = I_P = I_0/2$  とした場合の グラフである。

# 3.5 各ピクセルの閾値を個別で調整するレジスタに対する閾 値の変化

### 3.5.1 試験の概要

全ピクセルの閾値を一括調整するレジスタと同様、デジタル通信によって各ピクセルの閾 値を個別で調整するレジスタ(個別調整レジスタ)の値を変更し、その時の閾値を測定した。

個別調整レジスタは TDAC とよばれている。情報の大きさは正負込みの 5bit である。 本節中では、単にレジスタ値といった場合には TDAC を指すものとする。レジスタ値を増 やせばそのピクセルの閾値が上がり、下げれば閾値が下がる設計になっている。個別調整レ ジスタ 1bit あたりでどれだけ閾値が変化するかは、閾値分布の標準偏差及び untuned pixel の数に大きな影響を与える。

本試験ではレジスタ値を変えながら閾値を測定し、個別調整レジスタの挙動を調べた。また、一括調整レジスタの値によって個別調整レジスタの振る舞いが変化する可能性がある。 そのため、個別レジスタ値が0の場合の、一括調整レジスタによって決まる閾値を基準閾値



図 3.13: フロントエンド回路中の FET の動作領域がずれるメカニズム。ここでいう FET は図 2.6 中の InN、InP が入力されるトランジスタのことを指す。G は FET のゲート、D はドレイン、S はソースを指す。 $V_{DS}$  はドレイン-ソース間の電位差である。また、右に示 すのが FET の特性曲線であり、 $V_{DS}$  に対する左図中の  $I_N$  の変化を表す。 $V_p$  はピンチオ フ電圧を指し、FET の特性によって決まる値である。

とし、基準閾値に応じた個別調整レジスタの挙動も調べた。

### 3.5.2 実際の挙動

典型的なピクセルのレジスタ値に対する閾値の変化を図 **B** TA に示す。全体的には、レジ スタ値を増やすと閾値が上がるという設計が反映されている。しかし、その相関の形状は基 準閾値ごとに大きく異なる。基準閾値が最も低い時の結果では、レジスタ値と閾値はほぼ比 例の関係にある。しかし基準閾値が最も高い時の結果では、レジスタ値が正の場合と負の場 合とで傾きに大きな違いが見られる。全体的な傾向として、基準閾値が高いほど+側の補 正可能な範囲は狭まり、- 側の補正可能な範囲は広がっていく。

### 3.5.3 実際の挙動からの考察

実際の挙動から個別調整レジスタの挙動を考察するために、図 **5.15** の簡略図を用いる。 InN、InP が入力されるトランジスタは NMOSFET であるが、バイポーラトランジスタで



図 3.14: ピクセルごとに閾値を決めるレジスタ (TDAC) に対する閾値の変化。x 軸は TDAC の設定値、y 軸は測定された閾値と基準閾値との差を示す。

あっても、本考察に関係する挙動は大きく変わらない。したがって、本節では InN、InP が 入力されるトランジスタはバイポーラトランジスタとして考察する。

InN、InP の電位をそれぞれ  $V_{\text{InN}}$ 、 $V_{\text{InP}}$ とすると、回路図とバイポラートランジスタの 特性から以下の式が成り立つ。

$$I_0 = I_N + I_P \tag{3.2}$$

$$I_N = I_S \exp\left(\frac{V_{\rm InN} - V_C}{V_T}\right) \tag{3.3}$$

$$I_P = I_S \exp\left(\frac{V_{\rm InP} - V_C}{V_T}\right) \tag{3.4}$$

 $V_T$ は熱電圧、 $I_S$ は $V_{InN} - V_C$ が0の時の電流である。

ここで、InP、InN に図 3.16 のような入力があったとする。 $V_{\rm InN}=V_{\rm com}, V_{\rm InP}=V_{\rm com}+V_{\rm dif}$ となる。

こうした入力があった時の  $I_N$ 、 $I_P$  は、式 (3.3)~式 (3.4) より、式 (3.5)、式 (3.6) のようになる。

$$I_N = I_0 \left( 1 - \tanh\left(\frac{V_{\rm dif}}{2V_T}\right) \right) \tag{3.5}$$



図 3.15: 簡略化した場合の後段増幅回路の回路図。 $R_N, R_P$  はそれぞれの可変抵抗の抵抗 値、 $V_N, V_P$  はそれぞれ N 側、P 側の回路の電源電圧、 $V_C$  は対応する点の電位、 $I_0, I_N, I_P$  は それぞれの電流の大きさを表す。InN、InP が入力されるトランジスタは本来 NMOSFET であるが、簡略化のためにバイポーラトランジスタに置き換えている。



図 3.16: 本考察で用いる、InN、InP への入力。

$$I_P = I_0 \left( 1 + \tanh\left(\frac{V_{\text{dif}}}{2V_T}\right) \right) \tag{3.6}$$

式 (2.4) より、後段増幅回路の出力は、

$$V_{\rm OutN} - V_{\rm OutP} = V_N - V_P - (R_N I_N - R_P I_P)$$
(3.7)

これに式 (35)、式 (36)を代入すると、

$$V_{\text{OutN}} - V_{\text{OutP}} = V_N - V_P - (R_N - R_P)I_0 + (R_N + R_P)I_0 \tanh\left(\frac{V_{\text{dif}}}{2V_T}\right) \quad (3.8)$$

$$\sim V_N - V_P - (R_N - R_P)I_0 + (R_N + R_P)I_0\left(\frac{V_{\text{dif}}}{2V_T}\right)$$
 (3.9)

式 (3.9) への式変形では、 $V_{\text{dif}}/2V_T \ll 1$  であるとして近似を行なった。式 (3.9) より、フロントエンド回路の後段増幅回路の出力について、以下のことが言える。

- 出力は、InPへの入力波形の高さの一次関数で表される。その時の傾きはN側、P 側の抵抗値の合計に依存する。
- 出力のベースラインは N 側、P 側の電源電圧の差と抵抗値の差に依存する。これ は 2.2.2 節で述べた内容と一致する。

フロントエンド回路 (図 23) のコンパレータは、 $V_{\text{OutN}} - V_{\text{OutP}}$  が 0 以上の時に信号を出力する。閾値測定で得られる閾値は、 $V_{\text{OutN}} - V_{\text{OutP}} = 0$ となる時の  $V_{\text{dif}}$  に対応する。

式 (3.3) より、入力信号がない時の後段増幅回路の出力 (ベースライン) は  $V_N - V_P - (R_N - R_P)I_0$  となる。個別調整レジスタは  $R_N$ 、 $R_P$  の値を変更することで閾値を調整して いる。ベースラインの変化のみを考えると、閾値をあげる場合 (個別調整レジスタの値を増 やす場合) は、 $R_N$ を増やす、もしくは  $R_P$  を減らすことになる。信号の増幅による閾値へ の影響は後述する。

2.2.2 節で述べたとおり、個別調整レジスタの各 bit は、対応する抵抗を無効にするかを 決定する。図 **5.14** に示した挙動から、個別調整レジスタの挙動は以下の通りであると考え られる。

- レジスタ値が0の時が全ての抵抗が無効であり、*R<sub>N</sub>、R<sub>P</sub>*共に最小となる。
- ・レジスタ値に応じて抵抗が有効になる。レジスタ値が +15 の時は  $R_N$  が最大になり、レジスタ値が -15 の時は  $R_P$  が最大になる。

次に、信号の増幅による閾値の影響を考察する。式 (3.9) に従って、各ピクセルの閾値を 調整するレジスタ値が 0、-15、15 の時の入力電圧に対する出力電圧を表すグラフを描く と、図 3.17 のようになる。

まず、図中のベースラインについて述べる。図中の"VTH によるベースラインの変化"は 式 (59)の $V_N - V_P$ を、"TDAC によるベースラインの変化"は  $(R_N - R_P)I_0$ を表す。

次に、図中のグラフの傾きについて考察する。式 (3.9) より、グラフの傾きは ( $R_N + R_P$ ) $I_0/2V_T$  となる。レジスタ値が 0 の時は  $R_N + R_P$  が最も小さくなり、-15 または 15 の時は  $R_N + R_P$  が最も大きくなる。したがって入力電圧に対する出力電圧のグラフの傾き が図のように変化する。すると、レジスタ値が 0→15 と変化した時と  $-15 \rightarrow 0$  と変化した時のそれぞれの閾値の変化は、 $-15 \rightarrow 0$  と変化した場合の方が大きくなる。

また、図 314 中では、レジスタ値が0の時の閾値が低いピクセルでは、レジスタ値 1bit に対する閾値の変化量がレジスタ値の正負で変わらないことが示されている。この状態は、 図 517 における "VTH によるベースラインの変化"が小さくなった状態である。この時の 入力電圧に対する Out<sub>N</sub> – Out<sub>P</sub> の変化量の概念図を図 518 に示す。後段増幅回路の増幅 率による閾値への影響が小さくなり、レジスタ値 1bit に対する閾値の変化量が、レジスタ 値を 0→15 と変化させた時と -15→0 と変化させた時とでほぼ変わらなくなる。



図 3.17:後段増幅回路への入力電圧と出力電圧 (Out<sub>N</sub> – Out<sub>P</sub>)の相関の概念図。ピクセル ごとに閾値を調整するレジスタ (TDAC)の値によって、入力電圧と出力電圧の相関の傾き が変化する。VTH は全ピクセルの閾値を決めるレジスタ値を指す。TDAC は各ピクセル の閾値を個別に調整するレジスタ値を指す。

個別調整レジスタの挙動として、"レジスタ値が0の時が全ての抵抗が有効であり、レジ スタ値に応じて抵抗が無効になる"、という挙動もあり得る。しかし、その場合は図 5.14 に 示した挙動を説明できない。したがって、個別調整レジスタの挙動は、本節で示した通りの 挙動であると結論づけた。

また、個別調整レジスタの挙動から、図 3.9 右上の領域のような閾値が急激に上昇する 領域が、個別調整レジスタの値によって変化する。 3.4.3 節で述べた通り、閾値の急激な 上昇は、検出器からの信号が入力されるトランジスタのドレイン-ソース間の電位差が小さ くなることに起因する。図 3.13 中の  $R_P$  が大きくなった場合、その分  $V_{DS}$  は小さくなる。 したがって、閾値の急激な上昇が始まる時の  $V_P$  が大きくなる。 3.4.3 節に示した通り、一 括調整レジスタ VTH1、VTH2 を大きくすると、それぞれ図 2.6 中の  $V_N$ 、 $V_P$  が小さくな る。したがって、 $R_P$  が大きくなった場合、閾値が急激に上昇し始める時の VTH2 は小さ くなる。

本節の考察が正しければ、個別調整レジスタの値が 15 の時に *R<sub>P</sub>* が最大となるため、閾値の急激な上昇が起こる時の領域は図 3.9 と比べて左側に向かって広がる。一方で、個別調整レジスタの値を –15 とした時は *R<sub>N</sub>* が最大となるため、閾値の急激な上昇が起こる時の領域は図 3.9 と比べて下側に向かって広がる。これらの考察通りの挙動であるかを確かめる



図 3.18: VTH によるベースラインの変化が小さい場合の、後段増幅回路への入力電圧と出 力電圧 (Out<sub>N</sub> – Out<sub>P</sub>) の相関の概念図。VTH は全ピクセルの閾値を決めるレジスタ値を 指す。TDAC は各ピクセルの閾値を個別に調整するレジスタ値を指す。

ため、個別調整レジスタが –15、15 の時の一括調整レジスタに対する閾値の変化を調べた。 測定結果を図 5.19 に示す。図 5.19a はレジスタ値を 15(最大値) にした時の結果、図 5.19b はレジスタ値を-15(最小値) にした時の結果である。図 5.9 と比較すると、閾値が急激に上 昇する時の全ピクセルの閾値を調整するレジスタ値の境目は図 5.20 のように変化してい る。概ね、レジスタ値が 0 の時、閾値が急激に上昇する時の VTH1 + VTH2 が最大である。 レジスタ値を 15 にすると、閾値の急激な上昇が見られる時の VTH1 の値だけが小さくな る。レジスタ値を –15 にすると、閾値の急激な上昇が見られる時の VTH2 の値だけが小さ くなる。この挙動は本節で述べた予想に合致するものであり、本節の考察が正しいことを裏 付けるものである。



図 3.19: 全ピクセルの閾値を決めるレジスタ値、VTH1 と VTH2 に対する閾値の変化。 図 3.19a は、ピクセルごとに閾値を調整するレジスタ値 (TDAC) を 15 にした時の結果、 図 3.19b は TDAC を –15 にした時の結果である。この図は、典型的な 1 つのピクセルの 結果である。x 軸は VTH1、y 軸は VTH2 を表し、z 軸は測定された閾値を示す。また、値 が表示されていない部分は閾値が測定できなかったことを示す。



図 3.20: 図 3.19, 図 3.19a、図 3.19b での、閾値が急激に上昇するレジスタ値の境目。

# 第4章

# 新型 ASIC の閾値調整機構の動作 試験

本章では、新型 ASIC の閾値調整機構の動作試験について述べる。 [1] 節で閾値を決める レジスタ値を調整する際のアルゴリズムについて述べる。それ以降の本章の構成は、 [4.1.6] 節に記す。

### 4.1 **閾値の調整**

### 4.1.1 閾値調整用アルゴリズム

閾値の調整には、閾値を測定しながらレジスタ値を調節するという手順が必要になる。しかし、 5.3 節に示した方法による閾値測定は、全ピクセルの閾値を測定するのに 1~2 分程度の時間がかかる。閾値調整ではレジスタ値の変更を最大 30 回程度繰り返すため、その度に閾値を測定すると閾値調整に数十分以上かかってしまう。閾値調整の時間を短縮するために、直接閾値の測定を行わない閾値調整アルゴリズムが必要になる。

Ⅰ 卸、 Ⅰ 卸 節 で述べたように、閾値は全ピクセルの閾値を一括調整するレジスタ (以下、 一括調整レジスタ) とピクセルごとに閾値を調整するレジスタ (以下、個別調整レジスタ) の 値の組み合わせによって決定される。閾値の調整では、この二種類のレジスタ値を調整する 必要がある。LBNL が開発したソフトウェアである YARR [Ⅰ には、二種類のレジスタを 調整するアルゴリズムが既に実装されている。これらを用いた場合の閾値調整にかかる時 間は3分程度である。本試験の閾値調整では、YARR に実装されたアルゴリズムを用いた。

### 4.1.2 全ピクセルの閾値を一括調整するレジスタの調整

**3** ④ 節で述べたとおり、一括調整レジスタは VTH1、VTH2 の 2 つであり、VTH1 と VTH2 の差によって閾値を調整する。この 2 つのレジスタは共に 10bit の情報を保存する。 ー括調整レジスタの調整では、VTH2 の値を固定し<sup>▶</sup>、VTH1 の値だけを調整する。以下、 単に一括調整レジスタといった場合には VTH1 を指す。

一括調整レジスタの調整のアルゴリズムの大まかな挙動を図 4.1 に示す。調整前にレジ スタ値の調整範囲と調整幅を設定する。調整範囲は、レジスタ値の探索範囲を表す。調整幅 は調整過程で一括調整レジスタの値を変化させる時の変化幅の初期値である。本研究の閾 値調整で用いた設定値は、調整範囲が 0~500、調整幅が 16 であった。調整範囲は閾値でい えば 0~2500 e に相当する。一括調整レジスタの初期値は調整範囲の最大値となる。そし て、目標とする入力電荷量相当の閾値を決める。



図 4.1: 全ピクセルの閾値を一括調整するレジスタの調整アルゴリズムの概念図

はじめに、目標閾値と同じ電荷量を持つ入力電荷を設定する。次に、フロントエンド回路 に入力電荷を 100 回注入し、それに対する各ピクセルのヒット数分布を作成する。この時、 ヒット数が 0 のピクセル、100 以上のピクセルは除外する。その後、ヒット数の平均値を計 算する。入力回数 100 に対する平均値の比 (以下、検出率) が 0.49 以下であれば、閾値が下 がるようにレジスタ値を変更する。0.51 以上であれば閾値が上がるようにレジスタ値を変 更する。また、ヒット数分布のピクセル数の総数が全ピクセルの 1% 以下であった場合は、 閾値が下がるようにレジスタ値を変更する。その後、変更したレジスタ値を用いて再びヒッ

<sup>\*1</sup> VTH2 のレジスタ値は 50 に固定される。

ト数分布を作成する。この手順を1試行とする。試行を繰り返し、レジスタ値の調整する。 レジスタ値を変更する際の幅は、10bitの内の全ての値を取ることができ、かつ閾値調整 にかかる時間を削減できるよう工夫されている。調整過程でのレジスタ値の変化の様子を 図 4.2 に示す。



図 4.2: 一括調整レジスタの調整過程での、レジスタ値の変化の様子。レジスタ値の変化幅 の初期値は 16 である。検出率は、入力電荷の入力回数に対するヒット数の比である。前回 のレジスタ値の増減と逆の増減を行う場合は、レジスタ値の変化幅を半分にする。また、変 化幅が 1 になった場合、検出率に関わらず調整は終了となる。

アルゴリズムは一回前の試行の結果、レジスタ値を上げたか下げたかを記憶している。今 の試行の結果と一回前の試行の結果を比較し、レジスタ値を上げたか下げたかの判定が逆転 している場合は、レジスタ値の変更幅を半分にする。これを繰り返すことにより、1 刻みで のレジスタ値の調整を短い時間で行うことができる。また、一括調整レジスタの初期値に は調整範囲の最大値が使われるため、目標閾値が低い場合はより多くの試行回数が必要に なる。

この試行を繰り返し、検出率が 0.49 以上かつ 0.51 以下になったとき、またはレジスタ値 の変化幅が 1 になった時、一括調整レジスタの調整は終了となる。検出率が 0.49 以上かつ 0.51 以下という条件は、閾値の平均が目標閾値 ±0.025σ(ノイズ量)の範囲にあることを要 求することに相当する。センサーのついていない新型 ASIC のノイズ量は 40 e 程度である ため、目標閾値 ±1 e 相当ということになる。一括調整レジスタの 1bit は、閾値 5 e 程度に 相当する。したがって、最低でも目標閾値 ±5 e の範囲内に閾値の平均が収まるように調整 することができる。

目標閾値を 1400 e とした時の、調整過程でのヒット数分布の変化を図 4.3 に示す。こ の時の一括調整レジスタ値の変更回数は 12 回であった。図 4.3a ではヒット数が 1~99 と なっているピクセルが一つしか存在しないが、図 4.3c ではそのようなピクセルが増えてい る。図 4.3d ではヒット数が 100 のものと 0 のものがほぼ同じ程度存在している。



図 4.3: 一括調整レジスタの調整過程でのヒット数分布。図 4.3a~ 図 4.3d にかけて、ヒット数分布の平均が 50 に近づいていく。

こうしたアルゴリズムでは、二分木探索と呼ばれる手法を用いるのが一般的であるが、こ のアルゴリズムでは用いていない。その理由は、非常に高いヒット数を出力するピクセル や、逆にヒット数が常に0となるようなピクセルの影響を排除するためである。二分木探 索を用いる場合、検出率が0%もしくは100%のピクセルしかいない、という試行(その時 点でのレジスタ値が、目標閾値に相当する値から離れている試行)でも、レジスタ値の増減 の判定をしなければならない。したがって、レジスタの増減の判定にはそれらのピクセルを 含める必要がある。したがって、読み出せないピクセルが一定数いるようなチップの調整 や、2.2.3 節に記した good pixel のような特定の集団だけを対象とした閾値調整では、正 確に調整できない可能性がある。本節で述べたアルゴリズムであれば、検出率 0% または 100% 以上のピクセルの情報を用いずに調整が行えるため、前述したような状況でも問題な く閾値調整を行うことができる。

### 4.1.3 ピクセルごとに閾値を調整するレジスタの調整

**3.5** 節に示した通り、個別調整レジスタ (TDAC) は各ピクセルの閾値を個別に調整でき る 5bit のレジスタである。個別調整レジスタの調整の概念図を図 **4.3** に示す。各ピクセル の閾値を目標閾値に近づけ、閾値分布の広がりを小さくするのが、個別調整レジスタの調整 の目的である。



図 4.4: 個別調整レジスタ (TDAC) の調整の概念図。

個別調整レジスタの調整アルゴリズムの概念図を図 4.5 に示す。個別調整レジスタの設 定範囲は –15 ~ 15 である。目標閾値相当の電荷量を持つ入力電荷に対するヒット数分布 を用いる点は、 4.1.2 節に示したアルゴリズムと同じである。

この調整ではレジスタ値を変更するかの判定に、ピクセルごとのヒット数を用いる。あるピクセルの、入力回数に対するヒット数の比(検出率)が0.3以下であれば、そのピクセ



図 4.5: 個別調整レジスタの調整アルゴリズムの概念図。

ルに対応する閾値調整レジスタを閾値が下がるように変更する。0.7 以上であれば閾値が上 がるように変更する。0.3~0.7 であればそのピクセルのレジスタ値は変更されない。これを 1 試行とし、試行数が5 になった時に個別調整レジスタの調整は終了となる。試行数で終了 条件を定めているのは、個体差によって検出率が 0.3~0.7 の間にすることができないピク セルがいる可能性があるためである。

個別調整レジスタの値を変更するときの変更幅は、試行回数に応じて変化する。本試験での初期状態からの閾値調整では、1回目では $\pm 8$ 、2回目では $\pm 4$ 、3回目では $\pm 2$ 、4回目では $\pm 1$ 、5回目では $\pm 1$ と設定している。4回目までで、 $-15 \sim 15$ の全ての値に設定することができ、5回目で再調整する形式になっている。また、本試験では初期状態からでなく、一度閾値調整を行った時の設定値を引き継いでさらなる調整を行う場合がある。その場合は1回目~5回目までの全てで、変更幅を $\pm 1$ と設定している。

入力回数に対するヒット数の比が 0.3~0.7 の時、閾値がどの程度の範囲内にあるかは式 (5.1) から計算することができる。閾値の範囲は目標閾値 ±0.52σ(ノイズ量) である。セン サーのついていない ASIC のノイズ量は 40 e 程度であるため、閾値は目標閾値 ±21 e の範 囲内にあることになる。この範囲が個別調整レジスタによる閾値調整の精度に対応する。

この調整過程でのヒット数分布の変化を図 46 に示す。いずれの図でも、入力電荷の数は

100 であった。図 4.6a~ 図 4.6e にかけて、ヒット数が 30~70 のピクセルが増えていく様 子がわかる。一方で、30~70 の範囲外のヒット数を持つピクセルも多く存在する。これら は閾値調整後の閾値分布で、目標閾値から外れた閾値を持つピクセルとして観測される可能 性がある。



(e) レジスタ値の変更回数:4

図 4.6: ピクセルごとに閾値を調整するレジスタの調整過程でのヒット数分布。いずれの図 でも入力電荷の入力回数は 100 であった。図 4.6a~ 図 4.6e にかけて、ヒット数 30~70 の ピクセルが増加している。

### 4.1.4 調整後の閾値の確認

閾値調整は、各ピクセルの閾値が目標とした閾値に設定されることを保証するものではな い。したがって、閾値調整後に各ピクセルの閾値を測定する必要がある。この時の閾値測定 アルゴリズムは、 5.3 節に示したものを用いる。

本研究では閾値調整後の閾値測定の結果を用いて、新型 ASIC の閾値調整機構の評価を 行う。

### 4.1.5 **既知の不具合による閾値調整への影響**

2.2.3 節で示した既知の不具合は、閾値調整及び閾値分布に影響を与える。仮に個体差が なく、浮遊容量の大きさしか違いがない二つのピクセルがあったとする。同じレジスタの値 の組合せを両者に与えて閾値測定を行うと、浮遊容量の大きいピクセルの方が高い閾値が測 定される。両者の S-curve の違いを図 4.7 に示す。浮遊容量の大きいピクセルでは、アナロ グ回路からの信号がデジタル回路に届くまでの間に波形が歪み、本来ヒットとして検出すべ き信号を取り逃がすことがある。浮遊容量が大きくなるほど、検出効率が 50% となるのに 必要な入力電荷量が大きくなる。このとき浮遊容量の大きいピクセルの閾値は、浮遊容量の 小さいピクセルの閾値よりも高く測定される。

ASIC 中には様々な浮遊容量のピクセルが混在している。これら全てを対象として閾値調 整を行なった場合、全ピクセルの閾値を調整するレジスタは浮遊容量の影響が小さいピクセ ル (good pixel) にとって最適な値にはならない。したがって good pixel だけを評価するた めには、good pixel だけを対象に閾値調整を行う必要がある。

### 4.1.6 本章の構成

次節以降では、本節で述べた閾値調整アルゴリズムを用いて、good pixel だけを対象にし た閾値調整機構の動作試験について述べる。 4.2 節では、一括調整レジスタの調整と個別調 整レジスタの調整を一度ずつ行う、という最も単純な閾値調整手順による動作試験につい て述べる。 4.3 節で、その閾値調整の結果を閾値調整に対する要求と比較した結果につい て述べる。 4.4 節では、要求と比較した結果を元に閾値調整手順の改善について考察する。 4.5 節では、good pixel だけを対象に改善した手順を用いて閾値調整を行い、閾値調整への 要求と比較した結果を述べる。また、4.5 節では全ピクセルを対象とした閾値調整を行った 場合の結果や、別の ASIC を用いた追試験の結果についても述べる。



図 4.7: 閾値調整後の、TDAC の分布。目標閾値は 900 e であった。

## 4.2 閾値調整機構の動作試験

### 4.2.1 試験の概要

この試験の目的は、新型 ASIC の閾値調整機構が第 2 章で定めた要求を満たしているか どうかを検証することである。 4 節で述べた、一括調整レジスタの調整と個別調整レジス タの調整を一回ずつを閾値調整手順とし、閾値調整後の閾値分布と閾値調整に対する要求の 比較を行った。また、本試験は good pixel のみを対象とした。

### 4.2.2 試験手順

本試験では、目標閾値を 0~2000 e の範囲で 20 刻みで変えながら、閾値調整と測定を行 なった。この目標閾値の範囲は、量産時の品質保証試験での目標閾値が 1000 e、ATLAS 検 出器として使用する際の目標閾値が 600~800 e であることを踏まえて決定した。

本試験の試験手順を以下に示す。

1. ASIC の全てのレジスタを初期値に戻す。

- 2. 目標閾値に合わせて一括調整レジスタを調整する。
- 3. 目標閾値に合わせて個別調整レジスタを調整する。
- 4. 各フロントエンド回路の動作確認を行う。
- 5. 閾値測定を行う。

初期値の一括調整レジスタは VTH1 が 500、VTH2 が 50 である。初期値の個別調整レジ スタの値は全てのピクセルで 0 である。この時の各ピクセルの閾値は 1000~2000 e 程度の 範囲で幅広く分布する。フロントエンド回路の動作確認には、 3.2 節で述べた analog scan を用いた。この動作確認は、閾値調整後にフロントエンド回路が動作しなくなるピクセルを 見つけるために行われる。そのようなピクセルについては 4.3.2 節で述べる。

### 4.2.3 試験結果

本試験での目標閾値に対する閾値調整後の閾値分布の変化を図 4.8 に示す。図 4.8a~ 図 4.8d は各目標閾値での閾値分布である。図 4.8d、図 4.8b では、閾値分布に Gauss 関数 から外れたピクセルの分布がみられる。図 4.8d ではそのような分布はなくなって いる。図 4.8d では、閾値が 0 e となっているピクセルが 200 以上存在している。図 4.8c は 目標閾値と閾値調整後の閾値の 2 次元ヒストグラムである。図の横軸は目標閾値を表して おり、1 ビンの幅が 20 e になるように調節されている。閾値分布のピークが目標閾値に合 わせて調節されている様子がわかる。

閾値調整後の全ピクセルの閾値を調整するレジスタ (VTH1) と目標閾値の相関を図 4.9 に示す。ほぼ線形な相関が得られた。

個別調整レジスタ (TDAC) の分布を図 4.10 に示す。図 4.10a~ 図 4.10d では、測定され た閾値が 0 e であったピクセルと、測定された閾値が目標閾値より 120 e 以上離れたピクセ ルを色分けして表示している。図 4.10e は目標閾値と個別調整レジスタの 2 次元ヒストグ ラムである。図の横軸は目標閾値を表しており、1 ビンの幅が 20 e になるように調節され ている。

全体的な傾向として、個別調整レジスタ値が負であるピクセルの分布の広がりが、正のも のと比べて小さくなっている。また図 4.100 より、個別調整レジスタ値が負であるピクセル の分布の広がりは、目標閾値が低くなるほど大きくなっている。この現象は、 4.5.2 節で示 した、個別調整レジスタ値の正負で 1bit あたりの閾値の変化量が異なることによって説明 できる。

図 3.14より、一括調整レジスタによって決まる閾値(3.5.2)節中で述べた基準閾値に相当 する)が高くなるほど、個別調整レジスタ値 < 0 の時の 1bit あたりの閾値の変化量は大き くなり、個別調整レジスタ値 > 0 の時の 1bit あたりの閾値の変化量は小さくなる。この影 響による、調整後の個別調整レジスタの値の違いを図 4.11 に示す。個別調整レジスタの値 を下げることで閾値を目標値付近に調整していたピクセルのレジスタ値は 0 付近に分布し



(e) 目標閾値に対する閾値調整後の閾値分布の変化

図 4.8: 閾値調整機構の動作試験における閾値調整後の閾値分布。図 4.8a~ 図 4.8d は、そ れぞれの目標閾値に調整した後の閾値分布である。図 4.8a は目標閾値に応じた閾値分布の 変化を示す 2 次元ヒストグラムである。いずれの図も、good pixel のみを対象とした場合 の結果である。



図 4.9: good pixel のみを用いた閾値調整後の、全ピクセルの閾値を決めるレジスタ値 (VTH1)と目標閾値との相関。

やすくなる。したがって、個別調整レジスタ < 0 の範囲では、分布の広がりは小さくなる。 一方で個別調整レジスタ > 0 の範囲では、逆に個別調整レジスタの値 1bit あたりの閾値の 変化量が小さくなるため、分布の広がりは大きくなる。一方で、一括調整レジスタによって 決まる閾値が低くなるほど、個別調整レジスタ値の正負による 1bit あたりの閾値の変化量 の差は小さくなっていく。目標閾値が低くなるほど、個別調整レジスタ値が負であるピクセ ルの分布の広がりが大きくなっているのはこのためである。

目標閾値ごとの個別調整レジスタ値の分布を個別に確認すると、図 4.10a、図 4.10b、 図 4.10c では、閾値と目標閾値の差が 120 e あるピクセルがレジスタ値が最大 (15) の点に 分布している。その理由を図 4.12 を用いて述べる。これらは、一括調整レジスタで決まる 閾値と目標閾値との差が大きすぎたために、個別調整レジスタが持つ調整可能範囲では調 整できなかったピクセルである。閾値と目標閾値の差が 120 e あるピクセルについては、 4.3.2 節で解説する

また、図 4.100 の目標閾値 500 e 以下の範囲において、個別調整レジスタ値が 10 ~ 15 の ピクセルがいなくなっている。図 4.100 を見ると、個別調整レジスタ値が 10 ~ 15 のピク セルが減った代わりに、レジスタ値が –15 になっているものが増えている。さらにそれら のピクセルでは閾値が 0 e となっている。この理由については、 4.4 節で述べる。



(a) 目標閾値 1700 e に調整した際の TDAC 分布 (b) 目標閾値 1200 e に調整した際の TDAC 分布



(c) 目標閾値 700 e に調整した際の TDAC 分布

(d) 目標閾値 200 e に調整した際の TDAC 分布



図 4.10: 閾値調整機構の動作試験における、閾値調整後のピクセルごとに設定されるレジ スタ (TDAC) の分布。図 4.10a~ 図 4.10d は、それぞれの目標閾値に調整した後の TDAC 分布である。図 4100 は目標閾値に応じた TDAC 分布の変化を示す 2 次元ヒストグラムで ある。いずれの図も、good pixel のみを対象とした場合の結果である。

<sup>(</sup>e) 目標閾値に対する閾値調整後の個別閾値調整用レジスタ (TDAC) 分布の変化

全ピクセルの個別調整レジスタ=0



図 4.11: 個別調整レジスタ (TDAC) の調整後のレジスタ値。閾値調整前の段階で、目標閾 値からの差が同程度の2つのピクセルを考える。一括調整レジスタで決まる閾値が高い場 合、個別調整レジスタ 1bit あたりの閾値の変化がレジスタ値の正負によって異なる。した がって、目標閾値より閾値が高いピクセルと低いピクセルでは、目標閾値との差が同程度で あっても、調整後のレジスタ値は異なる。



図 4.12: 個別調整レジスタ値が最大で、かつ閾値と目標閾値の差が 120 e あるピクセルの概 略図。個別レジスタ値が最小のものも、同様の描像になる。
## 4.3 試験結果と閾値調整に対する要求の比較

## 4.3.1 ATLAS グループが定めた要求との比較

2.4.2 節で示した ATLAS グループで定めた要求では、閾値分布の標準偏差が 40 e を下 回っていることを要求している。この要求と 4.2 節で得られた結果を比較した。また、閾 値が目標閾値に調整されているかを調べるため、閾値分布の平均値と目標閾値の比較を行 なった。平均値及び標準偏差は、閾値分布を Gauss 関数でフィッティングをすることで算 出した。

閾値分布の平均値と、目標閾値との差を図 4.13a に示す。多くの目標閾値において、平 均値は目標閾値から 10~20 e 程度ずれている。ATLAS グループでは閾値分布の平均値に 関する要求は定められていないが、検出器として運用する際の閾値が 600~800 e であるこ とを考慮すれば 10~20 e という結果は十分小さい。この目標閾値からのずれに関する議論 は 4.6.1 節で行う。

閾値分布の標準偏差を図 4.13b に示す。全ての点で 40 e を下回っているため、ATLAS グループが定めた要求はクリアされている。



図 4.13: good pixel のみを対象とした場合の、閾値調整後の平均値と標準偏差。図 413a: 閾値調整後の閾値分布の平均値と、目標閾値との差。横軸は目標閾値を表す。平均値は、閾 値分布をガウス関数で近似した場合の値を用いている。図 413b: 閾値調整後の閾値分布の 標準偏差。標準偏差は、閾値分布をガウス関数で近似した場合の値を用いている。

## 4.3.2 本研究で独自に定めた要求との比較

図 43 では、Gauss 関数から外れた分布を持つ閾値分布や、閾値が0eとなっているもの が確認された。 2.4.3 節に示した untuned pixel を定義し、その数から閾値調整機構の評価 を行う。untuned pixel の定義は測定された閾値が0であったもの、もしくは測定された閾 値が目標値から 120 e 以上離れているものである。この2種類についてより詳細な分類を 行う。さらに、本研究で独自に定めた要求である、untuned pixel < 0.3% という要求が満 たされているかについても検証する。

#### 測定された閾値が0eとなったもの

測定された閾値が0eとなるピクセルは2種類に分けられる。その分類には、20000e程 度の入力電荷を用いたフロントエンド回路の動作試験 (analog scan、 **5.2**節)を用いる。閾 値調整後に、入力電荷を100回入力した時のヒット数が100でなかったものを動作異常ピ クセルと呼ぶ。動作異常ピクセルでは、閾値よりも十分大きいはずの入力電荷の検出ができ ず、動作試験で得られるヒット数は0になる。その理由は、閾値が低すぎるために、ノイズ である信号を検出してしまうためである。常にノイズを検出し続けてしまうために、フロ ントエンド回路のコンパレータからの出力は常に1になる。新型 ASIC のデジタル回路は、 アナログ回路のコンパレータからの出力の0から1への変化を用いてヒットを検出するた め、その変化が起きなければヒットを検出することができない。

一方で、20000 e 程度の入力電荷を 100 回入力した時のヒット数が 100 であったものは、 5.3.3 節で示した閾値調整の際のフィッティングに失敗したピクセルであると考えられる。 動作異常ピクセルとの違いは、閾値の測定ができないもののフロントエンド回路としては正 常に動作していることである。フィッティングのアルゴリズムなどを見直すことで閾値を 正しく測定すれば、検出器としても活用可能だと考える。しかし現状で閾値を測定できない 以上、本試験では読み出し不可として扱う。

#### 測定された閾値と目標閾値との差が 120 e 以上のもの

測定された閾値と目標閾値の差が 120 e 以上となるピクセルが発生する原因としては、個 別調整レジスタ (TDAC) の調節可能範囲では個体差を補正しきれなかった、という場合が 考えられる。こうしたピクセルでは、 個別調整レジスタ値が最大値 (15)、もしくは最小値 (-15)となる。図 4.10a~ 図 4.10c から、目標値と 120 e 以上離れた閾値を持つピクセルの 多くが、レジスタ値が最大値、または最小値となっている。

一方で図 4.10a では、レジスタ値が最大値でも最小値でもないにも関わらず、目標値との 差が 120 e 以上あるピクセルが存在する。こうしたピクセルのレジスタ値は全て 0 以下で あり、その多くは –5~0の範囲に分布していた。こうしたピクセルの発生には、2 通りの 過程が挙げられる。



図 4.14: レジスタ値が最大値でも最小値でもないにも関わらず、目標値との差が 120 e 以上 あるピクセルの発生メカニズム。図中の検出率は、目標閾値相当の電荷量を持つ入力電荷に 対する検出率である。図 4.14a: 統計的な揺らぎによって、レジスタ値の調整を間違えたも の。図 4.14b: レジスタ値が離散的であるために、検出率が 0.3~0.7 の範囲に収まらないも の。

一つは、ピクセルごとに個別に閾値を調整するレジスタの調整過程での統計的な揺らぎに よる発生である。その原理を図 4.14a に示す。レジスタの調整には入力電荷に対するヒッ ト数を用いるが、ヒット数は統計的な影響による揺らぎを持つ。この揺らぎにより、レジス タ値を変える必要がないのにレジスタ値を変えてしまったピクセルが一定数存在する。こ の時のレジスタ値 1bit による閾値の変化量が 120 e よりも多ければ、目標値から 120 e 以 上離れた閾値に調整されてしまう。図 5.14 に示したように、高い閾値を持つピクセルでは、 ピクセルごとのレジスタ値が負であるときの 1bit あたりの閾値の変化が大きくなる。その ため、こうしたピクセルは目標閾値が高いほど多く存在する。

もう一つは、個別調整レジスタの値が離散的であることによる発生である。その原理を 図 4.14D に示す。図中の赤で示したピクセルは、目標閾値に最も近い閾値であっても検出 率が 0.3~0.7 の範囲内に収まらない。こうしたピクセルでは、閾値調整のたびに個別調整 レジスタの値の増減を繰り返すことになる。この時のレジスタ値 1bit による閾値の変化量 によっては、目標値から 120 e 以上離れた閾値に調整されてしまう。前述したように、高い 閾値を持つピクセルでは、ピクセルごとのレジスタ値が負であるときの 1bit あたりの閾値 の変化が大きくなる。したがって、この過程での発生も目標閾値が高いほど多く存在する。 実際に該当するピクセルの全てで、図 5.14 に示したような個別調整レジスタの振る舞いを 確認した。確認した全てのピクセルで、閾値調整後に設定されていたレジスタ値付近での 1bit あたりの閾値の変化は、120 e を上回っていた。

統計的な揺らぎによる発生は、入力回数を増やすことで抑制できるはずである。その議論 については 4.6.2 節で述べる。

#### 対象ピクセル中の、untuned pixel の割合

この試験での閾値調整に失敗したピクセル (untuned pixel)の割合を図 4.15 に示す。 図中では、4.3.2節に示した untuned pixel の分類に従って色分けされている。図中の "Non-responsive"は動作異常ピクセルを、"Fitting Failed"は閾値調整の際のフィッティン グに失敗したピクセルを示す。また、閾値が目標閾値から120e以上離れていたピクセルは 個別調整レジスタ (TDAC) の値によって色分けしている。レジスタ値が最大値だったもの を "TDAC=15"、最小値だったものを "TDAC=–15"、最大値でも最小値でもなかったも のを"TDAC:other"と表記している。



The ratio of the untuned pixel

図 4.15: 目標閾値ごとの閾値調整に失敗したピクセルの割合。good pixel のみを対象と した場合の結果である。縦軸は Good Pixel 中の閾値調整に失敗したピクセルの割合を表 す。(緑) 閾値調整の結果動作異常ピクセルとなったもの。(赤) 閾値測定の際のフィッティ ングに失敗したピクセル。(青)(紫)(黄) 測定された閾値と目標値が 120 e 以上開いているピ クセル。(青) ピクセルごとに閾値を調整するレジスタ (TDAC) が 15。(紫)TDAC が-15。 (黄)TDAC が 15 でも-15 でもないもの。

はじめに、閾値が0eになるピクセルについて述べる。フィッティングに失敗したピクセ ルは全体的に少なく、目標閾値 > 100 e の範囲ではほぼ存在しない。動作異常ピクセルに ついては、目標閾値 < 600 e の範囲で目標閾値を下げていくと、動作異常ピクセルが増加 する様子が確かめられている。目標閾値 < 600 e の範囲では、untuned pixel 中の動作異常 ピクセルの占める割合は非常に大きくなっている。

次に、閾値と目標値が120 e 以上開いているピクセルについて述べる。個別調整レジスタ が –15 のピクセルは存在しない。レジスタ値が15 のピクセル、およびレジスタ値が –15 でも15 でもないピクセルは、目標閾値が高くなるほど増加している。この増加は図 3-14 に示した、個別調整レジスタの振る舞いに由来する。

まず、レジスタ値が 15 のピクセルについて考察する。高い閾値を持つピクセルでは、個 別調整レジスタ > 0 の範囲では 1bit あたりの閾値の変化が小さくなる。するとレジスタ値 を上げることで目標閾値に調整されていたピクセルにとっては、調整可能な範囲が狭くなっ ている。これにより、個別調整レジスタが最大値になってしまうピクセルが増加し、その 中で閾値と目標値が 120 e 以上開いているピクセルが untuned pixel となる。レジスタ値 が – 15 でも 15 でもないピクセルは、 4.3.2 節で述べた通り、高い閾値を持つピクセルでは 個別調整レジスタ < 0 の範囲での 1bit あたりの閾値の変化が 120 e を超えることに起因す る。個別調整レジスタ < 0 の範囲での 1bit あたりの閾値の変化は、閾値が高くなるほど大 きくなる。したがって、目標閾値を高くすることで、閾値と目標値が 120 e 以上開いている がレジスタ値が – 15 でも 15 でもないピクセルが増加することになる。

これらの untuned pixel の合計は、400 e~1600 e の範囲では 0.3% を下回っている。運 用時の閾値は 600 e、新型 ASIC を用いたモジュールの量産の際の品質保証試験では目標閾 値は 1000 e である。この両方で、新型 ASIC の good pixel では untuned pixel の数は十分 抑えられることがわかった。

新型 ASIC の改良版であり、実際の HL-LHC ATLAS ピクセル検出器の読み出し ASIC に使われる予定の RD53B が現在開発中である。RD53B では、浮遊容量による不具合が解 消される予定である。したがって、RD53B で同様の試験を行なった場合は、図 4.23 と同 様の結果が得られることが期待できる。

しかし、これで検出器としての運用に問題なしとは断言できない。この結果は ASIC 単 体での結果であるが、検出器では ASIC にセンサーを取り付けて運用する。ASIC にセン サーを取り付けると、センサー由来のノイズによってノイズ量が増加することが知られてい る。また、放射線照射によってもノイズ量が増加する。動作異常ピクセルは、ノイズ量の増 加に伴って数を増やす。これらのノイズ量の増加によって 600 e への閾値調整をした場合 でも動作異常ピクセルが増加した場合、本研究で定めた要求や放射線照射後の検出効率が 97% 以上という要求が達成できなくなる恐れがある。そのため、動作異常ピクセルを可能 な限り抑制することが望ましい。

本研究では動作異常ピクセルの数を抑制する方法として、閾値調整手順の改善を提案す

る。その詳細は 4.4 節にて述べる。

## 4.4 閾値調整手順の改善

4.3.2 節に示した untuned pixel のうち、動作異常ピクセルについては閾値調整手順に よって削減できる可能性がある。図 4.10d を、 4.3.2 節での分類に従って色分けしたものを 図 4.16 に示す。動作異常ピクセルの多くは、ピクセルごとに閾値を調整するレジスタが-15 になっている。これらのピクセルの個別調整レジスタの値を増やしてやれば、閾値が上がる ことでノイズを検出しなくなり、問題なく読み出せるようになるのではないかと考えた。



図 4.16: 図 4.10d を、 4.3.2 節での分類に従って色分けしたもの。赤の"fitting failed"とあ るのが閾値測定に失敗したピクセル、緑の"non responsive"とあるのが動作異常ピクセルで ある。 |Thr<sup>meas</sup> – Thr<sup>tar</sup>| > 120 e は測定された閾値と目標閾値との差が 120 e 以上あるも のである。

図 4.16 内の動作異常ピクセルとなっているピクセルは、個別調整レジスタが0の時の 閾値が、平均より低くなるようなピクセルである。こうしたピクセルの閾値調整について 図 4.17 に示す。

これらのピクセルは、個別調整レジスタが10~15程度に調整されることで、閾値が目標 閾値に近い値を取るようになる。しかし、個別調整レジスタの調整前の段階の閾値が低すぎ ると、ノイズを常に検出する状態になる。 4.3.2節で述べたように、そのピクセルは入力 電荷を検出できず、ヒット数は常に0になる。個別レジスタ調整のアルゴリズムはヒット 数によってレジスタ値の調整を行うため、これらのピクセルは閾値が高いためにヒット数が 0なのだと判断し、閾値を下げるようにレジスタ値を調整してしまう。したがって、本来個



図 4.17: 個別調整レジスタ (TDAC) が 0 の時の閾値が平均より低くなるようなピクセル の、個別調整レジスタの調整。理想的な調整では、レジスタ値を +10 15 程度にすること で、閾値を目標閾値に近づけることができる。しかし、閾値が低く、ノイズを常に検出する 状態になると、ヒット数が 0 であるためにアルゴリズムはレジスタ値を下げてしまう。こ れにより、個別調整レジスタが –15 の動作異常ピクセルが生まれる。

別調整レジスタが 10 ~ 15 となって閾値が調整できたピクセルが、レジスタ値が –15 とな り、動作異常ピクセルとなる。

動作異常ピクセルの発生原理を踏まえて、閾値調整手順の改善を行う。その概念図を 図 LIN に示す。一括調整レジスタの調整では、閾値分布の広がりを保ったまま閾値が下げ られていくため、ノイズ量以下の閾値を持つピクセルが多く生まれてしまう (図 LIN の修 正前)。前述した理由により、一括調整レジスタの調整後にノイズ量以下の閾値を持ってい たピクセルは、全て動作異常ピクセルとなる。そこで、あらかじめ個別調整レジスタの調整 を行い、個体差による閾値分布の広がりを抑えた状態で一括調整レジスタの調整を行うこと を考えた (図 LIN の修正後)。

### 4.4.1 **改善後の閾値調整の手**順

4.3.2 節の内容を踏まえて閾値調整手順を改善した。その手順を以下に示す。

- 1. ASIC のレジスタを初期値に戻す。
- 2. 仮目標閾値に合わせて全ピクセルの閾値を調整するレジスタを調整する。
- 3. 仮目標閾値に合わせて各ピクセルの閾値を調整するレジスタを調整する。



図 4.18: 閾値調整手順による、閾値が Noise 量を下回るピクセルの抑制の概念図。Global Tuning は、一括調整レジスタの調整を指す。修正前では、閾値がノイズ量を下回るピクセ ルが一定数存在するが、修正後ではその数が抑えられている。

- 4. 目標閾値に合わせて全ピクセルの閾値を調整するレジスタを調整する。
- 5. 目標閾値に合わせて各ピクセルの閾値を調整するレジスタを調整する。
- 6. 各フロントエンド回路の動作確認を行う。
- 7. 閾値測定を行う。

仮目標閾値は、▲ ゴ節で示した動作異常ピクセルを抑制するための閾値調整用の目標閾値 である。仮目標閾値候補は 800~2000 e の範囲の 200 刻みの数値で、そのうちで目標値に もっとも近い値を仮目標閾値として選ぶ。全ピクセルの閾値を決めるレジスタの調整後に、 ノイズフロアを下回る閾値を持つピクセルがいない最低の目標閾値として 800 e を選んだ。

## 4.5 結果および考察

## 4.5.1 試験結果

本試験での目標閾値に対する閾値調整後の閾値分布の変化を図 4.19 に示す。概ね図 4.8 と同じ傾向がみられる。目標閾値 200 e での閾値分布 (図 4.19d) では、閾値調整手順の改

善前 (図 4.8d) と比べて閾値が 0 e であったピクセル数が減少している。

閾値調整後の一括調整レジスタ (VTH1) と目標閾値の相関を図 4.20 に示す。図 4.9 と比較して、より線形な相関が得られた。これは、各ピクセルの個体差をある程度調整した状態で、一括調整レジスタの調整を行ったことによる効果である。

閾値調整後の、ピクセルごとの閾値を調整するレジスタ (TDAC) の分布を図 4.21 に示 す。図 4.10 と比較して、目標閾値 500 e 以下での TDAC>10 となるようなピクセルの減 少が起きていない。図 4.10 で見られたそれらの減少は、動作異常ピクセルが原因である。 したがって、目標閾値 500 e 以下での TDAC>10 には閾値調整手順の改善による効果が表 れていると考える。

## 4.5.2 ATLAS 実験グループが定めた要求との比較

得られた閾値分布を、ATLAS 実験グループが定めた要求と比較した。また、閾値分布の 平均値と目標閾値の比較も行なった。平均値、標準偏差の産出方法は 4.3 1 節に示した通り である。平均値と目標閾値の差を図 4.22a に示す。多くの目標閾値において、平均値は目標 閾値の ±10 e 以内に収まっている。図 4.13a と比べて、閾値は目標閾値付近に揃っている。

閾値分布の標準偏差を図 4.22b に示す。全ての点で 40 e を下回っているため、ATLAS グループの定めた要求はクリアされている。

## 4.5.3 本研究で独自に定めた要求との比較

good pixel 中の閾値調整に失敗したピクセル (untuned pixel)の割合を図 4.23 に示す。 図 4.15 と比較すると、動作異常ピクセルの割合が大きく減少している。したがって、閾 値調整の改善は低閾値帯での動作異常ピクセルの抑制に効果的であると言える。untuned pixel の合計の割合は、200 e~1600 e のより広い範囲で 0.3% を下回っている。したがっ て、この新型 ASIC は本研究で独自に定めた要求を満たしている。

### 4.5.4 全ピクセルを対象とした試験の結果

**2.2.3**節で示した既知の不具合による影響を調べるため、全ピクセルを対象として同じ試験を行なった。試験手順は **4.4.1**節に示したものと同じである。

#### ATLAS グループが定めた要求との比較

全ピクセルを対象とした閾値調整の結果を図 4.24 に示す。図 4.24a から、全ピクセル を対象とした閾値調整でも閾値の平均値は目標閾値 ±10 e 以内に収まっている。また、閾 値分布を Gauss 関数でフィッティングした場合の標準偏差を図 4.24b に示す。ATLAS グ ループが定めた要求は、標準偏差が 40 e を下回ることであるが、全ての目標閾値で達成さ れている。



図 4.19: 閾値調整手順改善後の閾値調整機構の動作試験における閾値調整後の閾値分布。 図 4.19a~ 図 4.19d は、それぞれの目標閾値に調整した後の閾値分布である。図 4.19d は目 標閾値に応じた閾値分布の変化を示す 2 次元ヒストグラムである。good pixel のみを対象 とした場合の結果である。



図 4.20: good pixel のみを用いた閾値調整後の、全ピクセルの閾値を決めるレジスタ値 (VTH1)と目標閾値との相関。

#### 本研究で独自に定めた要求との比較

全ピクセルを対象とした閾値調整後の untuned pixel の割合を図 4.25 に示す。全体的 に割合が増加しており、特に測定された閾値が目標閾値から 120 e 以上外れているピクセ ルが多くなっている。これは浮遊容量の大きさの個体差によって、チップ内の閾値の個体 差が大きく広がったためだと考えられる。この場合でも、目標閾値が 400~800 e の範囲で untuned pixel は 0.3% を下回っている。しかし非常に狭い範囲である上に、0.1% を下回っ ている範囲はない。これらの結果から、意図しない浮遊容量の改善は非常に効果的であると 言える。



(a) 目標閾値 1700 e に調整した際の TDAC 分布 (b) 目標閾値 1200 e に調整した際の TDAC 分布



(c) 目標閾値 700 e に調整した際の TDAC 分布





(e) 目標閾値に対する閾値調整後の個別閾値調整用レジスタ (TDAC) 分布の変化

図 4.21: 閾値調整機構の動作試験における閾値調整後の個別調整レジスタ (TDAC)の分布。図 4.21e は目標閾値に応じた TDAC 分布の変化を示す 2 次元ヒストグラムである。 図 4.21a~ 図 4.21a は、それぞれの目標閾値に調整した後の TDAC 分布である。good pixel のみを対象とした場合の結果である。



図 4.22: good pixel のみを対象とした場合の、閾値調整機構の動作試験結果。図 4.22a: 閾 値調整後の閾値分布の平均値と、目標閾値との差。横軸は目標閾値を表す。平均値は、閾値 分布をガウス関数で近似した場合の値を用いている。図 4.22b: 閾値調整後の閾値分布の標 準偏差。標準偏差は、閾値分布をガウス関数で近似した場合の値を用いている。



図 4.23: 目標閾値ごとの、閾値調整に失敗したピクセルの割合。横軸は閾値調整に用いた目 標値、縦軸は Good Pixel 中の閾値調整に失敗したピクセルの割合を表す。それぞれの色は 失敗した原因を示しており、色分けの基準は図 4.15 と同じである。



図 4.24: 全ピクセルを対象とした場合の、閾値調整機構の動作試験結果。図 4.24a 閾値調整 後の閾値分布の平均値と、目標閾値との差。横軸は目標閾値を表す。平均値は、閾値分布を ガウス関数で近似した場合の値を用いている。図 4.24D 閾値調整後の閾値分布の標準偏差。 標準偏差は、閾値分布をガウス関数で近似した場合の値を用いている。



図 4.25: 目標閾値ごとの、閾値調整に失敗したピクセルの割合。横軸は閾値調整に用いた目 標値、縦軸は全ピクセル中の閾値調整に失敗したピクセルの割合を表す。それぞれの色は失 敗した原因を示している。色分けの定義は図 4.15 と同じである。

### 4.5.5 **別の** ASIC を用いた追試験

もう一枚の新型 ASIC の good pixel を用いて、閾値調整機構の動作試験を行なった場合の結果を確認した。この時の試験手順は、 4.4.1 節に示した、閾値調整手順の改善後の手順を用いた。

#### ATLAS グループが定めた要求との比較

目標閾値ごとの平均値、標準偏差を算出した結果を図 4.26 に示す。図 4.26a より、平均 値は目標閾値から 10 e 程度ずれているという結果が得られた。この結果については 4.6.1 節で考察する。また、標準偏差と ATLAS グループが定めた要求を比較した結果を図 4.26b に示す。目標閾値 >1800 e の範囲で、標準偏差が 40 e 付近まで上昇している。この新型 ASIC は、目標閾値 <1800 e の範囲に限り、要求を満たしていると言える。新型 ASIC の 閾値は、量産時の品質保証試験、検出器としての運用時のいずれにおいても、1000 e を下 回る値に設定されるため、この新型 ASIC も実用上の問題はないと判断した。



図 4.26: 別の新型 ASIC を用いた場合の、閾値調整機構の動作試験結果。対象は good pixel のみである。図 4.26a 閾値調整後の閾値分布の平均値と、目標閾値との差。横軸は目標閾値 を表す。平均値は、閾値分布を Gauss 関数でフィッティングすることで算出した。図 4.26b 閾値調整後の閾値分布の標準偏差。標準偏差は、閾値分布を Gauss 関数でフィッティング することで算出した。

### 本研究が独自に定めた要求との比較

この新型 ASIC の good pixel 中の untuned pixel の割合を図 4.27 に示す。

図 4.23 と比較すると、目標閾値 >1400 e の範囲でフィッティングに失敗したピクセルが 急増している。これらのピクセルの閾値測定時の S-curve は、全ての入力電荷に対してヒッ



図 4.27: 目標閾値ごとの、閾値調整に失敗したピクセルの割合。横軸は閾値調整に用いた目 標値、縦軸は good pixel 中の閾値調整に失敗したピクセルの割合を表す。それぞれの色は 失敗した原因を示しており、色分けの基準は図 4.15 と同じである。

ト数が0であった。閾値測定での入力電荷の最大電荷量は4000 e である。また、これらの ピクセルに 20000 e の入力電荷を100 回入力した場合は、ヒット数が100 と出力される。 したがって、これらのピクセルは閾値が4000 e 以上、20000 e 未満になっていたと考える。

目標閾値 >1800 e では、動作異常ピクセルも確認できる。前述したように、この ASIC には閾値が高く設定されるピクセルが一定数存在する。それらの閾値が 20000 e を超えた ために、20000 e の入力電荷に対してヒット数が 0 と出力されたのではないかと考える。い ずれにせよ、これらのピクセルは目標閾値には調整されていないため、untuned pixel とし て数える。

untuned pixel の割合は、200 e< 目標閾値 <1400 e の範囲で 0.3% を下回っている。したがって、この新型 ASIC でも本研究が独自に定めた要求が満たされている。

## 4.6 議論

本章では、本節中で述べた結果に関しての議論を述べる。

## 4.6.1 閾値調整後の閾値の平均値

431節、455節で、閾値調整後の閾値が目標値から常に一定値分ずれる、という挙動 が確認された。閾値調整と閾値測定では同じ入力電荷を使用している。そのため、入力電荷 パルスの作成回路や、フロントエンド回路内部に何らかのオフセットがあったとしても、閾 値調整後の閾値には反映されないはずである。また、一定の範囲内でばらつく、というので はなく常に一定値ずれる、という挙動である。したがって、個別調整レジスタが離散的であ ることや回路中のノイズなどの不確定性の影響であるとも考えにくい。

閾値調整と閾値測定の際に消費電力や温度の変化があり、それによるトランジスタの動作 特性の変化が原因ではないかと考えた。しかし、閾値調整と閾値測定での電流量と温度を測 定したところ、電流量はいずれも同程度 (デジタル回路の電流が 0.18 A、アナログ回路の電 流が 0.25 A) であった。また、赤外線カメラで ASIC 表面の温度を測定したところ、常に 29 度程度であった。これらの結果から、閾値調整と閾値測定では消費電力や温度は変化し ていない。

この現象については、現状では原因を特定できていない。しかし、ずれる値が最大 20 e 程度であり、検出器として運用する際の閾値は 600 e 程度であることから、検出器の性能に 与える影響は小さいと結論づけた。

## 4.6.2 個別調整レジスタの値が最大値でも最小値でもないにも関わらず、目 標値との差が 120 e 以上あるピクセル

4.3.2 節で、個別調整レジスタの値が最大値でも最小値でもないにも関わらず、目標値と の差が120 e 以上あるピクセルが発生する原因の一つは、閾値調整の過程でヒット数が統計 的な揺らぎを持つためであると述べた。であれば、閾値調整の過程でヒット数分布を作成 する際の入力電荷の入力回数を増やすことで、こうしたピクセルを抑制できるはずである。 閾値調整での入力電荷数を増やし、どの程度抑制できるかを調べた。

個別調整レジスタの調整で、入力電荷の入力回数を100 にした場合と10000 にした場合 を比較した。それぞれの入力回数で、目標閾値1900 e への閾値調整を10 回ずつ行い、本節 で議論するピクセルの数を比較した。その結果を表 41 に示す。

入力電荷の入力回数	問題のピクセル数	調整にかかった時間 [ms]
100	$162 \pm 3$	$6436 \pm 18$
10000	$152 \pm 2$	$223477\pm20$

表 4.1:入力回数による、"個別調整レジスタの値が最大値でも最小値でもないにも関わらず、目標値との差が 120 e 以上あるピクセル"の数の変化。

入力回数を 10000 にしたことで、問題のピクセルは 10 個程度減少する。しかし、調整に かかる時間は 34 倍以上になっている。したがって、実際の閾値調整で入力回数を増やすこ とは現実的ではない。また、これらのピクセルは品質保証試験時の目標閾値 (1000 e) や検 出器として運用する際の目標閾値 (600 e) では数が少ないことから、現時点でも問題なしと 考えた。そのため、これ以上の検証は行なわなかった。

## 4.6.3 センサーを取り付けた新型 ASIC や、放射線照射を行なったセンサー 付き新型 ASIC についての考察

センサーを取り付けた新型 ASIC では、ノイズ量が増加する。この増加はセンサーが静 電容量を持っていることによる影響である。センサーのない新型 ASIC のノイズ量は 40 e 程度であったが、センサーを取り付けた場合のノイズ量は 100 e 程度まで増加する見込みで ある。

また、放射線損傷によってもノイズ量は増加する。入射粒子との相互作用によって、半導体センサーのバルク部分(図 2 中の空乏層に対応する)の結晶構造が変化し、格子欠陥が 生まれる。これをバルク損傷と呼ぶ。半導体検出器の放射線損傷の大部分は、バルク損傷の うち入射粒子によって散乱された原子核が結晶内に残るような損傷に起因する。これをフ レンケル欠陥と呼ぶ。こうした格子欠陥は半導体のエネルギーバンド構造に新たな準位を 作るため、熱励起による電子正孔対生成の増加を引き起こす。この影響でノイズ量が増加 する。

ノイズ量が増加した場合の、図 4.23 に示した untuned pixel の数の変化について考察す る。放射線損傷によるノイズ量の増加と、センサーを取り付けることによるノイズ量の増加 では同じ議論になる。したがって、ここではセンサーを取り付けた場合のノイズ増加につ いて考察する。まず、閾値が 0 e となるピクセルについて考察する。 4.3.2 節で述べたとお り、動作異常ピクセル (図 4.23 中の "Non-Responsive")の発生は、そのピクセルの閾値が 低くなり、ノイズを検出し続けることに起因する。よって、ノイズ量が増加すれば、より高 い目標閾値への閾値調整で動作異常ピクセルが現れることになる。実際にどの程度増加す るかは現状では不明であるが、単に動作異常ピクセルの発生が 60 e 程度高い閾値で起こる ようになる、と考える。この場合、図 4.23 の動作異常ピクセルのヒストグラムが、目標閾 値 60 e 分右に平行移動する、という変化が予想できる。その場合は、センサーが取り付け られたピクセルに対しても、閾値調整の改善によって、動作異常ピクセルの数を十分に抑え られると期待できる。

次に、閾値と目標値の差が120 e 以上のピクセルについて考察する。 [1] 節で述べたよう に、一括調整レジスタの調整、個別調整レジスタの調整ともに、閾値調整の精度はノイズ量 に依存する。ノイズ量が100 e まで上昇した場合、一括調整レジスタの調整の終了条件は、 閾値の平均が目標閾値 ±2 e 以内、個別調整レジスタの調整の終了条件は、閾値の平均が目 標閾値 ±52 e 以内となる。したがってノイズ量の増加によって閾値調整の精度が悪化し、 閾値と目標値の差が120 e 以上のピクセルが増加することが考えられる。同様の理由で、閾 値分布の標準偏差も増加すると考えられる。ただし、閾値調整の精度はアルゴリズム内の 変数によっても決まっているため、変数の値を見直すことで改善できる。ただし、レジスタ の調整の終了条件 (本研究では、個別調整レジスタの場合は検出率 0.3~0.7)を狭めた場合、 4.3.2 節で述べた統計的なヒット数の揺らぎに伴うレジスタ値の取り違えが増加する。これ らを考慮して、アルゴリズムが決めているレジスタの調整の終了条件を最適化する必要が ある。

以上より、センサーを取り付けた場合や放射線損傷によるノイズ量の増加は、本章で述べ た閾値調整機構の改善と、アルゴリズム内の変数の値の見直しで対処できると結論づけた。

## 第5章

## 結論

HL-LHC ATLAS ピクセル検出器の読み出し ASIC のプロトタイプである新型 ASIC、 RD53A の閾値調整機構の動作試験を行った。

まず、新型 ASIC のフロントエンド回路の動作原理を理解した上で、フロントエンド回路 が設計通りに動作していることを示した。その上で閾値調整機構の動作試験を行い、その評 価を行った。得られた結果を、ATLAS 実験グループが定めた要求及び本研究で独自に定め た要求と比較し、閾値調整機構の評価を行った。ATLAS 実験グループが定めた要求は、閾 値調整後の閾値分布の標準偏差 <40 e という要求であった。本研究で独自に定めた要求は、 閾値が 0 e のものを除く、目標閾値 ±120 e の範囲の閾値を持つピクセルの割合 >99.7%、 という要求であった。閾値が 0 e のピクセル、目標閾値との差が ±120 e 以上の閾値を持つ ピクセルを untuned pixel と定義した。さらに、動作試験の結果を踏まえて閾値調整手順の 改良を行い、低閾値帯での untuned pixel の抑制を試みた。

新型 ASIC には浮遊容量による既知の不具合があり、現在開発中の改良版 ASIC である RD53B ではそれらは取り除かれることから、既知の不具合の影響が少ないピクセル (good pixel) のみを用いて試験を行なった。その結果を以下に示す。

- ATLAS 実験グループが定めた要求については、目標閾値 <1800 e の範囲で、本研 究で用いた 2 枚の新型 ASIC の両方とも要求を満たしていた。
- 本研究で独自に定めた要求については、目標閾値が400~1600 eの範囲で、本研究で 用いた2枚の新型ASICの両方とも要求を満たしていた。
- ・ 閾値調整手順の改善により、閾値調整によって発生する読み出し不可のピクセルを削減することに成功した。

量産時の品質保証試験での閾値調整の際の目標閾値が 1000 e、検出器として運用する時の 設定閾値が 600~800 e である。今回の動作試験により、新型 ASIC 単体を用いる場合は、 good pixel の閾値調整機構の動作に問題がないことが確かめられた。また、浮遊容量の改 善が閾値調整機構の動作にとって非常に重要であることを示した。これは、RD53B の開発 にとって、非常に重要なフィードバックとなった。

今後進めるべきことは、センサーが取り付けられた状態、並びに放射線照射を行なった後 の閾値分布の変化の確認、そしてそれに伴う照射前の新型 ASIC の閾値調整機構への要求 の調整である。センサーが取り付けられた新型 ASIC に対する試験や、それらに対して放 射線照射を行なったものに対する同様の試験はまだ行われていない。それらによってどの 程度検出器の検出効率が下がるかを理解した上で、量産時の品質保証試験において、製造さ れた検出器を評価する基準を正しく定めることが今後の課題である。

# 参考文献

- [1] LuminosityPublicResultsRun2 https://twiki.cern.ch/twiki/bin/view/AtlasPublic/LuminosityPublicResultsRun2
- [2] Overall view of the LHC http://cds.cern.ch/record/1708849/files/
- [3] The ATLAS Collaboration, [The ATLAS Experiment at the CERN Large Hadron Collider], JINST 3 S08003 (2008).
- [4] A new schedule for the LHC and its successor https://home.cern/news/news/accelerators/new-schedule-lhc-and-its-successor
- [5] ATLAS Collaboration, Technical Design Report for the ATLAS Inner Tracker Pixel Detector (2017).
- [6] RD53 Collaboration, [The RD53A Integrated Circuit], Version 3.51. https://cds.cern.ch/record/2287593/files/RD53A\_Manual\_V351.pdf
- [7] RD53A Integrated Circuit Specifications Version 3.2, Dec. 13, 2015 https://cds.cern.ch/record/2113263/files/RD53A\_specs\_V3\_2.pdf
- [8] University of Bonn & Lawrence Berkeley National Laboratory, Guide to the RD53A
  Differential Front End https://twiki.cern.ch/twiki/pub/RD53/
- [9] RD53A Single Chip Card Rev1.0 https://twiki.cern.ch/twiki/pub/RD53/RD53ATesting/RD53A
- [10] RD53A Single Chip Card Configuration (Rev. 0.2c and 0.2d) https://twiki.cern.ch/twiki/pub/RD53/RD53ATesting/RD53A\_SCC\_Configuration.pdf
- [11] Kintex-7 FPGA 用 KC705 評価ボード ユーザーガイド https://japan.xilinx.com/support/documentation/boards\_and\_kits/j\_ug810\_KC705\_Eval\_Bd.pdf
- [12] FMC to 4xmDP adapter cards aka Ohio-card https://twiki.cern.ch/twiki/bin/viewauth/RD53/RD53ATesting#Multi\_Chip\_FMC
- [13] Yet Another Rapid Readout https://gitlab.cern.ch/YARRRD53ATesting/Diff\_userguide.pdf (internal document)
- [14] InfluxDB https://www.influxdata.com
- [15] Grafana Lab https://grafana.com

## 謝辞

本研究を進めるにあたり、多くの方にお世話になりました。

山中卓教授には、素粒子実験という分野に携わる上で様々な指導をいただきました。直接 研究に関する指導の他にも、口頭発表や資料作成についての指導を数多くいただきました。 さらには研究者、教育者としての在り方についても多くのことを学ばせていただきました。 一番初めの研究室旅行では岩牡蠣の殻の剥き方も教えていただきました。物理に関係する ものだけでなく日常の中からも疑問を見つけ、積極的に取り組む姿勢は見習っていきたいと 感じます。

本研究の指導教官である南條創准教授には、ASIC の電気回路をどう読み解くかといった 部分で特に熱心に指導をいただきました。他にも、ATLAS ピクセル検出器自体やその原理 についても詳細に指導していただきました。私はよく基礎的な部分を見落としていたため、 大変ご迷惑をおかけいたしましたが、それでも丁寧に教えていただきました。ありがとうご ざいました。

廣瀬穰助教授には、ASIC の読み出しやその評価について非常に多くのアドバイスをいた だきました。また挙動に関する議論にも数多く付き合っていただきました。また、海外の研 究機関 (LBNL) との仲介などもしていただき、非常に感謝しております。

既に卒業された大阪の ATLAS 実験の先輩、矢島和希さんには ASIC の読み出しやその 解析についての基礎的な知識を丁寧に教えていただきました。矢島さんに教えていただい たことが最後まで助けになりました。年度末で忙しい中時間を割いてくださり、誠にありが とうございました。

同じく ATLAS 実験の先輩で、現博士課程1年の大西裕二さんは、FPGA による読み 出しの経験からの質問をなんどもいただきました。ありがとうございました。エビアレル ギーを忘れていた件は許してください。

KEK 素核研の花垣和則教授には、修士1年の一年間で数多くの指導をいただきました。 修士2年になって以降はお会いする機会も少なくなりましたが、変わらず気にかけていた だきました。ありがとうございました。

KEK 素核研の中村浩二助教授には、ASIC の知識や、センサーを取り付けた ASIC の挙動について教えていただきました。阪大ではセンサーつきの ASIC が手に入らなかったため、それらの情報をいただけたことは非常に助かりました。

ローレンス・バークレー研究所の Maurice Garcia-Sciveres 氏には、ASIC の回路の詳細 や、開発グループ内部の資料の紹介などでお世話になりました。

同研究所に所属する、YARR システムの開発者である Timon Heim 氏には、ASIC の読 み出しや解析、また付録に記載した試験時の環境データ取得システムの開発について、非常 に多くの助言をいただきました。また似顔絵の作成と使用についても嫌な顔一つせず (微妙 な顔はしたと聞いていますが) 許可してくださいました。ありがとうございました。

環境データ取得システムの開発では、東工大の生出秀行助教授、金恩寵さん、窪田ありさ さん、奥山広貴くんのお世話になりました。システムの設計時の議論に付き合っていただい たり、自分の開発したシステムへのフィードバックを多くいただきました。ありがとうござ いました。

大阪大学の ATLAS 実験グループの後輩、Lakmin Wickremasinghe くん、Mario Gonzalez くんの研究に取り組む姿勢は刺激になりました。来年以降 ATLAS グループに大きく 貢献することを期待しています。

同じ研究室の KOTO 実験グループに所属する、小寺克茂さん、清水信宏さん、篠原智史 さん、大杉真優さん、白石諒太くん、乃一雄也くん、Taylor Cassidy Nunes くんとは、何 度も他愛ない話で盛り上がりました。2 年間楽しく研究生活を送ることができたのは同じ研 究室の皆様のおかげです。ありがとうございました。

学部四年生の岩田和志くん、杉浦聖也くんが研究に取り組む姿勢は大変刺激になりま した。

秘書の藤阪千衣さん、中野由佳さんには出張の際の事務手続きなどで大変お世話になりま した。

また、大阪大学に入学してからの6年間で、毎日滞りない通学を実現してくれた南海電鉄、大阪メトロ御堂筋線、阪急電鉄には非常にお世話になりました。

最後に、6年間生活を支えてくれた家族には深く感謝しています。また、書ききれなかっ た全ての方にも感謝いたします。ほんとうにありがとうございました。

## 付録 A

# HL-LHC ピクセル検出器用フロント エンドチップに対する要求一覧

Requirement	Value	Source		
Trigger Rate	1 MHz with option	Trigger and DAQ		
	4 MHz			
Trigger latency	$<35~\mu$ s	Trigger and DAQ (*)		
Trigger protocol	Tagged trigger	DAQ, operation		
Single pixel noise (ENC)	<100 e -	Threshold, resolution		
Min. stable threshold af-	600 e —	Hit efficiency for thin sensors		
ter irradiation				
In-time threshold	< (thresh.+600 e $-$	Hit efficiency, out of time pileup		
	)			
Threshold dispersion after	$40 e^-$	Uniformity, efficiency		
tuning				
Threshold dispersion vari-	< 5%/K	Operation		
ation				
Threshold variation	< 10%/K	Operation		
Noise occupancy per pixel	$< 10^{-6}$	Tracking performance, operation		
Hit loss at 75 kHz pixel hit	$\leq 1\%$	Hit efficiency for inner layer		
rate				
Recovery from saturation	$<1~\mu$ s	Efficiency, pileup		
Charge measurement res-	$<\!600e^-$	Tracking performance, resolu-		
olution		tion		
Charge dynamic range	$\geq 4$ bits	Physics, high density tracking		

表 A.1: ATLAS 実験グループが定める、新型ピクセル検出器用 Front-End チップへの要求。(\*) はヒット情報をチップに保存するために必要な最大時間である [5]。

## 付録 B

# 量産時の品質保証試験における環境 データ取得システムの開発

## AA ピクセル検出器の量産時に行う品質保証試験の現状

## AA.1 新型ピクセル検出器の量産

HL-LHC の運転は 2026 年後半から始まる予定である。運転開始までのスケジュールは 図 L3 に示した通りである。ピクセル検出器のアップグレードは 2024 年から 2026 年前半 までの Long Shutdown の間に行われる。それまでに、新型ピクセル検出器の量産を行う必 要がある。

ATLAS 日本グループでは約 2000 個の検出器を製造する予定で、これは全ピクセル検出 器の約 20% に相当する。約 2000 個の検出器の製造には 2 年程度かかる見込みである。製 造される検出器の概略図は図 **L9** に示した通りである。

## AA.2 品質保証試験

製造された新型ピクセル検出器が ATLAS ピクセル検出器として運用できるかを確認す るために、品質保証試験が行われる。品質保証試験には、「22」節に示したようなフロントエ ンド回路の動作試験や、第 21章で述べたような閾値調整機構の動作試験も含まれる。その 他にも、ピクセル間の混線の確認や、新型 ASIC の ADC システムの較正などが予定されて いる。

品質保証試験は世界中の研究所で分担して行われる。研究所間で試験結果を共有するた めのデータベースが既に開発されている。そのデータベースは ITk Production Database と呼ばれている。さらに、このシステムを通して試験結果を共有する際には、試験当時の 環境データをデータベースにアップロードすることが必要になる。この環境データには、 ASIC の電源の電流と電圧、実験室の温度や湿度などが含まれる。

## AA.3 YARR **&** localdb

品質保証試験の結果の共有には ITk Production Database が用いられる。しかし、新型 ASIC の読み出し試験の結果を全てアップロードした場合、読み出しのミスや設定値が不適 切であった場合の結果なども含まれる。ITk Production Database の容量を考慮して、読 み出し試験の結果を全て管理するデータベースを別に用意し、その中から必要なデータを ITk Production Database にアップロードする、という形式をとる。この概念図を図 B.1 に示す。品質保証試験では、第3章、第40章で使用した YARR と呼ばれる読み出しシステ ムを用いる [13]。YARR は読み出し試験の結果を全て管理するデータベースを既に用意し ている。このデータベースを localdb と呼ぶ。



図 B.1: 品質保証試験の結果を共有するためのデータベースの概念図。各研究所ごとに試験 結果を保存するデータベースを持ち、研究所間でのデータの共有を行うことができる。その 中から必要なデータだけを、最終結果を共有するデータベースにアップロードする。

読み出しシステムは、新型 ASIC の読み出しに特化したシステムであり、環境データの取 得、管理には対応していない。また、各研究所ごとに異なる環境データの管理システムを使 用しているため、全ての研究所のシステムをサポートすることも現実的ではない。これらを 踏まえて、世界中の研究所で扱える環境データ共有システムの設計を行う。

## AB 品質保証試験の環境データ共有システムの開発

## AB.1 概要

品質保証試験の環境データ共有システムの開発の方針は以下の通りである。

- 🗛 節で述べたような、既存の仕組みをなるべく活用する。
- 試験結果を保存するデータベース、localdbの各結果の時間情報に対応した環境デー タだけを localdb に保存する。
- ASIC の電源の電流値に応じて試験をストップする、といったようなモニタリングシ ステムとしても活用できるものにする。
- 世界中の研究室で使用できるよう、汎用的な設計にする。

これらの方針のもとで開発された、品質保証試験の環境データ共有システムの概念図を 図 **B.2** に示す。図中の赤色の領域内にあるものは、世界中の研究所で同じものを使用する



図 B.2: 品質保証試験時の、環境データ共有システムの概念図。赤色の領域内にあるもの は、世界中の研究所で同じものを使用する予定である。RD53A module は、製造された検 出器を指す。Slow Control System は、電源供給を行う装置の制御や、環境データの取得を 行う。環境データは InfluxDB と呼ばれるデータベースにアップロードされ、必要なデータ だけが localdb にアップロードされる。

温度や電圧などの環境データは、InfluxDB と呼ばれる時系列型データベース 114 にアッ

プロードされる。InfluxDB のデータから必要なデータだけを、localdb にアップロードする。各要素については AB.2 節、 AB.3 節で詳しく説明する。

また、ASIC の電圧や電流の制御は、読み出し試験の開始、終了に合わせて行う必要があ る。また、ATLAS グループでは開始、終了の時間から一定時間内型に環境データ取得を行 うという指針を定めている。しかし、前述したように読み出し試験用ソフトウェアでは電源 制御や環境データ取得をサポートできない。そこで、読み出し試験用ソフトウェアと Slow Control System の両方を制御する品質保証試験用スクリプトを開発した。このスクリプト については、「AB-4 節で述べる。

### AB.2 InfluxDB

InfluxDB は、Open Source Software(OSS) で開発されている時系列データベースである [14]。各イベントを時間情報で管理している。InfluxDB に保存されているデータの一例 を図 B.3 に示す。 図中のデータはデータは ASIC のデジタル回路への電源の電圧、電流である。

[> select ch_A_Voltage, ch_A_Voltage_unit, ch_A_Current, ch_A_Current_unit from "PW8-3AQP" limit 10								
time	ch_A_Voltage	ch_A_Voltage_unit	ch_A_Current	ch_A_Current_unit				
 2019-10-24T07:57:34.877792841Z	1.2	[V]	0.17	[A]				
2019-10-24T08:01:23.109594461Z	1.2	[V]	0.17	[A]				
2019-10-24T08:02:41.733897074Z	1.2	[V]	0.1709	[A]				
2019-10-24T08:04:03.789639631Z	1.249	[V]	0.1709	[A]				
2019-10-24T08:07:22.973757419Z	1.249	[V]	0.1709	[A]				
2019-10-24T08:37:37.383558876Z	1.249	[V]	0.171	[A]				
2019-10-24T08:37:43.909556426Z	1.249	[V]	0.171	[A]				
2019-10-24T08:37:50.474679784Z	1.249	[V]	0.1711	[A]				
2019-10-24T08:37:57.041356208Z	1.249	[V]	0.171	[A]				
2019-10-24T08:38:03.60565759Z	1.249	[V]	0.171	[A]				

図 B.3: InfluxDB に保存されているデータの一例。この図のデータは ASIC のデジタル回 路への電源の電圧、電流である。

InfluxDB 内のデータは Grafana と呼ばれるソフトウェアによってモニターすることが できる [L5]。その様子を図 B-4 に示す。単にデータをプロットするというだけではなく、 警告用の閾値である。閾値を超えるような点があった場合には、メールで通知を送ることが できる。

InfluxDB には、1 つの研究所内の全ての環境データを保存する。これにより、研究所内 の全ての環境データを localdb にアップロードする場合でも、InfluxDB から localdb への アップロードのみを行えばよいことになる。また、InfluxDB へのデータ登録は、HTTP API で行うことができる。このデータ登録のための各 Slow Control System のアップデー トは、各研究所に行なってもらう予定である。

<sup>\*1</sup> 時間は未定だが、数秒程度になると思われる



図 B.4: Grafana による InfluxDB 内のデータのモニタリング。図に示しているのは、ASIC のデジタル、アナログ回路への電源の電圧と電流である。図中の赤い線は、警告用の閾値 である。右側のプロットではデータ点が一つしか表示されていないように見えるが、2つの データ点の値が同じであるためである。

品質量産試験は2年程度に及ぶため、InfluxDBのデータ容量を調べた。InfluxDBに登録するデータは、値とその単位のセットである。3つの温度計からのデータを登録するという想定で、22~28までの数字をランダムで登録した。登録したデータの数は、3つのデータを1イベントとしたときの21033イベントであった。このデータのInfluxDB内でのデータサイズは712KBであった。5秒に1度データを登録すると仮定した場合、このデータを2年間取り続けた時のデータサイズは426MBである。これらの結果から、InfluxDBでデータを管理した場合のストレージの容量は、新型ピクセル検出器の品質保証試験に関しては問題ないと言える。

## AB.3 localdb へのデータアップロード

localdb は試験結果を保存するためのデータベースであるため、試験結果に関連した環境 データのみをアップロードする形式をとる。本システムでは、読み出し試験の開始時間と終 了時間を参照し、開始時間 –7 秒 ~ 終了時間 +7 秒の範囲の環境データをアップロードす るという仕様を取った。

アップロードされた環境データを閲覧できるように、localdb に対応したデータ閲覧用 ソフトウェアのアップデートを行なった。ソフトウェアによる環境データの表示を図 IB-5 に示す。検出器は1枚のセンサーの読み出しに4枚の ASIC を用いる。したがって一度の 読み出し試験で同時に4枚の ASIC の読み出しが行われる。これによってアップロードす る環境データもそれぞれの ASIC ごとに必要になる。データ閲覧用ソフトウェアでは、各 ASIC ごとの環境データを別々に表示することができるようにした。



図 B.5: localdb に対応したデータ閲覧用ソフトウェアによる、環境データの表示例。赤色 で示されている部分が、読み出し試験を行っていた時間である。

## AB.4 品質保証試験用スクリプト

品質保証試験には様々な制約が存在する。読み出し試験の前後で一度環境データを測定 する、センサーの漏れ電流の値に応じて試験を中止する、試験を行う手順などの制約が存在 し、今現在も議論が続けられている。これらの観点から、品質保証試験に用いられるスクリ プトは世界共通のものを用いるべきである。図 B.2 に示した通り、品質保証試験スクリプ トは読み出し試験用ソフトウェアと Slow Cotrol System の制御を並列に行うことで、これ らの制約を守った試験を行う。

品質保証試験用スクリプトの挙動を図 **B.6** に示す。図中で"Single\_Operator"と書かれ ているものが品質保証試験用スクリプトである。DCS は Slow Control System を指す。ス クリプトは ASIC の電源の制御、環境データの取得用ソフトウェアの起動、読み出し試験よ うソフトウェアの起動を行う。

また、全研究所で同じスクリプトを使用する場合、各研究所で用いられる Slow Control System が異なるという問題がある。品質保証試験用スクリプトでは、これらのソフトウェ アの起動コマンドを登録して呼び出すことで、全ての研究所のシステムを起動することを実



図 B.6: 品質保証試験用スクリプト (Single\_Operator) の挙動の概念図。DCS は Slow Control System を指す。

現している。こうした機能を持つスクリプトはこのスクリプトのみであるため、このスクリ プトが全ての品質保証試験を行う研究所で用いられる予定である。