シリコンストリップ検出器用
高速読み出しシステムの研究

柳幸 二郎

平成10 年 2 月 5 日

目 次

第 1 章　イントロダクション **1**

1.1　ＫＥＫ B-Factory 計画について 1

1.2　中性 B 中間子系における CP の破れ 2

1.3　BELLE 実験と崩壊点検出 3

1.4　本研究の目的 6

第 2 章　BELLE シリコンバーテックス検出器システム **7**

2.1　システムの概要 7

2.2　VA チップ 9

2.3　VA チップ用前置読み出しシステムに要求される性能 . . . 11

第 3 章　VA チップ用前置読み出しシステムの設計と試作 **15**

3.1　他の実験における VA チップ用読み出しシステム 15

3.2　アナログ信号の中継方式の選択 16

3.3　前置読み出しシステムの構成 16

3.3.1　シリコンストリップ検出器-ABC 間用ケーブル . . . 20

3.3.2　ABC 22

3.3.3　ABC-中継器間用ケーブル 22

3.3.4　中継器 23

3.3.5　中継器-ADC 間用ケーブル 25

第 4 章　実験と結果 **26**

4.1　セットアップ 26

4.2　データの解析法 27

4.2.1　オフセット 27

4.2.2　コモンモードシフト 29

4.2.3　ノイズ 29

4.3　結果と考察 29

4.3.1 Ｓ／Ｎ比の定義 29
4.3.2 読み出し速度とＳ／Ｎ比 30
4.3.3 convert のタイミングとＳ／Ｎ比 37
4.3.4 コモンモード ノイズ 37
4.3.5 ケーブル内での信号の鈍り 39

第 5 章 結論 **41**

付 録 A 半導体検出器の原理 **44**
A.1 半導体と半導体検出器 44
A.2 荷電粒子の検出原理 44
A.3 逆バイアスの印加 45
A.4 信号の読み出し 46
A.5 シリコンストリップ検出器の構造 46

付 録 B ＢＥＬＬＥに用いられるシリコンストリップ検出器 **50**
B.1 両面型シリコンストリップ検出器 50
B.2 二重金属構造 50
B.3 ギャンギング 52

表 目 次

2.1 BELLE シリコンストリップ検出器の仕様 (一部) 11

4.1 読み出しレートとタイミング 30
4.2 S/N 比の変化 37
4.3 コモンモード ノイズ 39

図 目 次

1.1 ユニタリー三角形 2
1.2 BELLE 検出器 (全体) 4
1.3 Δz の誤差と必要になるルミノシティ 5

2.1 BELLE シリコンバーテックス検出器の配置 8
2.2 VA チップの回路の概要 10
2.3 VA チップの動作 11
2.4 中継器の配置 (ビーム軸方向より) 13
2.5 中継器の配置 (横方向より) 14

3.1 V-to-V 方式でのマルチプレクスされた VA 出力の波形(ケーブルが約 $10cm$ の場合) 17
3.2 V-to-V 方式でのマルチプレクスされた VA 出力の波形(ケーブルが約 $2m$ の場合) 18
3.3 I-to-V 方式での波形。上段がビデオアンプ入力前、下段が入力後 19
3.4 シリコンストリップ検出器の読み出しシステムの構成 . . . 20
3.5 シリコンストリップ検出器と ABC の配置 21
3.6 試作した ABC 22
3.7 中継器の概要 23
3.8 試作した中継器 24

4.1 実験のセットアップ 27
4.2 データ取得系のブロック図 28
4.3 シグナルとノイズの分布 (読み出しレート 1MHz) 31
4.4 シグナルとノイズの分布 (読み出しレート 2MHz) 32
4.5 シグナルとノイズの分布 (読み出しレート 3MHz) 33
4.6 シグナルとノイズの分布 (読み出しレート 4MHz) 34
4.7 ノイズの分布 (読み出しレート 5MHz) 35

4.8 読み出し速度を変化させたときの S/N 比の変化 36
4.9 convert のタイミングを変化させたときの S/N 比の変化 . . 38
4.10 ケーブル内での信号の鈍り 40

A.1 pn 接合 45
A.2 p^+型ストリップ 47
A.3 n^+型ストリップ 49

B.1 両面型シリコンストリップ検出器 51
B.2 二重金属構造 52

概 要

加速器を用いた実験における粒子の崩壊点の検出では、その位置分解能の高さからシリコンストリップ検出器を用いることが現在標準となりつつある。シリコンストリップ検出器は今日の半導体加工技術の成果によって、限られた面積の中に極めて多くのストリップを形成することにりその性能を得ている。しかし、ストリップ数の増加は性能の向上とともに、読み出すべきデータ数の増大という問題ももたらす。

高エネルギー·加速器研究機構で近く開始される BELLE 実験では、中性 B 中間子対の量産のため衝突頻度をこれまでの加速器に比べて飛躍的に増加させており、そのため読み出しにかけることの出来る時間は 1 事象当たり 200μs に限られている。また、崩壊点検出用のシリコンストリップ検出器は検出器の最内層に位置し、データ転送のための前置読み出しシステムやケーブルにも制約が課せられている。

今回私は BELLE シリコンストリップ検出器用の高速読み出しシステムの開発と評価を行い、それが BELLE 実験で要求されている 5MHz の読み出しスピードで動作し、かつ必要なシグナルーノイズ比を保持できることを確かめた。

第1章　イントロダクション

1.1　ＫＥＫ B-Factory 計画について

1999 年に実験開始が予定されている高エネルギー加速器研究機構の B-Factory 計画 (BELLE 実験)[1] の最大の目的は小林・益川モデルが示唆する中性 B 中間子の崩壊における CP の破れの検証である。

CP の破れの現象を標準理論の枠組みの中で説明する仮説に “小林-益川理論”[2] がある。これは、クォークを 3 世代、つまり 6 個導入すると、クォーク間の混合の度合いを表す 3×3 の行列 (小林-益川行列) のすべての成分を実数にすることができなくなるというものである。この時行列内にあらわれる虚数位相が CP 非保存の原因となる。

小林-益川行列を$\lambda = \sin\theta_C (\theta_C$: カビボ角) を用いてλ^3まで展開すると (Wolfenstein 表示)

$$\begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix} = \begin{pmatrix} 1 & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1 & A\lambda^2 \\ A\lambda^3(1-\rho-i\eta) & -A\lambda^2 & 1 \end{pmatrix} \quad (1.1)$$

となる。小林-益川行列はユニタリーなので、虚数成分を持つ項に注意すると、

$$V_{ud}V_{ub}^* + V_{cd}V_{cb}^* + V_{td}V_{tb}^* = 0 \quad (1.2)$$

がなりたつ。これは複素平面上で図 1.1 のように書ける。この三角形はユニタリー三角形と呼ばれる。

小林-益川行列の複素数項の位相は三角形の内角に影響するので、これをＣＰの破れの大きさを表すパラメーターとすることができる。中性Ｋ中間子系ではｔクォークとｂクォークの関係する項は高次の効果でしか観測できないが、Ｂ中間子を用いた実験では直接観測ができる。したがって、中性Ｂ中間子を用いた実験はＣＰの非保存の測定とともに小林-益川理論、ひいては標準理論の検証に大きく貢献する。

BELLE 実験では $B^0 - \overline{B^0}$対を大量に作ってこれを観測する。

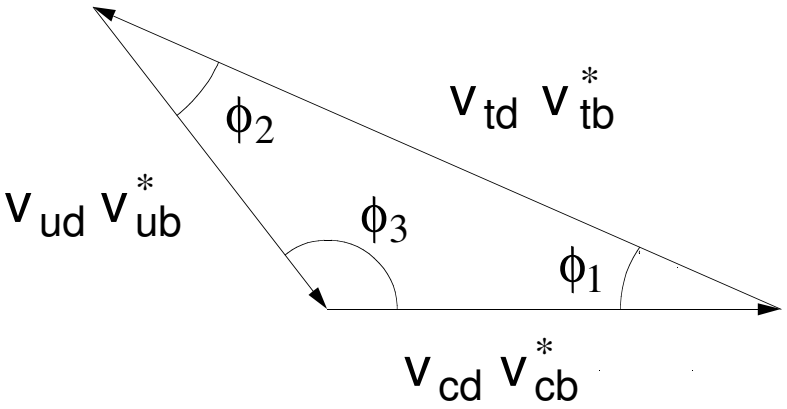


図 1.1: ユニタリー三角形

1.2 中性 B 中間子系における CP の破れ

CP の破れは中性 B 中間子が同一の CP 固有状態に崩壊するときの非対称性として観測することができる。中性 B 中間子が共通して崩壊できる CP 固有状態として $J/\Psi K_S$を選んだ [3] とする。この時非対称性は $B^0 \to J/\Psi K_S$と、$\overline{B^0} \to J/\Psi K_S$の崩壊の時間依存性として観測できる。CP 非対称性のパラメーター A_{CP}は、崩壊時刻の差Δt の関数として

$$A_{CP} = \frac{\Gamma(B^0 \to J/\Psi K_S) - \Gamma(\overline{B^0} \to J/\Psi K_S)}{\Gamma(B^0 \to J/\Psi K_S) + \Gamma(\overline{B^0} \to J/\Psi K_S)} \tag{1.3}$$

$$= \sin 2\phi_1 \times \sin \Delta m \Delta t \tag{1.4}$$

と表される。ここで、ϕ_1は、前節でのユニタリー三角形の内角、Δmは、中性 B 中間子の二つの質量固有状態の質量の差である。

A_{CP}を測定する場合には、対生成された中性 B 中間子の片方だけが $J/\Psi K_S$に崩壊するような事象を用いる。たとえば $J/\Psi K_S$にならなかった方の中性 B 中間子が準レプトン崩壊をした場合、レプトンの電荷を調べることによって準レプトン崩壊をしたのが B^0であるか$\overline{B^0}$であるかが分かる。この時、他方の中性 B 中間子のフレーバーも確定しているので準レプトン崩壊の時刻を基準として $B^0 - \overline{B^0}$混合を起こしつつ $J/\Psi K_S$に崩壊するときの時間発展が観測できる。

この時、中性 B 中間子の寿命が非常に短い (約 1.5×10^{-12}) ため、崩壊時刻を直接測るのではなく衝突点から崩壊点までの距離から求める。

1.3 BELLE実験と崩壊点検出

BELLE 実験では中性 B 中間子対は$\Upsilon(4S)$ を通じて作られ、その崩壊によって出来た粒子を図 1.2 に示す BELLE 検出器で捕らえる。$\Upsilon(4S)$ の質量が 10.58GeV、作られる中性 B 中間子の質量が 5.28GeV であるため、$\Upsilon(4S)$ の重心系での B 中間子の運動量は 346MeV にしかならない。この時、中性 B 中間子の平均崩壊長は約 $29\mu m$ となる。これは現在の検出器では測定は困難である。

そこで B-Factory では$\Upsilon(4S)$ を実験室系に対して移動するようにして平均崩壊長を伸ばすようにした。これは電子と陽電子を異なるエネルギーで衝突させることによって達成する。B-Factory では電子のエネルギーを 8GeV、陽電子のエネルギーを 3.5GeV としている。この場合、$\Upsilon(4S)$ は 4.5GeV の運動量を持つので実験室系での中性B 中間子の平均崩壊長は約 $190\mu m$ となる。

崩壊までの固有時間の差Δt は、

$$\Delta t \simeq \Delta z/c\beta\gamma = (z' - z)/c\beta\gamma \tag{1.5}$$

$\beta\gamma$はビームのエネルギーが非対称であることによる重心のローレンツブーストを表し、Δz は二つの中性 B 中間子の崩壊点間の距離のビーム軸への射影である。観測されるΔt はΔz の誤差の影響で精度が悪くなる。これは観測される CP 非対称性を打ち消す方向に働くため CP の破れの観測の感度を悪くする。この問題を回避するために、Δz の分解能は平均崩壊長の半分か、それより良いことが要求される。

図 1.3 に $J/\psi K_S$モード を用いた場合のΔt の誤差と必要となるルミノシティを示す。

時間分解能が$\Delta t/\tau = 0.5$ となったとき、理想的な場合に比べて必要なルミノシティは約 30%増加する。$\Delta t/\tau = 1.0$ となったときには必要なルミノシティは理想的な場合の約 2 倍になる。崩壊点の検出にシリコンストリップ検出器を用いると$\Delta t/\tau = 0.5$ に相当するビーム軸に沿って $95\mu m$ の位置分解能を達成できる。また、この高い位置分解能は CP の破れの検証に必要なだけでなくバックグラウンド の抑制にも力を発揮するものと期待されている。次章で詳しく述べるが、シリコンストリップ検出器は図 1.2 に示した BELLE 検出器の最内層に位置する。

このように、シリコンストリップ検出器はBELLE 実験で中心的な役割を果たすことが期待されているが、そのためにはシグナル-ノイズ比が十

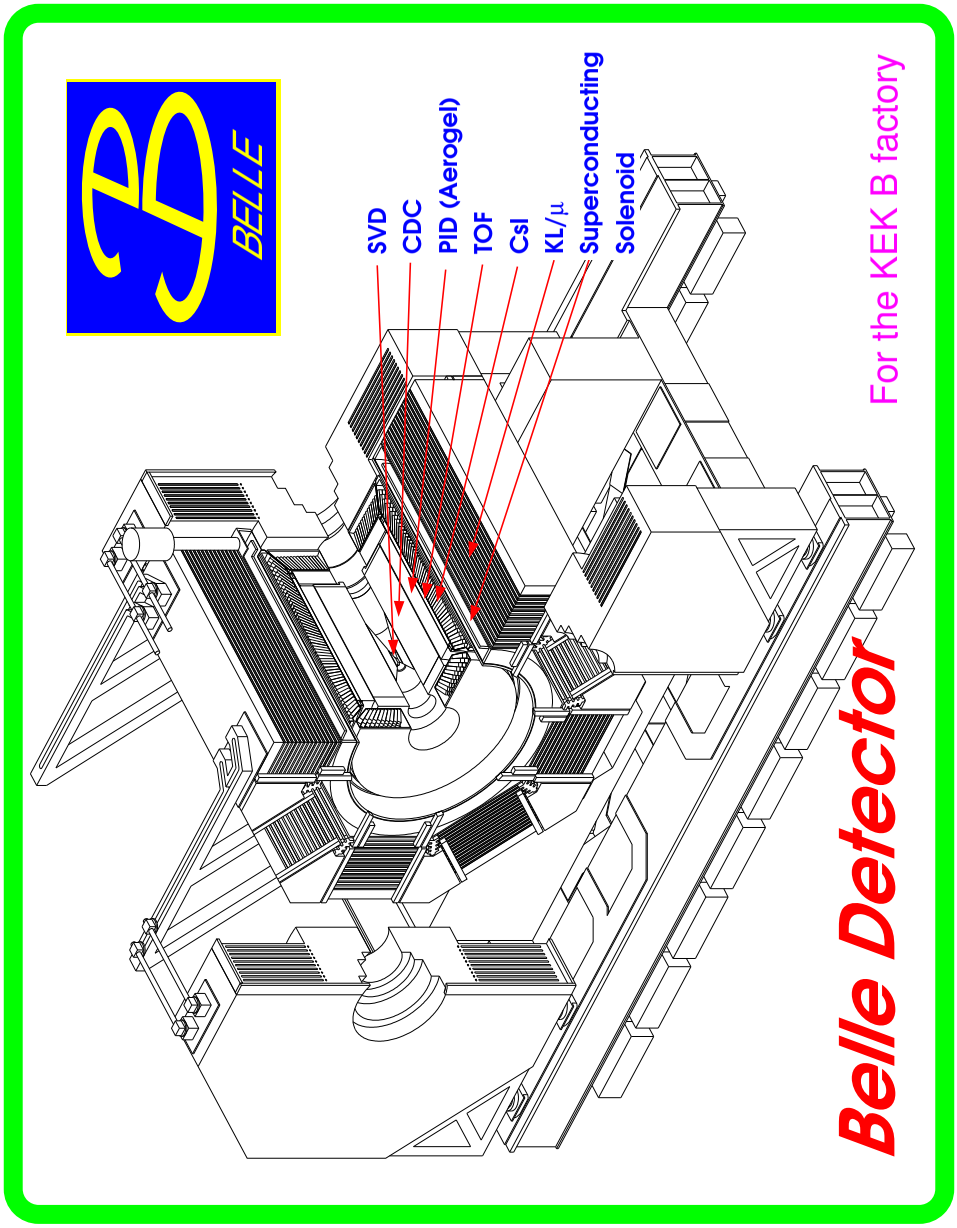


図 1.2: BELLE 検出器 (全体)

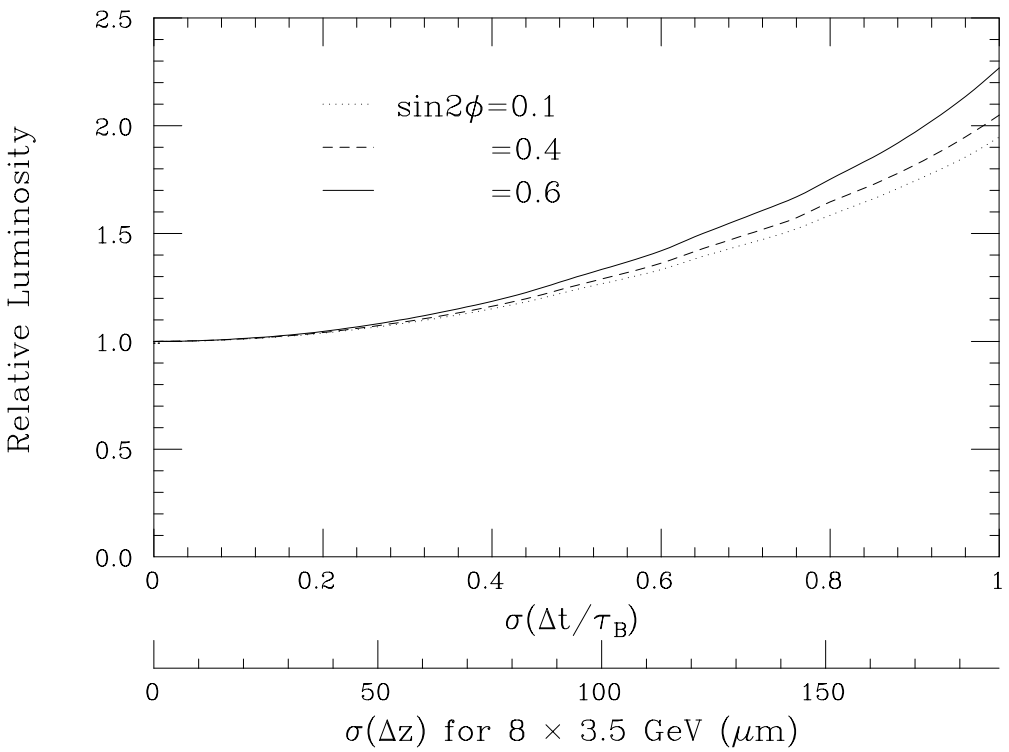


図 1.3: Δz の誤差と必要になるルミノシティ

分大きい (シミュレーションの結果から S/N$\gtrsim$15 を満たすことが望ましいとされている) ことが大切である。

また、大量の B 中間子対 (10^8対 / 年を目標とする) を生成するための高い衝突頻度に対応するため、非常に高速のデータ読み出しを行う必要がある。具体的にはトリガー頻度 500Hz で不感時間を 10%以下にすることが求められており、そのためには事象毎の不感時間を 200μ s 以下に抑える必要がある。さらに電子·陽電子のバンチ衝突間隔が 2ns と非常に短いため、シグナルを任意の時刻に捕らえることができなければならない (これを time continuous shaping 方式という)。

1.4 本研究の目的

BELLE 実験のシリコンバーテックス検出器においては、前節で述べた読み出し速度、S/N 比などの要求を満たしつつ 8 万チャンネルあまりのストリップ出力を読み出す必要がある。

具体的な読み出し方法は VLSI 化され検出器に直接取りつけられている前置増幅器 (VLSI チップ) の選択により異なってくる。BELLE 実験では数々の議論を経て、1997 年 7 月に実験の開始時 (第 1 期) には VA1 チップ [4] を用いることに決定した。VA1 チップは出力のマルチプレクス機能を持ち、大面積 (大電気容量) の測定器に使用可能な time continuous shaping 方式の電荷増幅器で、今日入手可能なものの中で最もノイズの小さいチップのひとつである。

本研究の目的は、このチップを用いて BELLE 実験に適した前置増幅システムを設計、試作し、性能を評価することである。

特に、VA1 チップと後段のデジタイザー (FADC システム)の中継器について研究し、従来行われていた方法より優れた新しい方法を開発した。

本論文の構成は以下の通りである。

まず、第 2 章で BELLE シリコンバーテックス検出器システムのデザインを概観し、VA チップ用前置読み出しシステムに要求される性能を明らかにする。続いて第 3 章で具体的設計と試作について説明し、それを用いた評価試験の結果及び考察を第 4 章で行う。最後に第 5 章でまとめと結論を述べることとする。

第2章　BELLEシリコンバーテックス検出器システム

2.1　システムの概要

現在のシリコンバーテックス検出器(SVD)のデザインは1997年6月に開かれたSVD評価委員会の議論に基づき

- 最低3層の検出器からなり、各々は直交座標系の2つの成分を独立に測定する。
- 十分に動作することが実証された両面型シリコンストリップ検出器(DSSD)を用いる。
- 前置電子回路は幾つかの実験で性能が保証されたものを選ぶ。

ということを念頭に決定された。

実験第1期のBELLEシリコンストリップ検出器は研究開発にかかる時間とリスクを抑えるため、可能な限りすでに使用されて実績の上がった部品を使用している。

DSSD自体は浜松ホトニクスで生産されているDELPHのマイクロバーテックス検出器のために開発されたものを使用している。[5]

シリコンストリップ検出器の動作原理とBELLE実験で用いられるシリコンストリップ検出器自体の詳細はAppendixに譲る。

このDSSDは2~4枚繋げられてラダーを作る。ラダーは内側から8角形、10角形、14角形に配置される。(図2.1)

DSSDは粒子が通過した検出器上の点が分かるので検出器自身の位置とあわせることにより、通過点の円筒座標系での座標が3成分とも決定できる。

これと、粒子が螺旋軌道を描いて運動することを考慮すれば粒子の軌跡を決定することができる。軌跡の交点を求めることにより、ある粒子の崩壊点が決定できる。

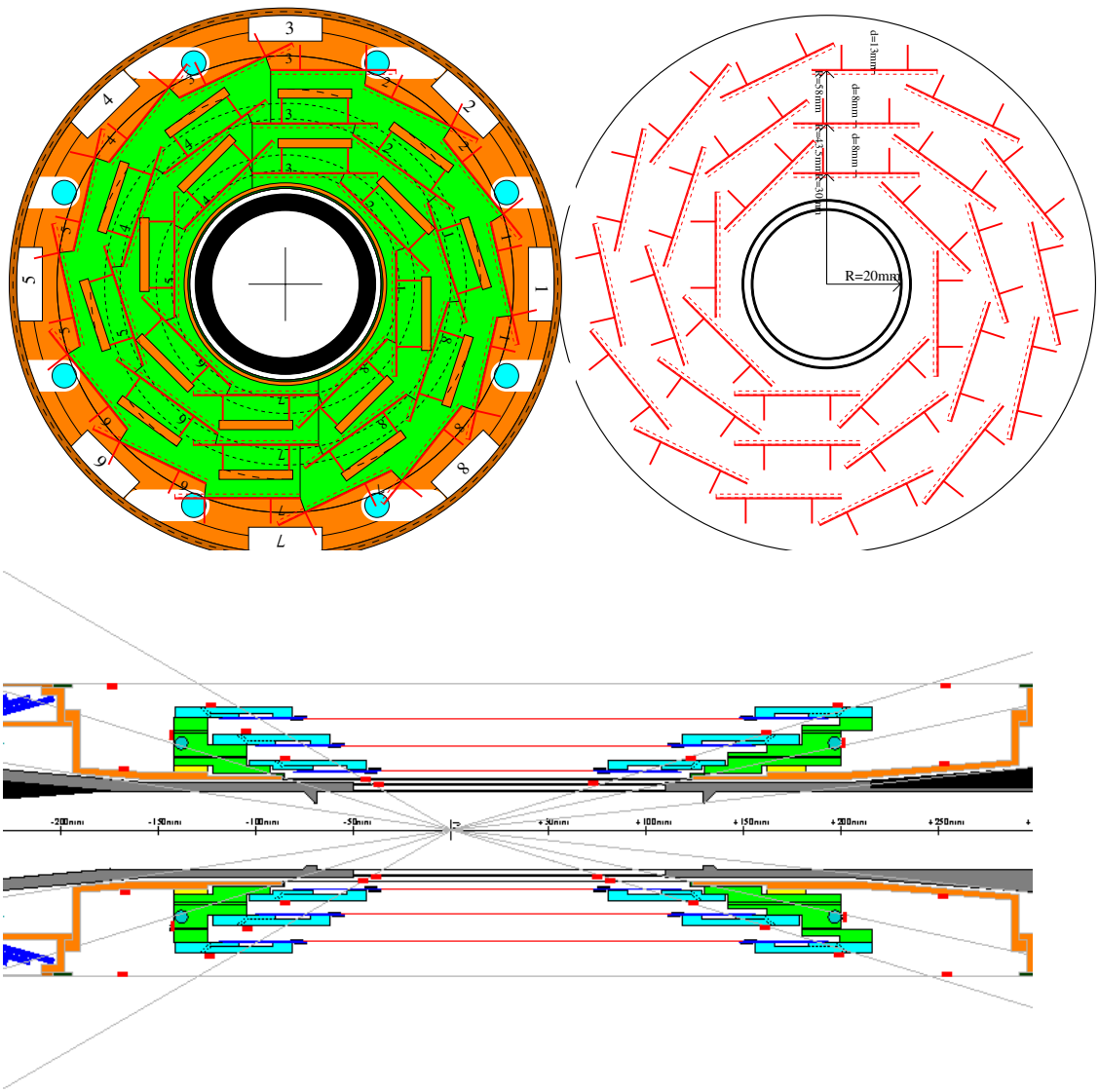


図 2.1: BELLE シリコンバーテックス検出器の配置

シリコンバーテックス検出器の信号は DSSD に取りつけられたプリアンプを通じて読み出される。

読み出しシステムの詳細は、DSSD が接続されているプリアンプと時分割回路がのせられている VLSI でほとんど決められる。これには CERN が開発し、IDE AS 社[1]が発売している VA1 と呼ばれるチップを使用する。これまでの研究により、VA1 チップは 200krad 程度までの被爆に耐えられることが分かっている [6] が、VA1 チップを放射線に対して強くした型である RH1 の採用も検討されている。

VA1 チップの出力は約 $30m$ 離れた所にある ADC によってデジタル化され BELLE 検出器全体のデータを統括するシステムに送られる。

2.2 VA チップ

VA チップはシリコンバーテックス検出器や他の小信号機器の読み出し専用に作られた IC で、同時に 128 チャンネルを読み出すことができる。

また、ノイズがたいへん小さく、消費電力も 1 チャンネル当たり 1.2mW でしかない。送り出す信号の大きさを決定する “track-and-hold” アーキテクチャも、1 次トリガーがかかるまでの時間が長い ($\sim$2.2μs)BELLE では好都合である。

VA チップの回路の概要を図 2.2 に示す。ストリップからの信号はプリアンプにより増幅され、整形器に送られる。整形器からの信号はコンデンサと CMOS のスイッチからなる “track-and-hold” 回路に送られる。普段は整形器と track-and-hold 回路の間のスイッチは閉じられており、コンデンサの電位は整形器の出力と一致している。しかし、1 次トリガーがかけられるとスイッチが開かれるので、コンデンサの電位はその時点で固定される。整形器からの信号のピークと 1 次トリガーの信号が同時になるようにタイミング調整がなされる。

track-and-hold の出力は再度アンプにより増幅される。出力のスイッチを順番に閉じていくことにより 128 チャンネルすべての信号を 1 つの ADC で読み出すことができる。読み出しレートは最高 10MHz である。最終的な出力はノイズを避けるため、差動動作のカレント出力になっている。

VA チップには試験用のコンデンサをつけることができ、このコンデンサと回路を繋げることにより 1 チャンネル毎の動作を確認できる。試験用のコンデンサに送る電荷を正確に測定して較正することにより、スト

[1] 所在地: ノルウェー·オスロ

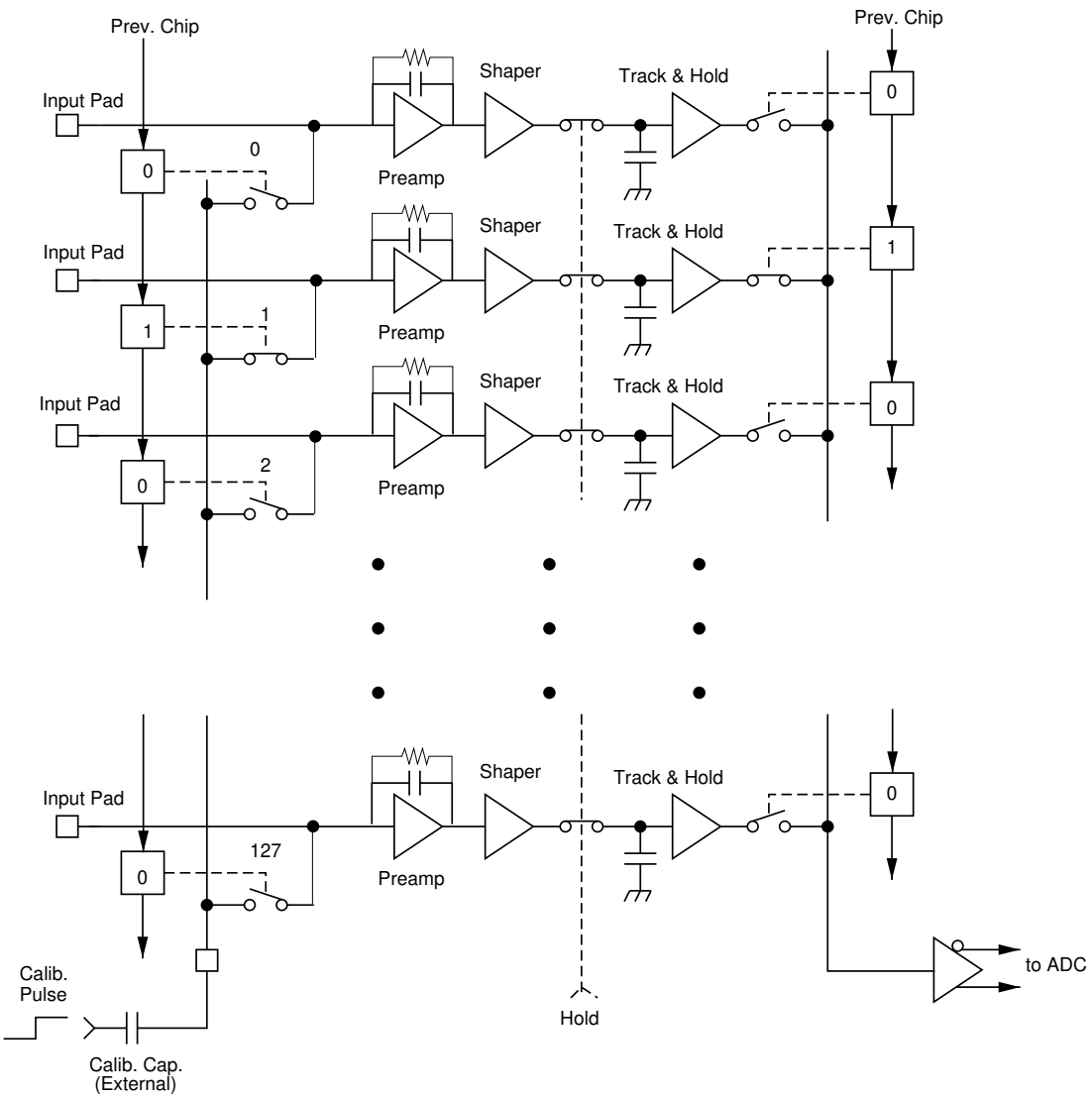


図 2.2: VA チップの回路の概要

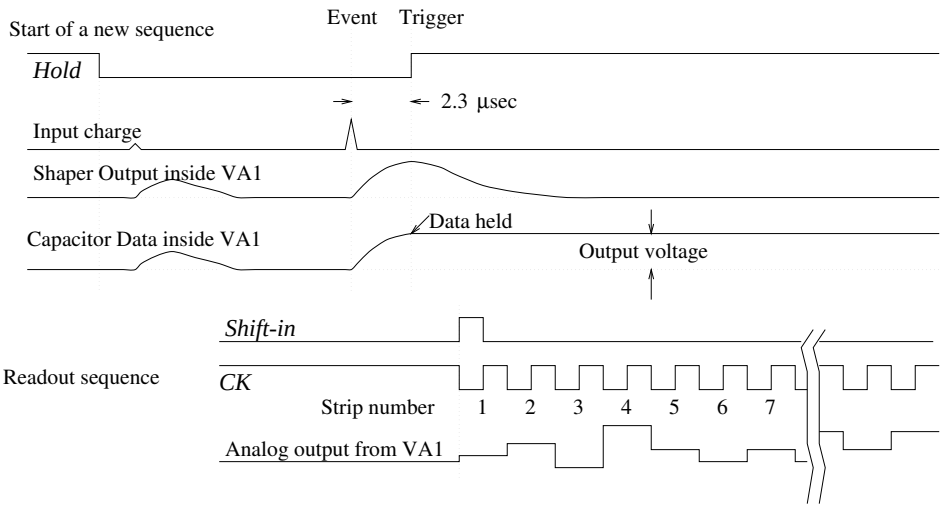


図 2.3: VA チップの動作

表 2.1: BELLE シリコンストリップ検出器の仕様 (一部)

	p^+型ストリップ側	n^+型ストリップ側
大きさ	$57.5mm \times 33.5mm$	
有感領域	$54.5mm \times 32.025mm$	$53.76mm \times 32.04mm$
ストリップ間隔	$25\mu m$	$42\mu m$
ストリップ数	1281	1280
読み出すストリップ数	641	640

リップに集まった電荷の量を求めることができる。

2.3 VA チップ用前置読み出しシステムに要求される性能

BELLE 検出器で用いられるシリコンバーテックス検出器は必要なアクセプタンスを確保するため大面積となる。また、高い位置分解能が要求されるためストリップの間隔はたいへん狭くなっている。このため必然的に読み出されるチャンネル数が増加する。(表 2.1)

データの読み出しはラダー単位で行われるが、DSSD1 枚あたり片側 640 チャンネルが存在し、これらをマルチプレックスして FADC の 1 入力へ送る。前章で述べたように事象当りの読み出し不感時間を 200μ s 以下に

抑えるにはマルチプレックスしたデータを $3.2\mathrm{MHz}(=640\mathrm{ch}/200\mu\ \mathrm{s})$ より高い周波数で送る必要がある。十分な余裕を保つ意味で、我々は $5\mathrm{MHz}$ での読み出しを目標とする。

シリコンバーテックス検出器から FADC までは約 $30m$ 離れているので、途中に中継器をおくこととなるが、その配置についても検出器や電磁石の配置から来る制限を強く受ける。よって検出器の近くには中継器を配置できる空間が存在しない。そのため、中継器を配置する予定のドリフトチェンバーエンドプレート背面までの約 $2m$ の区間は VA1 チップの出力をそのまま伝えていかなくてはならない。(中継器の配置予定位置を図 2.4,2.5 に示す) 伝送方式、ケーブルの選択などを工夫し、外来ノイズを拾い込まないようにすることが必要になる。

以上及び、前章終りで述べた S/N 比の要請と併せて前置読み出しシステムに要求されることは

- データを $5\mathrm{MHz}$ の速さで読み出す
- VA1 チップの出力を増幅なしで約 $2m$ 伝達する
- 上 2 つを満たしつつ S/N 比を 15 以上に保つ

となる。

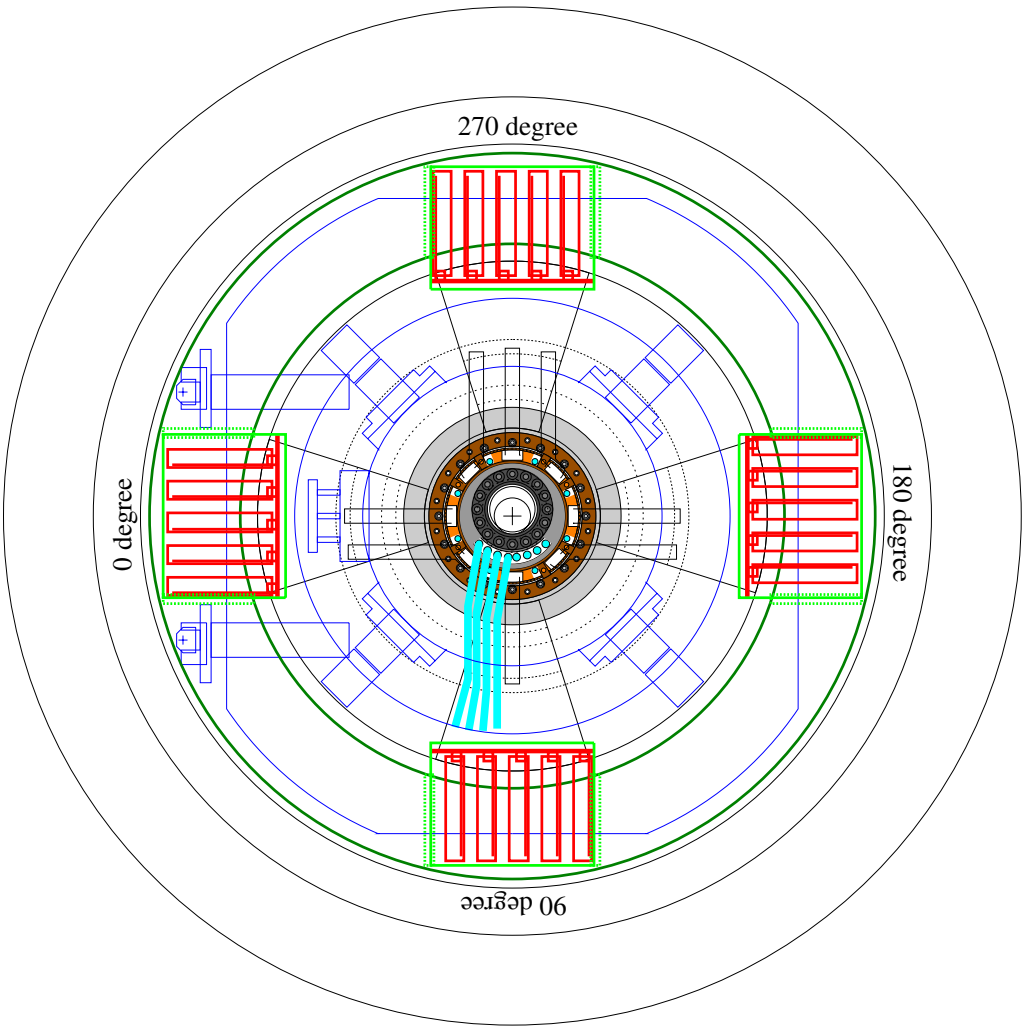


図 2.4: 中継器の配置 (ビーム軸方向より)

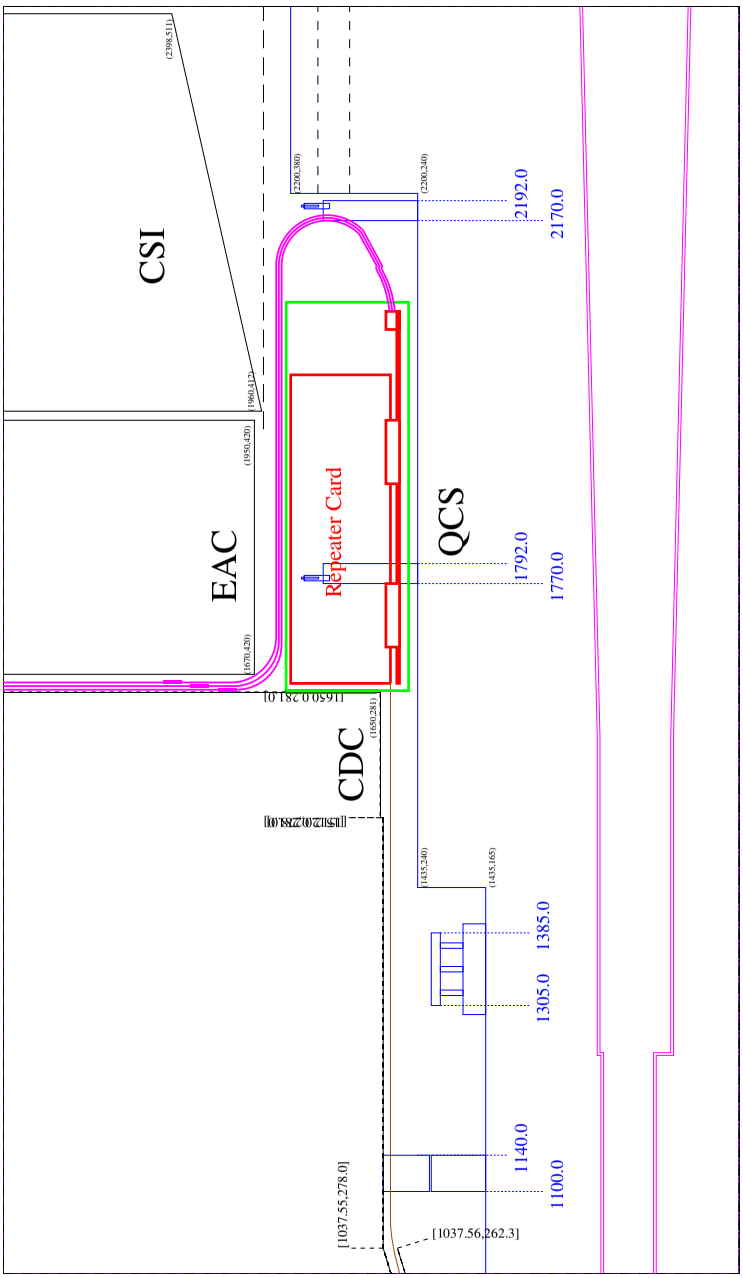


図 2.5: 中継器の配置 (横方向より)

第3章　VAチップ用前置読み出しシステムの設計と試作

3.1　他の実験におけるVAチップ用読み出しシステム

今回BELLEシリコンバーテックス検出器に用いるVAチップはすでに高エネルギー実験において広く使われている。(CERNにおけるテスト実験[7]、CLEO IIIのRICH読み出し[8]、Nomad-Star、Crystal Barrel、AMSなど) したがって、まずこれらの実験における使用法、特にVAとFADCを結ぶ中継器の詳細を調べた。これらの読み出しシステムの中で、BELLE実験の良い参考となるCERNとCLEO IIIのものについて以下に述べる。

- CERN型中継器
  これまですでにBELLEシリコンストリップ検出器の研究開発に用いられており、主に実験室でのR&Dなどでの簡易な使用を目的として開発されている。
  試験用に広く用いられており、IDE AS社内部でも用いられている。アナログ信号用のバッファのほかにVA1チップへの電源及びパラメーターの供給、制御用デジタル信号の仲介用の回路が組み込まれている。アナログ信号用のバッファにはビデオアンプとエミッタフォロアが用いられている。
- CLEO III RICHデータボード
  CLEO III RICHグループはIDE AS社と共同でVMEバス上での使用を前提としたデータボードを開発している。これにはアナログ信号の中継器のほかにフラッシュADC、FPGA[1]が載せられている。

[1]論理ゲートが格子状に並んでおり、EPROMと同じ原理でゲートを使用するかどうかが決められる。回路の組み替えの容易さと高速性が両立できる

VA チップをカレントソースとして使用しているところに特徴があり、電圧への変換 (I-to-V 変換) はチップから約 $6m$ 離れたデータボード上で行われる。

CLEO III RICH データボードのアナログ信号系 (I-to-V 変換器) は BELLE シリコンストリップ検出器に応用できると考えられる。

アナログ信号中継器からフラッシュ ADC までは数 MHz の転送速度であるが、アナログ信号の鈍りには十分な注意が必要である。

3.2 アナログ信号の中継方式の選択

アナログ信号中継器は電圧信号を増幅して後段に送る V-to-V 方式と、カレントとして送られてきた信号を電圧に変換して送る I-to-V 方式の二つの方法が考えられる。これまで行われてきた研究では、VA1 チップからの信号はハイブリッドボード上で電圧信号に変えて中継器に送る V-to-V 方式が一般的であった。

CERN タイプの中継器を用いてテストしたところ、ハイブリッドボードから中継器までが約 $10cm$ のケーブルで繋がれていた時にはこの方式 (V-to-V 方式) でも十分であったが (図 3.1)、ケーブルを実機同様に約 $2m$ のものとした場合には、非常に大きな鈍りが見られた。[2](図 3.2)

このため、CLEO III RICH を習いハイブリッドボード上の電圧信号への変換部を取り除きカレント出力 (I-to-V 方式) としてみた。(図 3.3)

図の通り、カレント出力とした場合は $2m$ のケーブルを通したあとでも信号の立ち上がり·立ち下がりとも鋭いまま保たれている。

これらの測定から BELLE シリコンストリップ検出器でも I-to-V 方式を採用することとなった。

3.3 前置読み出しシステムの構成

BELLE シリコンバーテックス検出器の読み出しシステムの構成を図 3.4 に示す。

読み出しシステムは

- DSSD

[2]大きな容量性負荷のためと考えられる

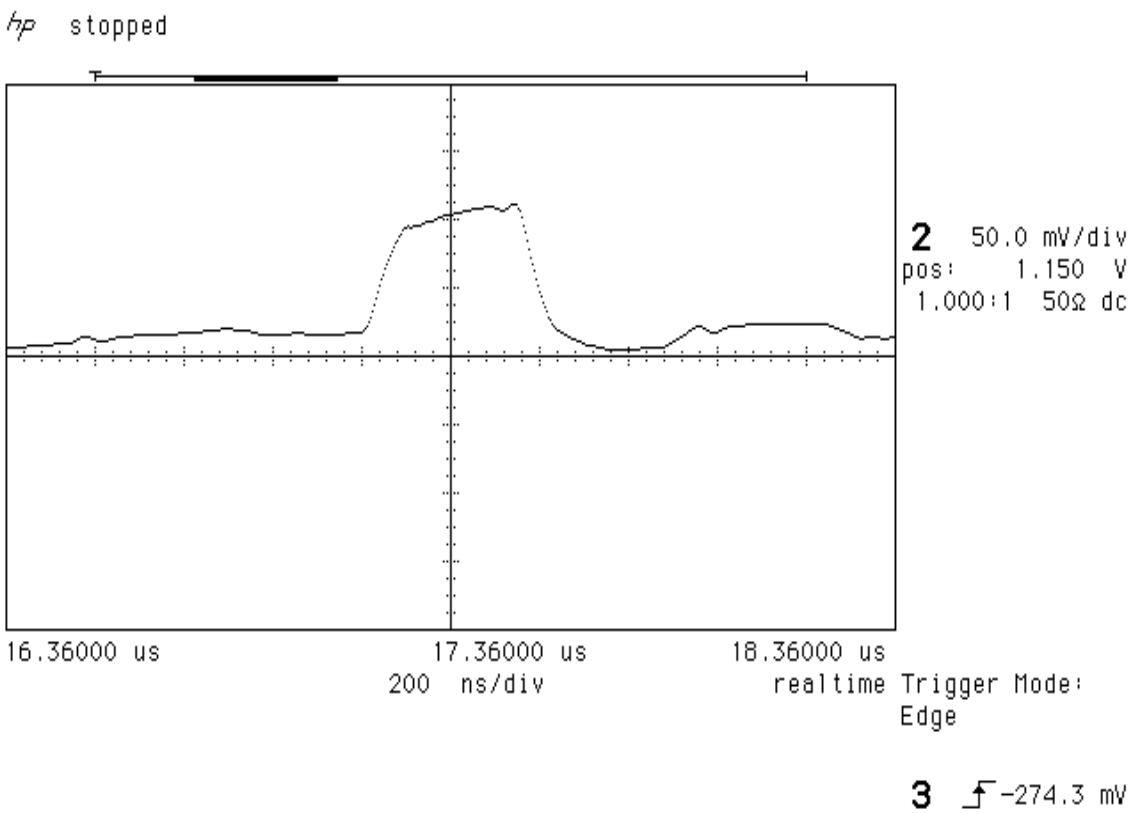


図 3.1: V-to-V 方式でのマルチプレクスされた VA 出力の波形 (ケーブルが約 $10cm$ の場合)

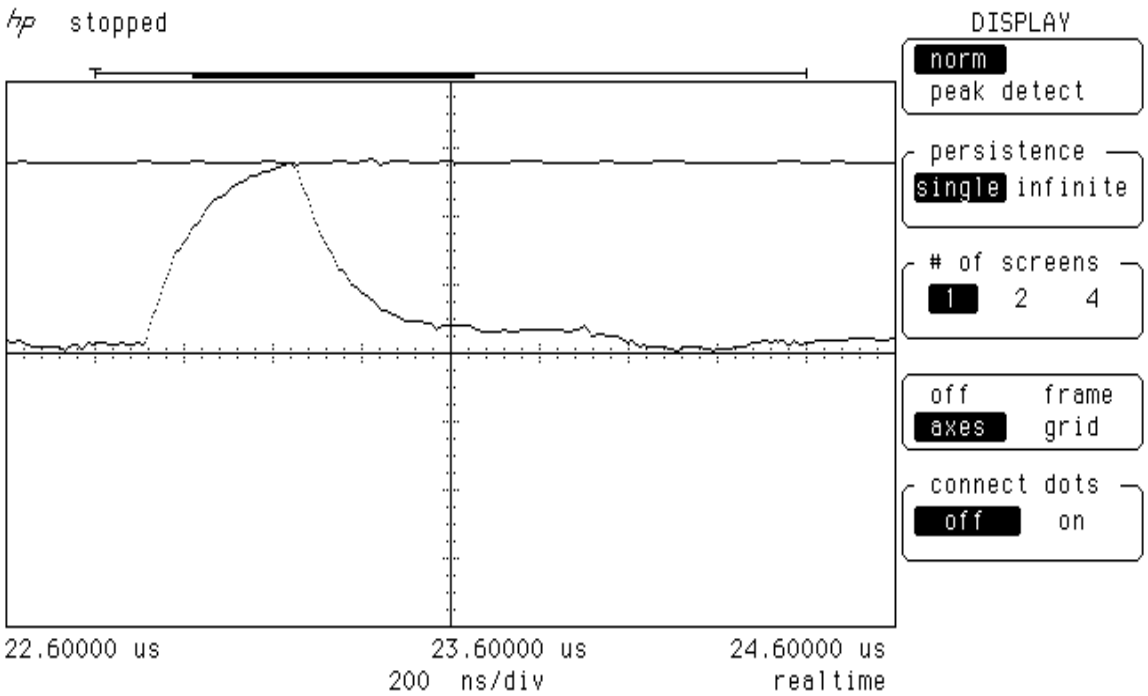


図 3.2: V-to-V 方式でのマルチプレクスされた VA 出力の波形 (ケーブルが約 $2m$ の場合)

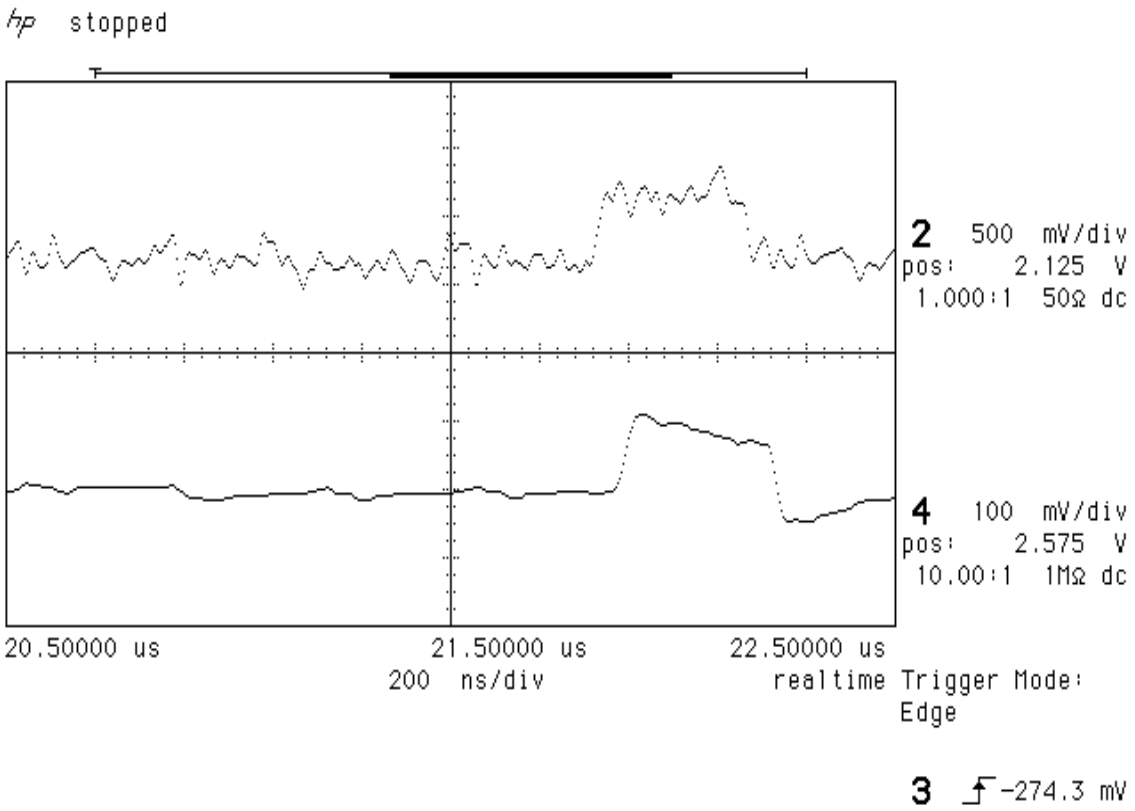


図 3.3: I-to-V 方式での波形。上段がビデオアンプ入力前、下段が入力後

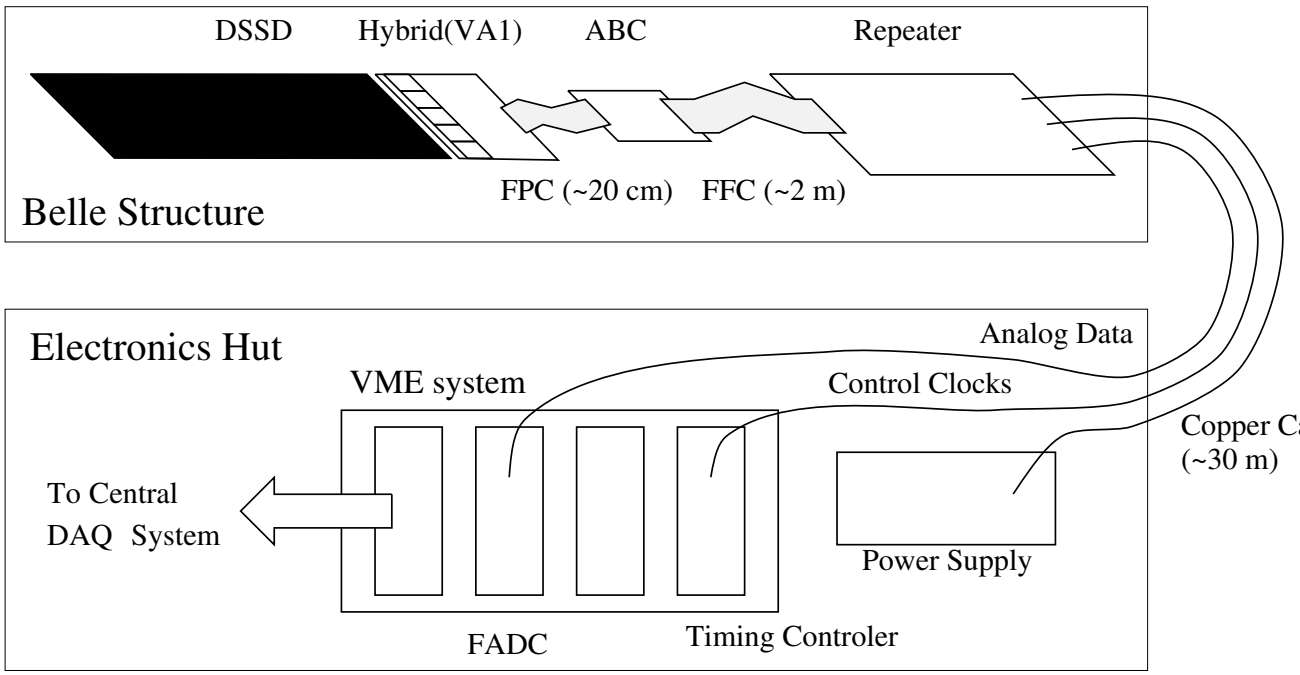


図 3.4: シリコンストリップ検出器の読み出しシステムの構成

- VA1 チップのついたハイブリッド基板
- シリコンストリップ検出器-ABC 間用ケーブル
- ABC
- ABC-中継器間用ケーブル
- 中継器
- 中継器-ADC 間用ケーブル

からなる。DSSD と VA1 チップについてはすでに述べたので以下にそれ以外について詳細を述べる。

3.3.1 シリコンストリップ検出器-ABC 間用ケーブル

シリコンストリップ検出器はBELLE 検出器の最内層、ビームパイプに最も近いところに存在する。そしてそのすぐ外側にはセントラルドリフトチェンバーが存在しビーム収束用の電磁石も近いところに置かれているため、中継器を検出器の近くに置くことができない。そのため、検出器から中継器までは約 $2m$ 離れている。(図 3.5 を参照)

検出器から ABC の区間は空間の制約が特に厳しいのでケーブル、コネ

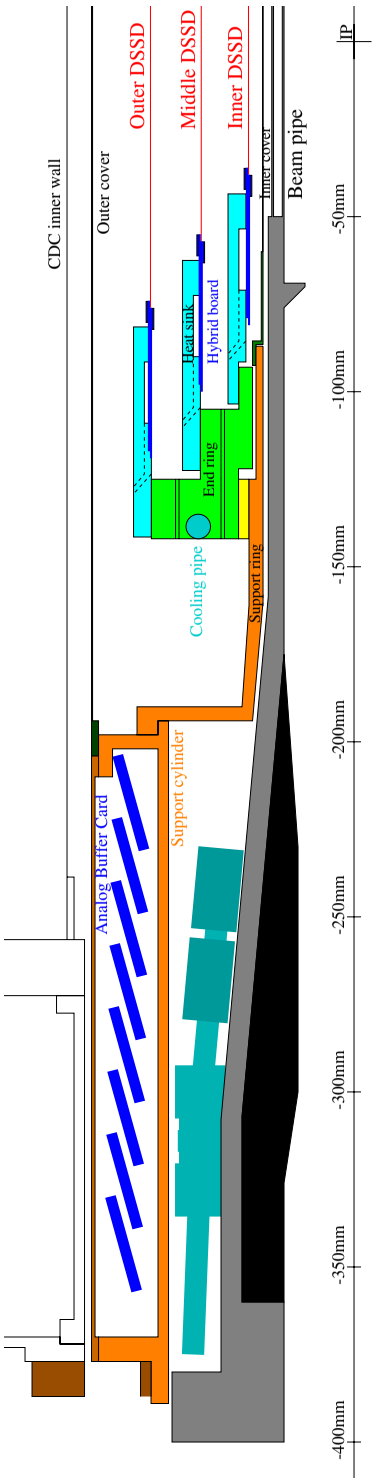


図 3.5: シリコンストリップ検出器と ABC の配置

図 3.6: 試作した ABC

クタとも特に小型のものを用いる。

今回試作したシステムでは検出器から $20cm$ の FPC[3](Frexible Printed Cable) と呼ばれるケーブルを介して ABC に接続している。

3.3.2 ABC

ABC はアナログ バッファ カードの省略形である。現在のところ、検出器から来たケーブルとフラットケーブルの変換の機能しか予定されていない。しかし、VA チップの能力不足のためケーブルをドライブできない場合に備えてこのカードの上にはバッファを搭載できるスペースが用意されている。

3.3.3 ABC-中継器間用ケーブル

検出器から中継器までの $2m$ のほとんどを占める。今回の試作ではこの区間にはフラットケーブルを用いた。実機ではツイステッドペアのケーブルが使われる予定である。

[3]その後の変更にともない実機には FPC の代りに特別小型ではあるが普通のフラットケーブルと同じ構造のものを使用することになった

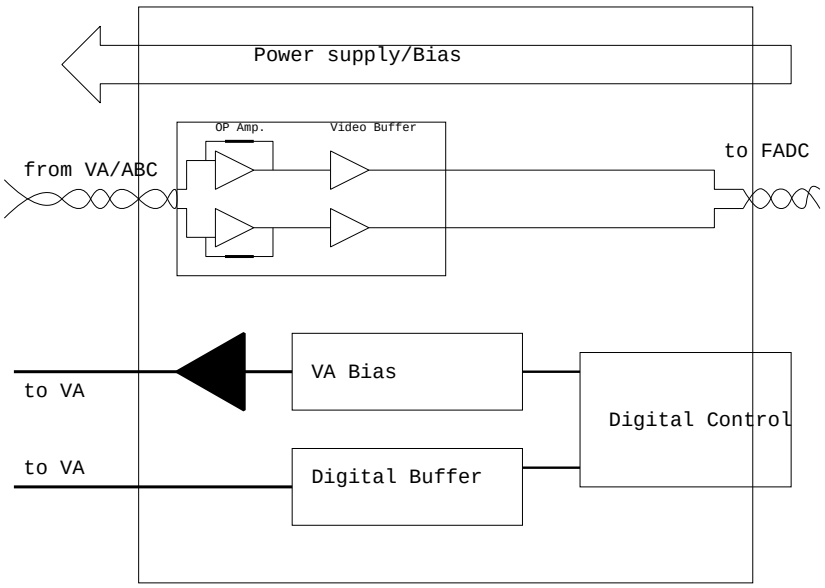


図 3.7: 中継器の概要

3.3.4 中継器

本論文で試作したシステムの中継器は、CLEOIII RICH(Ring Image CHerenkov counter) で使用する回路を参考に制作した。図 3.7 にその概要を示す。

中継器では ABC から送られてきた信号を電圧信号に変換して ADC に送り出している。

ABC からの信号はトランジスタとカレントミラーを組み合わせた回路で電流の信号だけ取り出されてオペアンプに伝えられる。この回路によって、電位の変動は後段に伝えられなくなるのでグランドレベルの変動によるノイズは取り除くことができる。

オペアンプは I-to-V 変換を行う。オペアンプでは入力インピーダンスはほぼ ∞ なので、入ってきた電流はすべてフィードバックレジスターに流れる。また、入力端子間の電位差は 0 と見なせるので、入力電流の大きさに比例した電圧出力が得られる。同じ大きさの入力であれば、出力はフィードバックレジスターの抵抗値に比例するので信号のレベルの調整ができる。

オペアンプの出力は次段の約 $30m$ のケーブルをドライブするためのアナログバッファに送られる。アナログバッファは増幅率が 1 で大電力が出力できるアンプである。アナログ信号は差動信号なので、同じ回路が

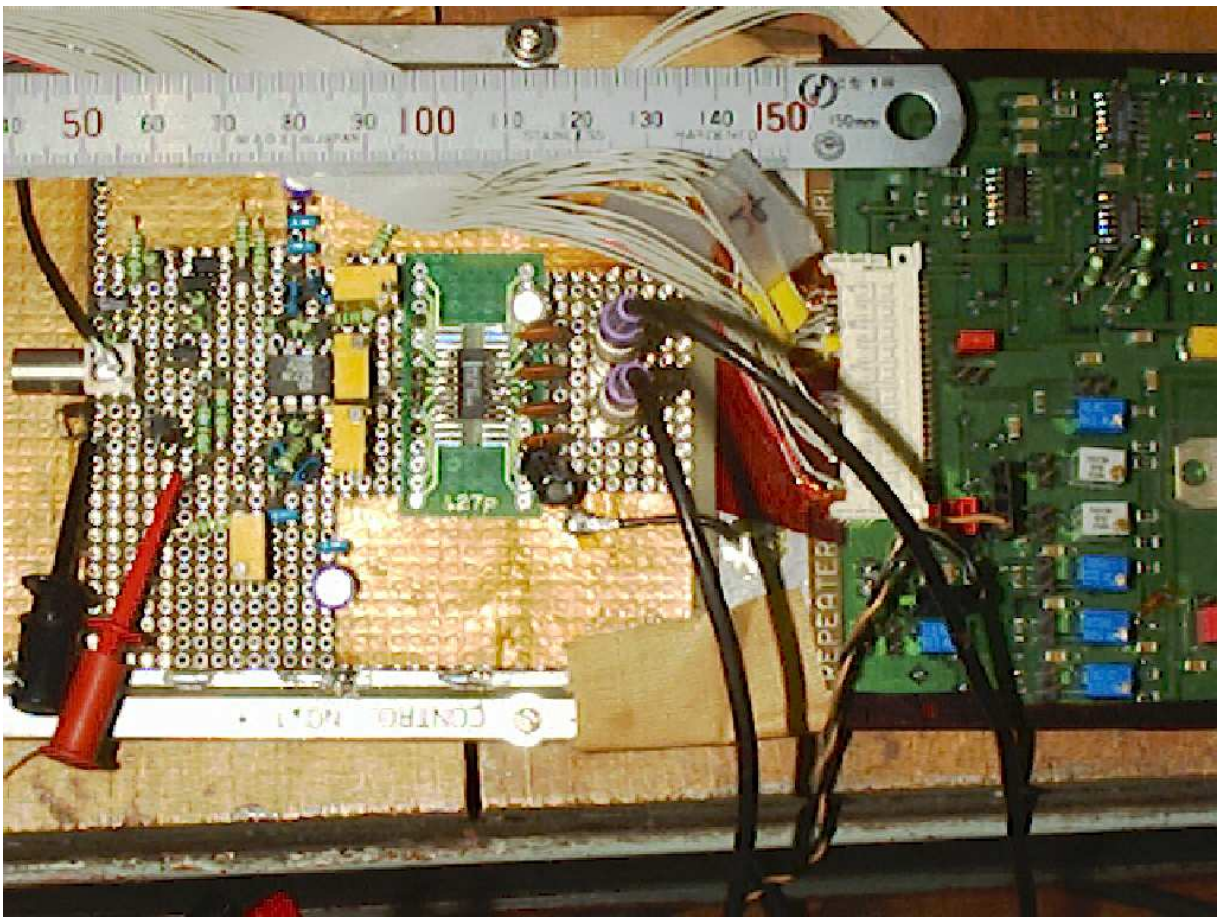


図 3.8: 試作した中継器

2 つ使われる。

そのほか、中継器は VA チップへの制御信号、バイアス電圧、電源の供給、DSSD のバイアス電圧供給を行う。

3.3.5 中継器-ADC 間用ケーブル

SVD のデータ収集システム本体は検出器から $30m$ 離れたところに存在している。この間のデータ転送は外乱や信号の減衰が最も少ないと考えられる同軸ケーブルを用いて行う。それでもその長さのために検出器-中継器間よりも信号の鈍りは大きくなることが考えられる。

第4章　実験と結果

ここでは実際にシリコンストリップ検出器からの信号を読み出し、その性能を評価する。読み出し速度を 5MHz とした時にどの程度Ｓ／Ｎ比が悪化するかを調べるのが主な目的である。

4.1　セットアップ

シリコンストリップ検出器上に電子-正孔対を作る方法としては、β線源、γ線源、レーザー等を用いることが考えられるが、プラスチックシンチレーターを用いて簡単に外部トリガーが掛けられ、比較的簡単な実験装置で測定を行うことの出来るβ線源を用いることにした。使用したβ線源は$^{90}\mathrm{Sr}$ の密封線源である。

そのセットアップを図 4.1 に示す。

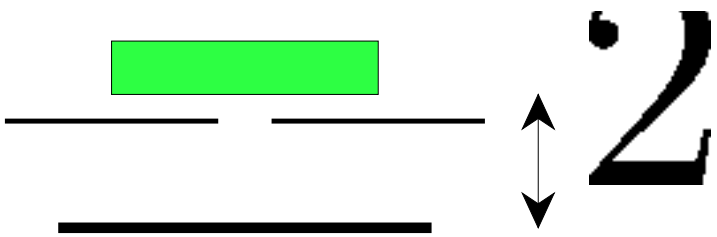
線源からのβ線は SSD を通過したあと 2 つのシンチレーターを通過する。この二つからの信号のコインシデンスを取り、それをトリガーとする。SSD に入射したβ線は最小電離粒子として振る舞う。β線の落とすエネルギーをそろえるために SSD に浅い角度で入射するβ線を除くため、$1cm$ 角程度の小型のシンチレーターを離して配置した。

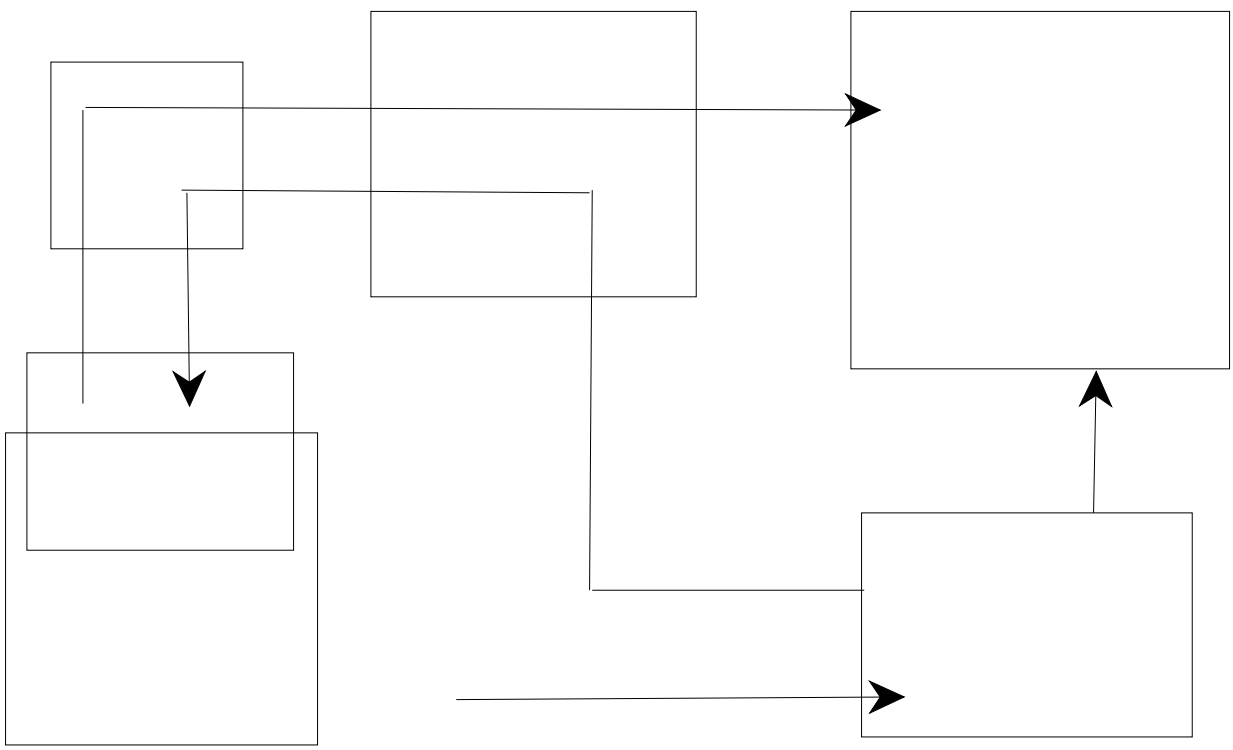
作られたトリガー信号はタイミングモジュール (CAEN 社 V551B) と呼ばれる装置に送られ、そこで読み出しに必要な信号が作られて VA チップに送られる。

タイミングモジュールでは VA チップの制御信号とともに、FADC に AD 変換を行うタイミングを知らせるコンバート信号も供給する。FADC には CAEN 社製 V550 を用いた。このモジュールのコンバート信号の周波数の上限は 5MHz である。

データ取得系のブロック図を図 4.2 に示す。

実際に使用した SSD は厚さ $300\mu m$、サイズ $1cm\times1cm$、ストリップ間隔 $250\mu m$ のものであり、n^{+}側のストリップの信号を読み出すように VA チップは取りつけてある。


2



更新しない。

4.2.2 コモンモードシフト

これは、事象毎にすべてのチャンネルに共通してあらわれる外来ノイズであり、原因としてはバイアス電圧の変動、VA チップへの電源電圧への電源電圧の変動などが考えられる。この値はシグナルのないチャンネルの ADC 値からオフセットの値を引いたものの平均で定義する。これは事象毎に算出する。ADC 値からオフセット、コモンモードシフトの値を引いたものを最終的な SSD からの信号とする。

4.2.3 ノイズ

ここまでで得られた信号がストリップに集められた電荷を表し、荷電粒子が通っていた場合は落としたエネルギーを表すことになる。しかし、荷電粒子が通過していない場合であっても ADC 値からオフセット、コモンモードシフトを引いた値は常に 0 となるわけではなく、0 を中心として有限の幅で揺らぐ。この揺らぎの標準偏差をノイズと定義する。

このノイズは検出器自身の熱雑音、VA 固有のノイズ、伝達経路上の電気的ノイズなどすべてを含む。

4.3 結果と考察

4.3.1 S / N比の定義

今回の実験で求めるS / N比を次のように定義する。

シグナルの定義

まず、ノイズレベルの 3 倍以上の値を持ったチャンネルを選びだす。選ばれたチャンネルの中で、連続している 1 塊をクラスターと呼ぶ。β線の落としたエネルギー (シグナル) は、このクラスターの大きさ (クラスター内のチャンネルの信号の和) として定義する。

β線の落とすエネルギーはほぼランダウ分布に従うはずなので、得られたシグナルの分布をランダウ分布関数でフィットして分布関数のピークを

表 4.1: 読み出しレートとタイミング

読み出しレート (MHz)	タイミング (ns)
1	800
2	360
3	200
4	160
5	120

シグナルの大きさと定義する。

ノイズの定義

ノイズは正規分布に従うと仮定して、粒子が通過しなかった場合の信号の分布を正規分布関数でフィットしてその標準偏差をノイズと定義する。

S / N比

上の二つを使って

$$S/N = \frac{\text{ランダウ分布関数のピークの値}}{\text{ノイズ分布をフィットした正規分布関数の標準偏差}} \qquad (4.1)$$

と定義する。

実測したシグナルとノイズの分布を図 4.3 から 4.7 に示す。なお、横軸はテストパルスを用いた較正により Equivarent Noise Charge(ENC) 単位にしてある。

4.3.2 読み出し速度とS / N比

読み出し速度を 1 MHz から 5 MHz まで変化させたときのシグナル、ノイズ、S / N比の変化を図 4.8 に示す。コンバートのタイミングは表の通り。

図から分かるように、5MHz まで達してもS / N比の大きな低下は見られない。1MHz のときの S/N 比を 1 としたときの S/N 比の変化を 4.2 にしめす。

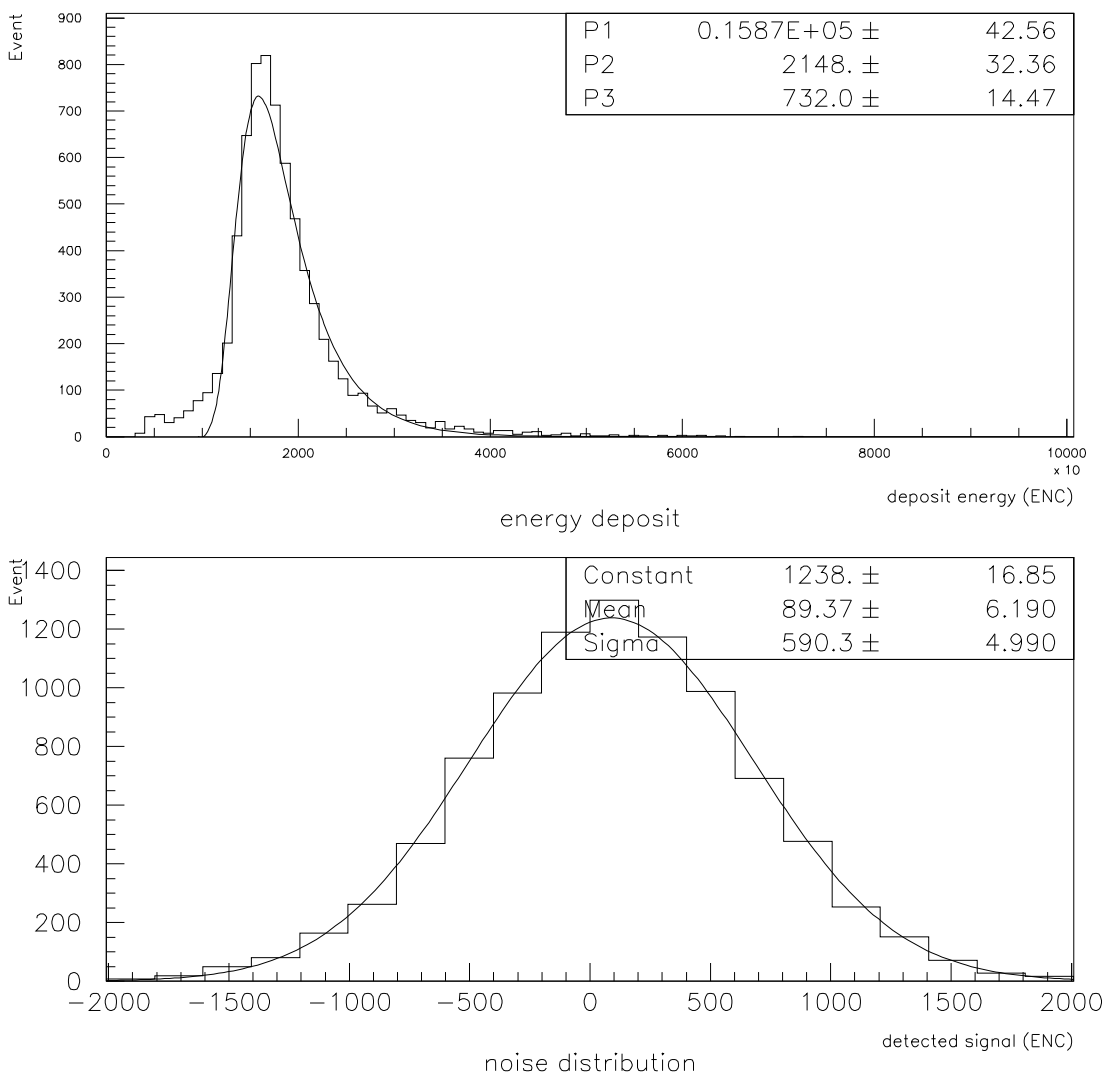


図 4.3: シグナルとノイズの分布 (読み出しレート 1MHz)

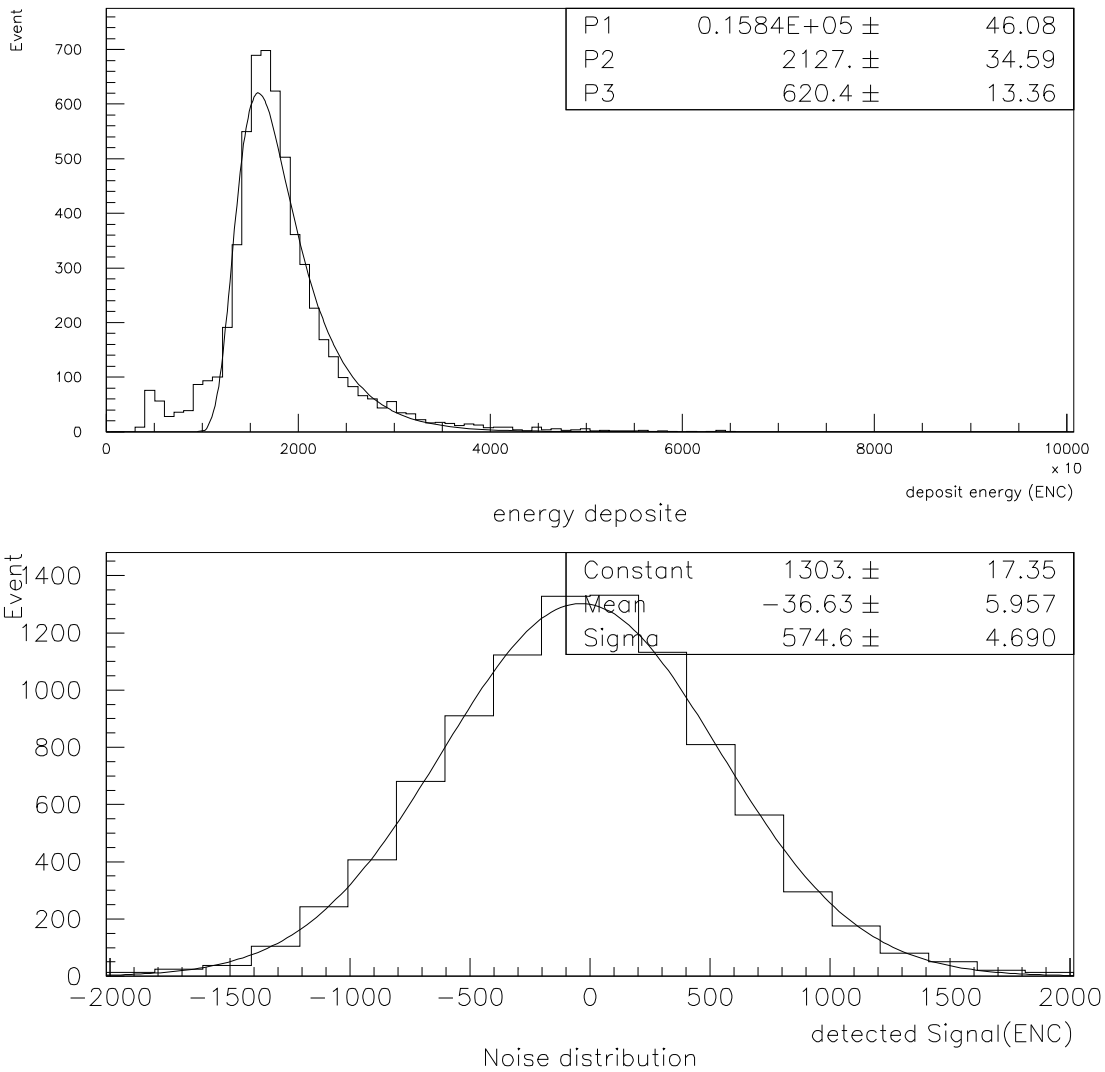


図 4.4: シグナルとノイズの分布 (読み出しレート 2MHz)

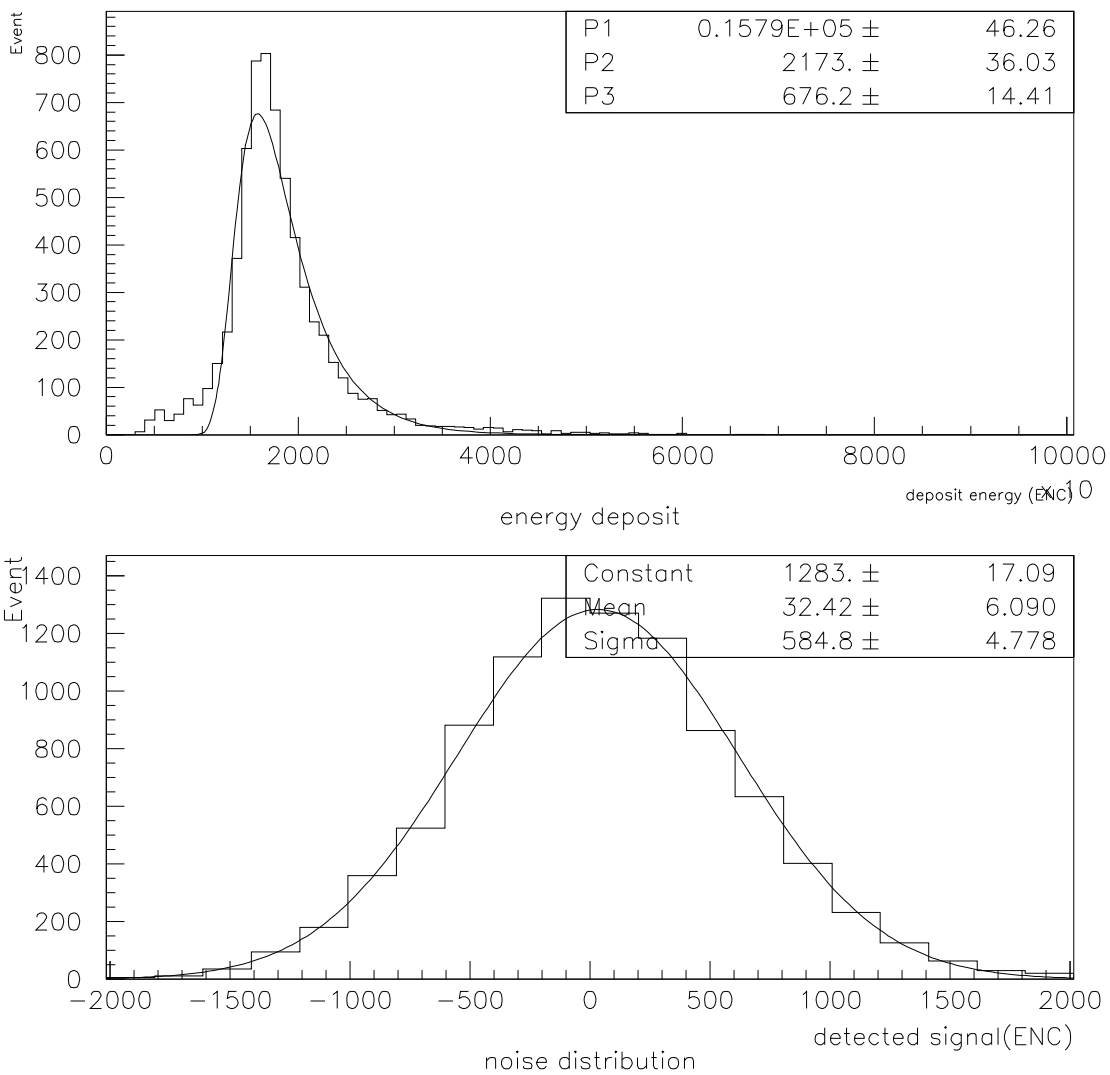


図 4.5: シグナルとノイズの分布 (読み出しレート 3MHz)

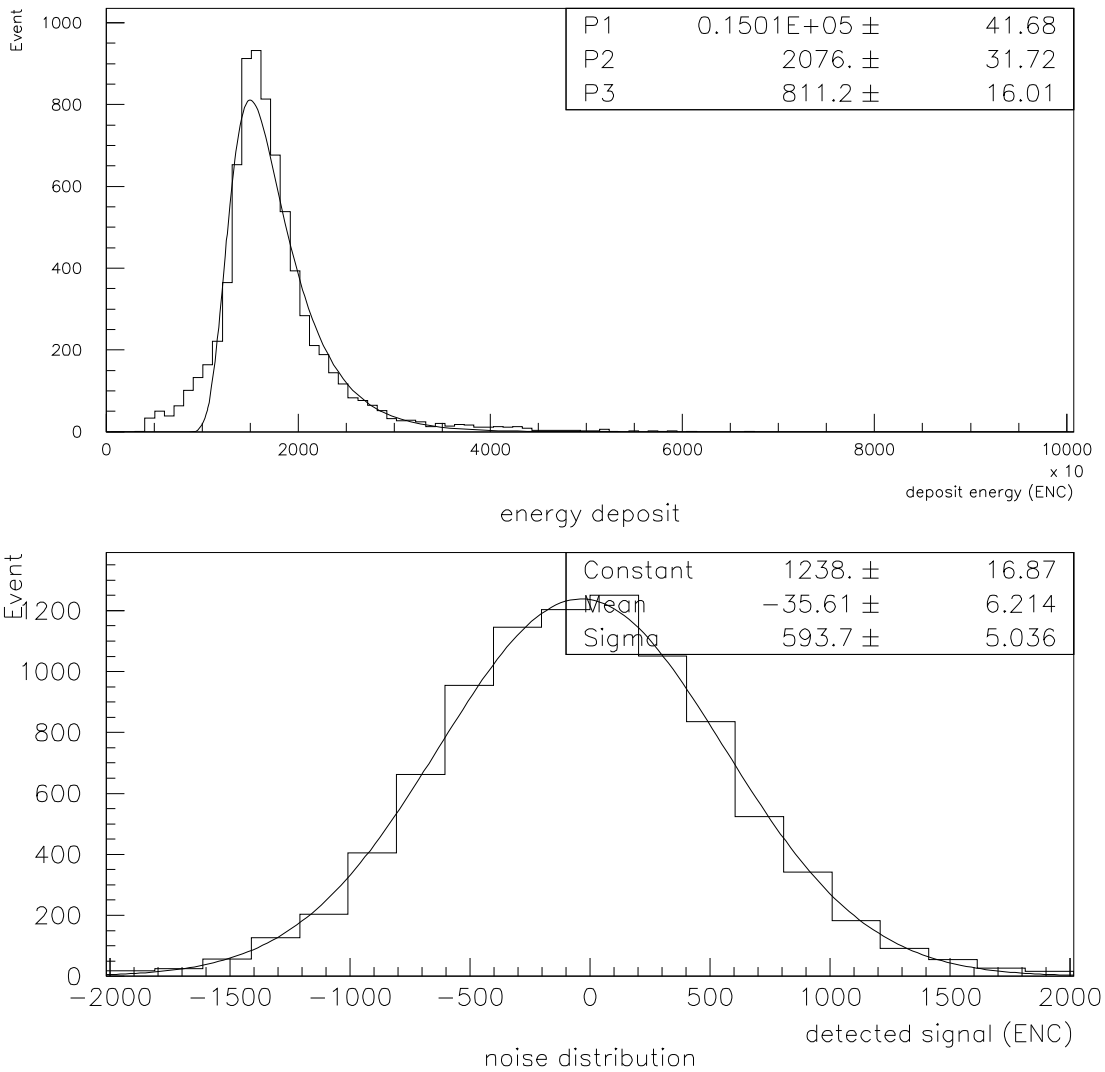


図 4.6: シグナルとノイズの分布 (読み出しレート 4MHz)

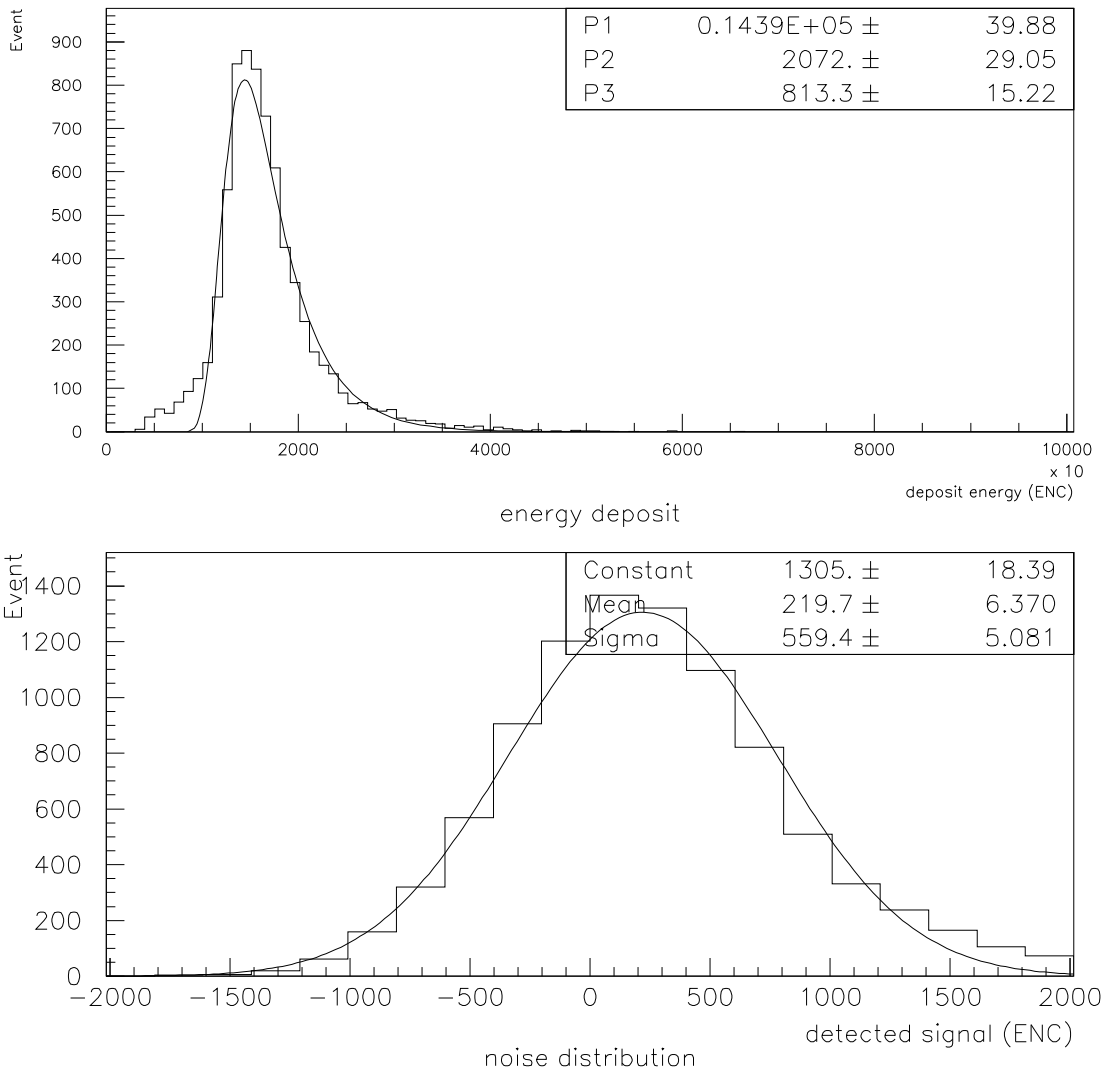


図 4.7: ノイズの分布 (読み出しレート 5MHz)

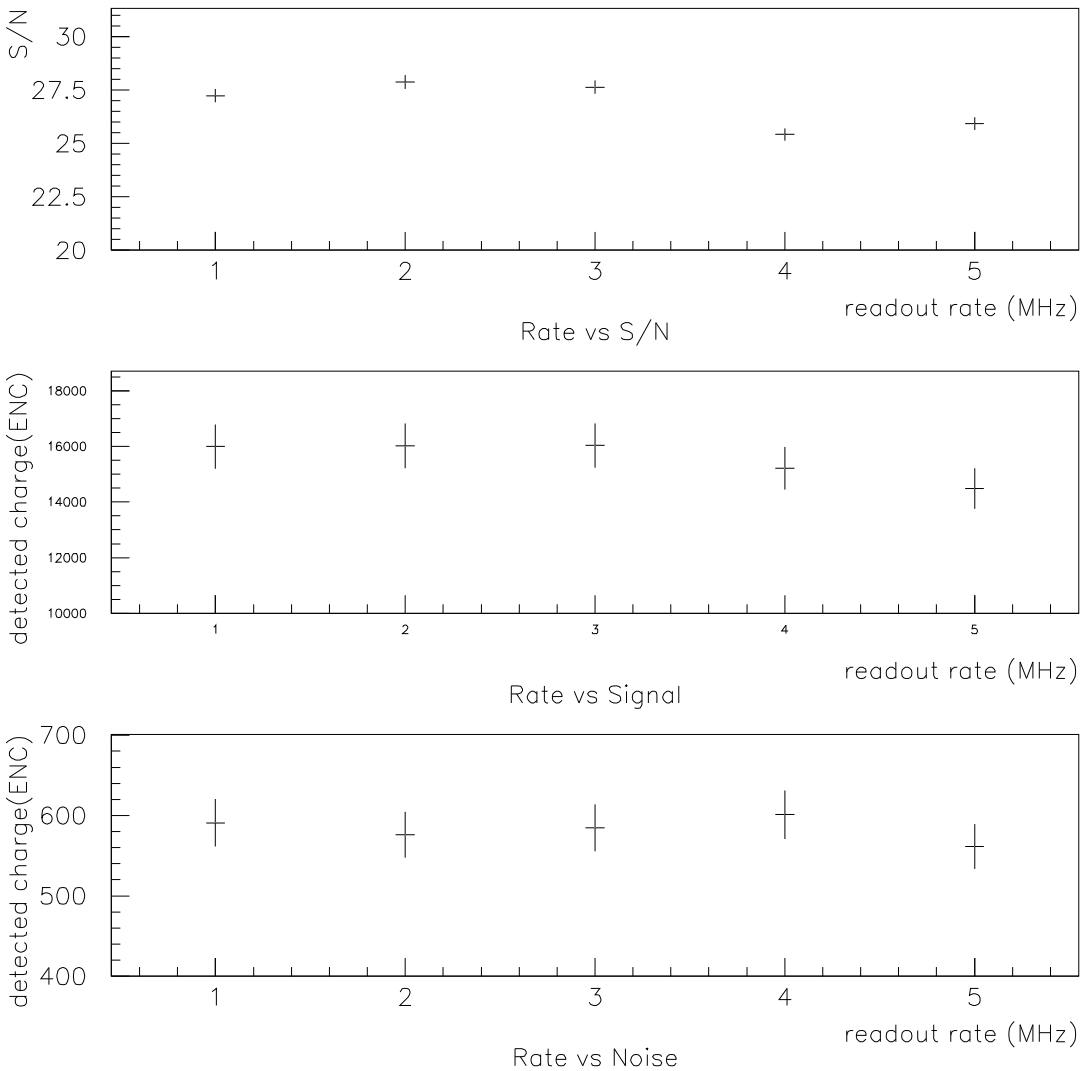


図 4.8: 読み出し速度を変化させたときの S/N 比の変化

表 4.2: S/N 比の変化

読み出しレート (MHz)	S/N
1	1
2	1.02 ± 0.02
3	1.01 ± 0.02
4	0.93 ± 0.02
5	0.95 ± 0.02

VA1 及び BELLE の DSSD の仕様から計算された S/N 比の期待値は全ストリップについて S/N$\geq$18[6] となっているので、前置読み出しシステムに起因する S/N の劣化を加えても S/N$\geq$15 という目標は達成できる。

4.3.3 convert のタイミングとＳ／Ｎ比

読み出し速度が速くなると、マルチプレクスされたアナログデータのレベルが平坦になる時間幅が短くなっていくため、良いコンバートタイミングの範囲が狭くなり過ぎてしまうおそれがある。このようなことが起きないことを確かめるために読み出し速度を 5MHz とし、コンバートシグナルを送るタイミングを変化させた場合のシグナル、ノイズ、Ｓ／Ｎ比の変化を測定した。結果を図 4.9 に示す。

図から、S/N 比はコンバート信号のタイミングが 80$\sim$160 ns の間ではほぼ一定の高い値に保たれていることが分かり、これは十分広い範囲と言える。信号の立ち上がりに約 80ns かかっているが、これは VA 固有の遷移時間 ($\leq$100ns) とほぼ同じなので、中継器は十分速い応答をしているといえる。

4.3.4 コモンモード ノイズ

I-to-V 方式と V-to-V 方式でのコモンモード ノイズを表 4.3 に示す。

コモンモード ノイズは外来ノイズであるために、その絶対値は実験セットアップにより異なるが、I-to-V 方式の方が明らかにコモンモード ノイズが小さくなっている。したがって、この方式の方がノイズを抑えると

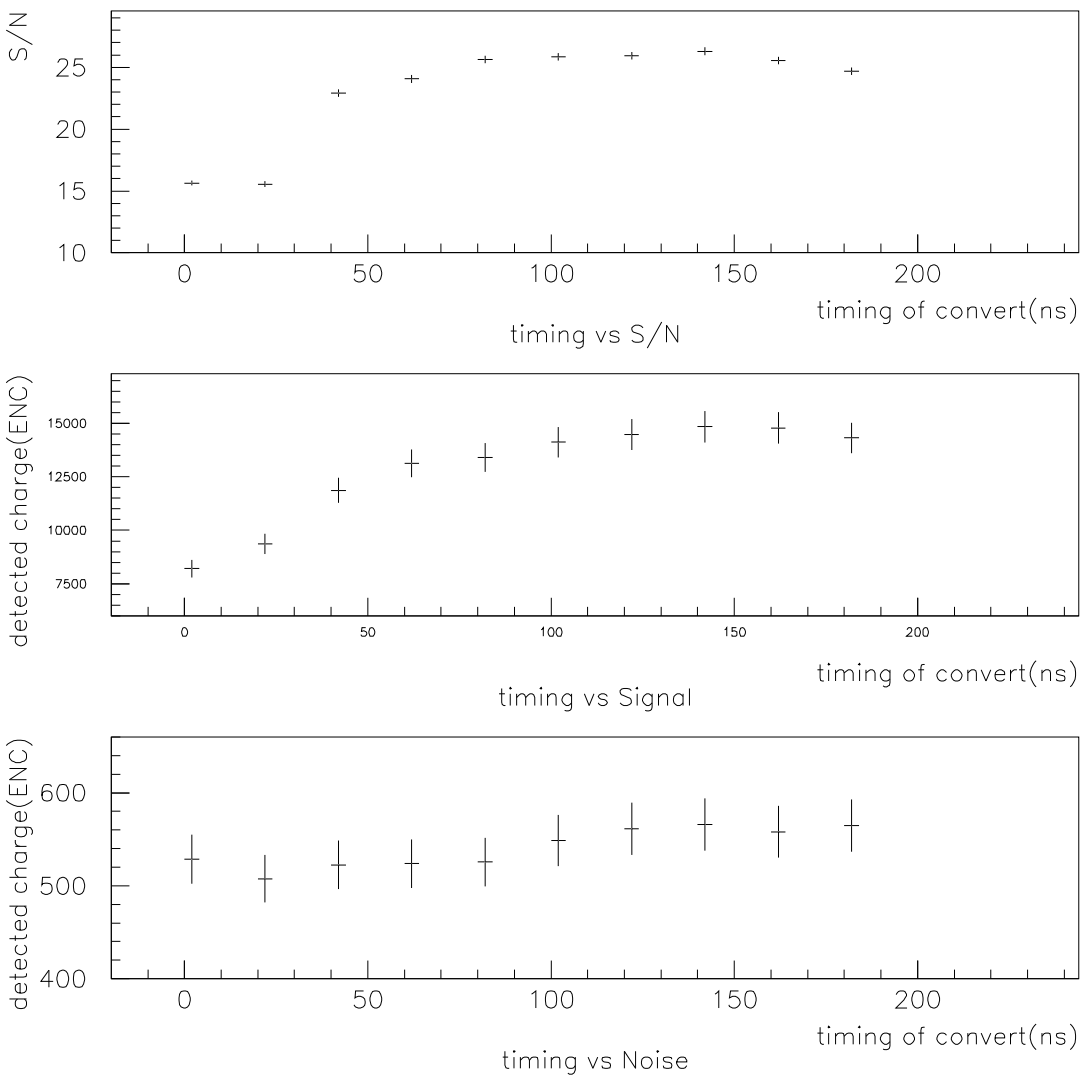


図 4.9: convert のタイミングを変化させたときの S/N 比の変化

表 4.3: コモンモード ノイズ

方式	コモンモード ノイズ (in ENC)
I-to-V	660
V-to-V	1250

いう点で優れているといえる。

4.3.5 ケーブル内での信号の鈍り

増幅器と ADC を繋ぐ約 $30m$ のケーブルは作動信号用に芯線が 2 系統ある。これに幅 $200\mu s$ の矩形波を通した場合の鈍りの様子を図 4.10 に示す。最上段が入力波形、中二つの波形は比較用の単芯の BNC および LEMO ケーブルを通したときの波形、最下段が試験したケーブルを通した波形である。立ち上がりがかなり鈍っているが、十分な余裕を見ればその影響はかなり抑えられると考えられる。

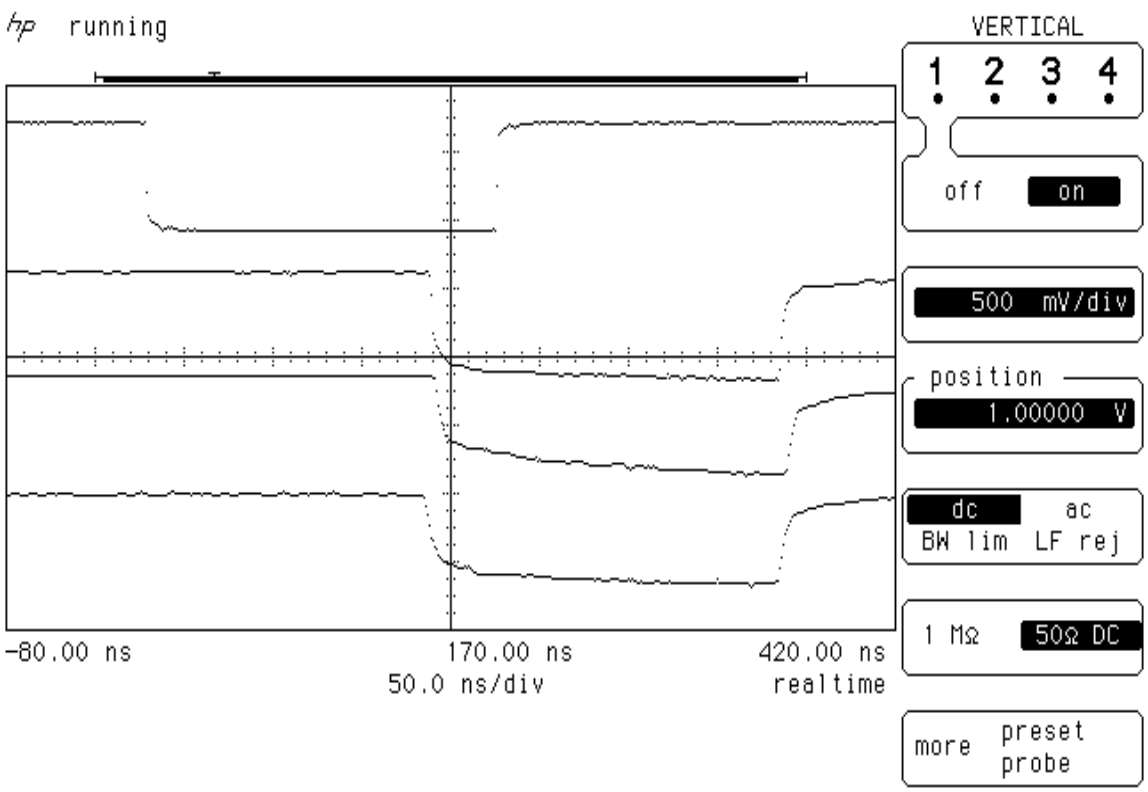


図 4.10: ケーブル内での信号の鈍り

第5章　結論

BELLE 実験のシリコンバーテックス検出器の読み出し方式に関する研究開発を行った。前置読み出しシステムは、データを 5MHz の速さで読み出せ、VA チップの出力を $2m$ のケーブルを介して中継し、かつ、良い S/N($\geq$15) を保つことが示される。そのような回路として I-to-V 変換方式の中継器を設計、製作し、性能評価を行った結果、上記の要求を満たすものであることを確認出来た。

1MHz と 5MHz の読み出しスピードを比較した場合、S/N の変化は 4.5 ± 2.2 %である。

今回設計した中継器のデザインは実験本番で用いられることが決定し、現在実機を制作中であり、1998 年夏にインストールされる予定である。

謝辞

筆を置くにあたり研究の機会を与えていただき、また広く物理学一般についてあたたかくご教授下さった長島教授に心から感謝の意を表します。

羽澄先生には大学院に入ってからの 2 年間指導していただかないときの方が少ないくらいにお世話になりました。深くお礼を申し上げます。

山中助教授からは多くの貴重なご意見をいただき、滝田先生、原先生には実験の基礎的な知識から丁寧なご指導をいただきました。物事を見逃しがちな私の些細な質問にも諸先生方は親切に答えていただき本当に勉強になりました。

長島研秘書の続木さんには事務手続きなどでたいへんご迷惑をお掛けしました。お手を煩わせることの多かったことをここにお詫び申し上げます。

博士過程在学中の川崎さん、山口さん、千代さん、住沢さん、日高さんには普段から質問に答えていただいたり実験の手助けをしていただいたりとたいへんお世話になりました。ありがとうございます。

同学年の香山君、持田君、吉田君にはいつも計算機のことなどで質問をしていました。また、この 2 年間を充実して過ごせたのも良い友人である 3 人とともにあったためと思います。

修士 1 年の紅林君、火口君、北条君、森君、山田君にはあまり顔もあわせずたいしたこともできない至らない先輩であったかと思い反省しています。

高エネルギー加速器研究機構の田中さんをはじめとする BELLE SVD グループの方々にも研究を行う上でたいへんお世話になりました。

最後に皆様にもう一度 2 年間のお礼を申し上げ、結びとかえさせていただきます。

参考文献

[1] KEK B-Factory http://bsunsrv1.kek.jp/

[2] M.Kobayashi and T.Maskawa Prog. Theor. Phys.,Vol. 49 ,p.652, 1973

[3] A.I.Sanda, I.I.Bigi Note on the observability of CP violations in B decays Nucl. phys. B 193 : 85, 1981

[4] IDE AS web page http://www.ideas.no/VA123.html

[5] HAMAMATSU PHOTONICS K.K. Si Photodiodes and Charge Sensitive Amplifiers for Scintillation Counting and High Energy Physics

[6] BELLE SVD Group Techinical Design Report of BELLE SVD Jan. 29, 1998

[7] E.Nygård, P.Aspell, P.Jarron, P.Weilhammer, K.Yoshikawa CMOS low noise amplifier for microstrip readout Design and result Nucl. Instrum. Method Phys. Res. A301 (1991) 506-516

[8] CLEO III RICH group http://www.phy.syr.edu/research/elementary-particles/ experimental/hep-page.html

付 録A　半導体検出器の原理

A.1　半導体と半導体検出器

半導体検出器はｐ型半導体とｎ型半導体を接合させて作られる。最もよく使われているのは単純なダイオード型の構造をしたシリコンフォトダイオードのような型である。p 型半導体はシリコンなど 4 価の元素に硼素など 3 価の元素を加えて作られており、自由な正孔 (ホール) が多数あってこれが主に電流を担うもの (キャリア) となる。n 型半導体は 3 価の元素の代りにリンなど 5 価の元素が加えられており、正孔の代りに自由な電子が主なキャリアである。加えられる 3 価または 5 価の元素の濃度が特に高いものはそれぞれ p^+型、n^+型半導体と呼ばれる。

A.2　荷電粒子の検出原理

荷電粒子は物質中を通過するとき付近の原子を励起して電子-正孔対を作りながら移動する。この時励起に必要なエネルギーの分だけ荷電粒子のエネルギーは減少する。シリコンを用いた半導体の場合、この励起に必要なエネルギーは約 3 . 6 eV である。この過程で発生した電荷を測定すれば、荷電粒子の失ったエネルギーが測定できるが、作られた電子や正孔は普通速やかに再結合によって失われてしまい測定することができない。

しかし、ダイオードの pn 接合の部分では状況が変ってくる。p 型と n 型の境界付近では自由な電子と正孔の密度が異なっているので自由な電子は p 型の方へ、自由な正孔は逆に n 型の方に拡散により移動しその結果 p 型の方は負に、n 型の方は正に帯電する。この電荷 (空間電荷) によって作られる電場により、キャリアの移動が止まり、平衡状態になる。この時の電位差 (接合電位) は約 1V である。移動したキャリアは移動先の電子や正孔と再結合してしまうので、キャリアの移動があった領域では自由な電子や正孔がほとんどなくなってしまう。この領域は空乏層と呼ば

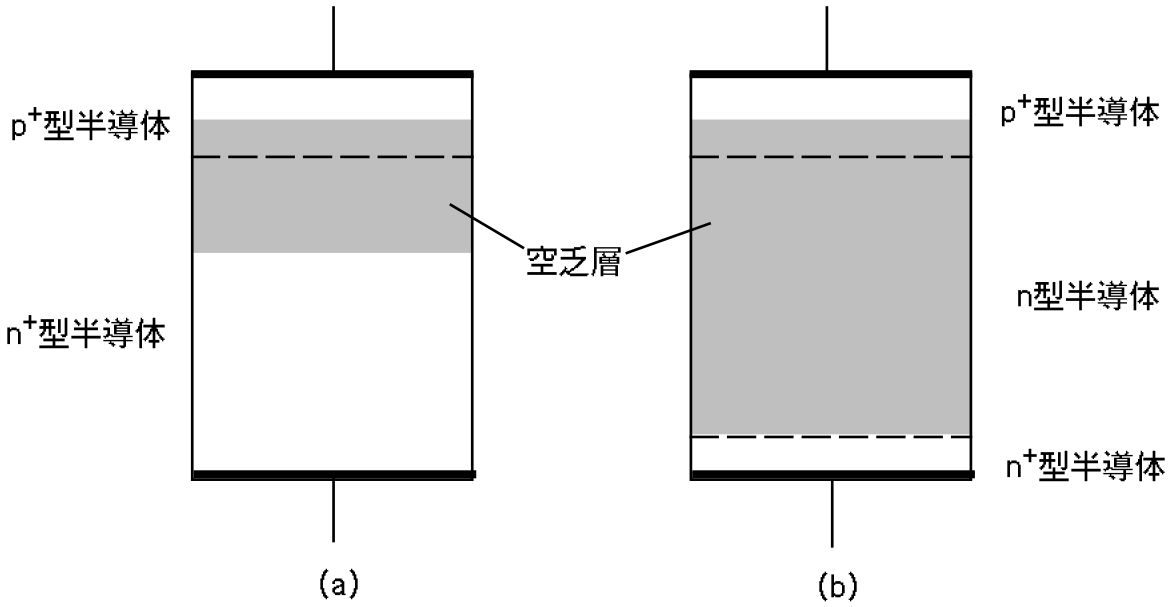


図 A.1: pn 接合

れる。空乏層にはキャリアがほとんどないので抵抗が極めて高くなる。

空乏層を荷電粒子が通過した場合、作られた電子-正孔対は自由な電子や正孔がないので再結合により失われることなく空間電荷による電場に引かれて移動する。よって、この電荷を測定することができる。これが半導体検出器の検出原理である。

A.3 逆バイアスの印加

ただ単に p 型半導体と n 型半導体を接合させたのでは

- 空乏層の厚さが極めて薄いため、荷電粒子の落とすエネルギーを効率よく集めることができない
- 電荷を移動させる電場が小さいので速やかに電荷を集めることができない

という理由により検出器としての性能はあまり良いものとは言えない。

このため、半導体検出器では逆バイアスの印加が行われる。逆バイアスはダイオードのときと同様に p 型の方を低電位、n 型の方を高電位にする。このような電圧を印加すると、結合せずに残っていた自由な電子や正

孔は接合部から離れる方向に移動する。このため空乏層が拡大する。逆バイアスを十分大きくすれば検出器全体を空乏層とすることができ、荷電粒子がどこを通過してもそのエネルギーを検出できるようになる。

空乏化していない領域が残っている場合、発生した電荷が再結合によって失われてしまうので検出器全体が空乏化されていることが重要になる。

A.4 信号の読み出し

検出器の信号はバイアスをかけている端子から電荷として読み出すことができる。３００μmの厚さのシリコン検出器の場合、垂直に入射した最小電離粒子の落とすエネルギーは約８０ keV になる。シリコン内で電子-正孔対を一つ作るのに必要なエネルギーが約３．６ eV であるので、効率が１００$\%$の場合約２２０００個の電子が集められる。しかし、これは約４ fC の電荷量にすぎないので直接長い距離を伝えることはできない。そのため読み出された信号は電荷増幅器 (チャージアンプ) により増幅されて送り出される。この時読み出された電荷 Q はチャージアンプの帰還コンデンサの容量C_fによって

$$V = \frac{Q}{C_f} \tag{A.1}$$

と変換される。検出器とチャージアンプは一般には図のようにカップリングコンデンサを介してつながっている場合が多い。また、逆バイアスは数 $\mathrm{M\Omega}$以上の非常に大きな抵抗を介して印加される。

A.5 シリコンストリップ検出器の構造

シリコンストリップ検出器の基本的な構造を図に示す。n 型半導体の上に p^+型半導体をストリップ上に作り、その逆の面を n^+型半導体とする。そして図のように逆バイアスを印加すると、n 型半導体の部分を空乏層とすることができる。

この時 p^+型のストリップと n 型の部分の境界は pn 接合を作っているので各々のストリップが半導体検出器として働く。検出器を荷電粒子が通過した時にできる正孔は、印加されたバイアスの電場に引かれて近くのストリップに集められる。この電荷を読み出すことにより、粒子の通過位置を知ることができる。p^+型のストリップの上にはSiO_2の絶縁層を

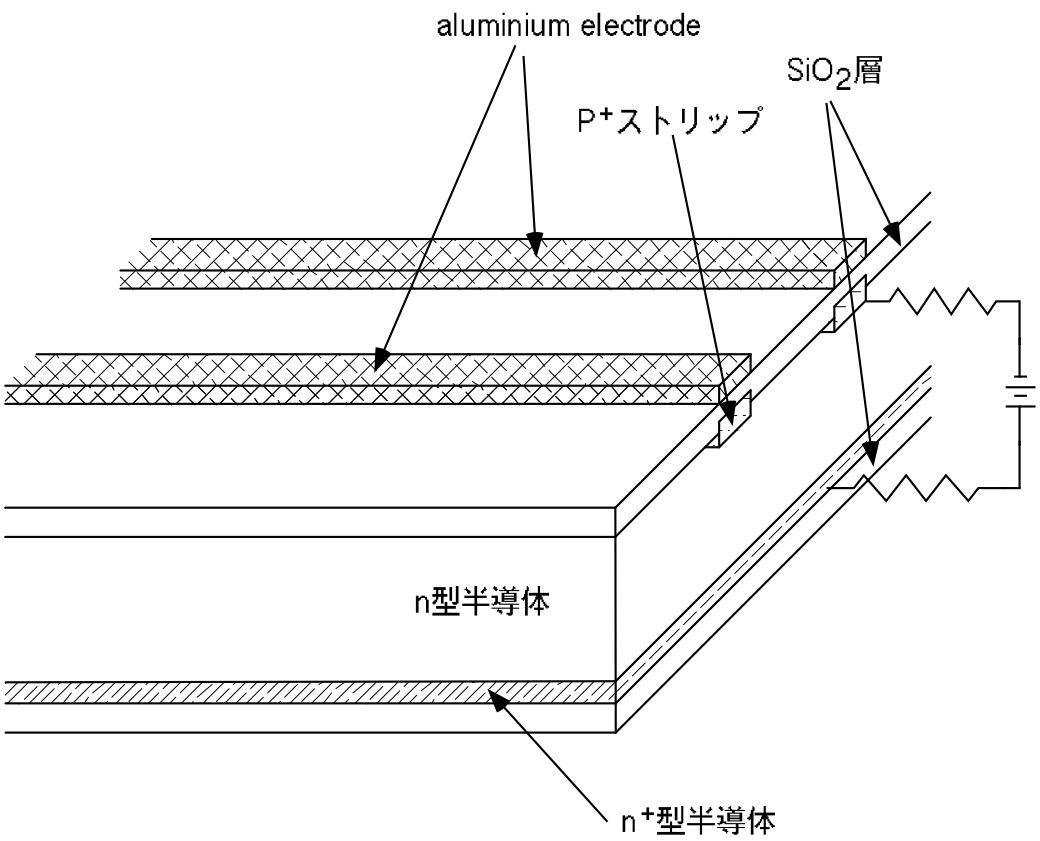


図 A.2: p^+型ストリップ

はさんでアルミニウムの電極が張られており、電極とストリップは容量的につながっている。また、空乏層はストリップの pn 接合面から広がっていき、隣り合ったストリップを絶縁する役目も果たす。ストリップは約２５μmの間隔で張ることも可能であり、これが位置検出器としての精度を大きく高めている。

これとは逆にn^+型半導体をストリップとして用いることもできる。この場合は pn 接合は n 型とn^+型の境界面に作られる。この場合も逆バイアスを印加することによって n 型の部分を空乏層とすることができるのでストリップがp^+型のときと同じように検出器として使うことができる。ところが、n^+型ストリップの間はそのままではよく絶縁されないので、あるストリップに集まった電荷が他のストリップからも読めてしまう。こうなると位置の検出精度が下がってしまうので、ストリップとストリップの間に p 型半導体となっている部分 (p-ストップ) を作ってそれぞれのn^+型ストリップを電気的に分離する。

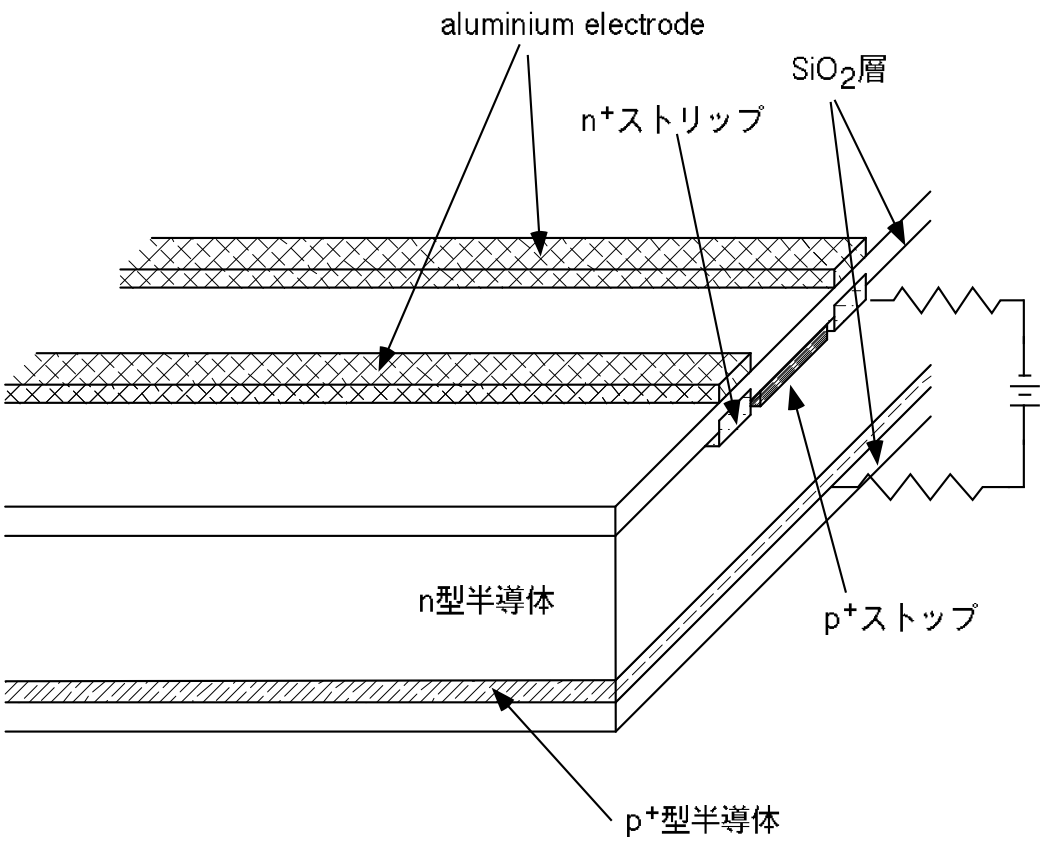


図 A.3: n^+型ストリップ

付 録B　ＢＥＬＬＥに用いられるシリコンストリップ検出器

ＢＥＬＬＥ実験での崩壊点検出には高い精度が要求されるためシリコンストリップ検出器が用いられることは で述べた通りであるが、生成された$B^0 - \overline{B^0}$中間子系からの崩壊粒子はそれほど高い運動量を持たない。よって、多重散乱の影響を抑えるため検出器の物質量はできるだけ小さくしなくてはならない。そのため次のような構造をとることになっている。

B.1　両面型シリコンストリップ検出器

検出用のストリップが片面だけに張ってある普通のシリコンストリップ検出器では 1 次元の情報しか得ることができない。粒子の通過点の決定には 2 次元の情報が必要である。ある検出器のストリップと直交するようにストリップを張った検出器を用意すればその 2 つを使って 2 次元の情報を得ることができるが、物質量がその分増加する。ＢＥＬＬＥ検出器では物質量の増加を避けるため 1 枚のシリコンの両面に互いに直交するようにストリップを張った両面型シリコンストリップ検出器(DSSD)を用いる。図 B.1 にその様子を示す。シリコンの一方の面にはp^+型のストリップが、他方にはn^+型のストリップがはってある。

B.2　二重金属構造

ＢＥＬＬＥ検出器ではDSSD はビームパイプを囲む筒状に配置され読み出し用のアンプは図 B.2 のようにその両端に取り付けられる。このため、ビーム軸に平行に張られるp^+型ストリップの信号は読み出せるが、n^+型

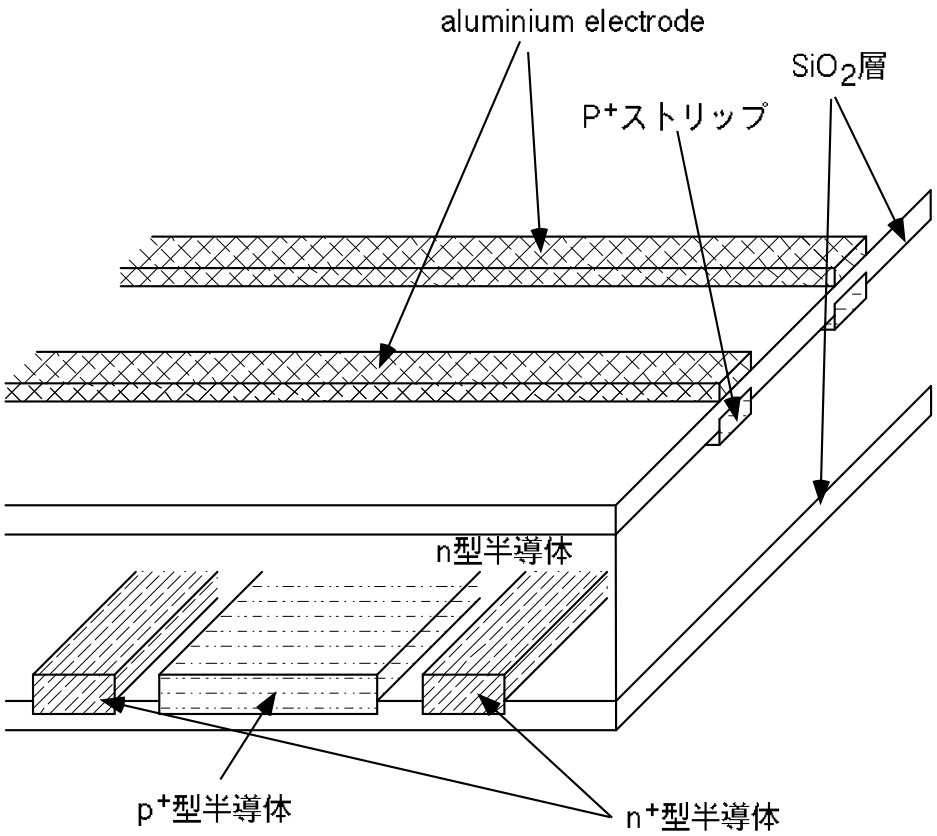


図 B.1: 両面型シリコンストリップ検出器

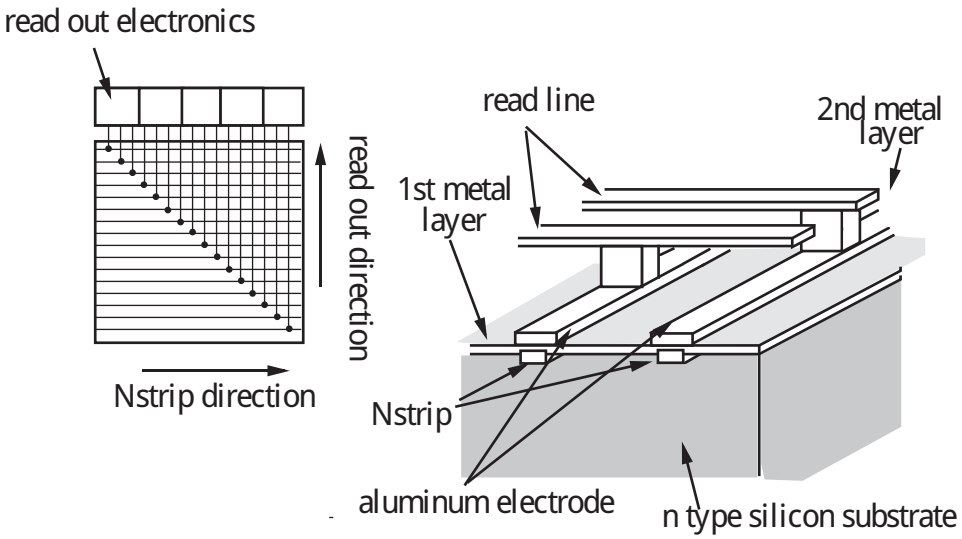


図 B.2: 二重金属構造

ストリップはそのままでは読み出せない。そのため二重金属構造 (DML) を用いることになっている。

DML は図のように、ストリップからの信号を誘起する金属線 (これを 1st-metal とする) の上に絶縁層を作り、その上から読み出し用の金属線 (これを 2nd-metal とする) を張ることによって作られる。このようにして n^+型ストリップからの信号を p^+型と同じ場所で読み出せるようにする。

ただし、DML は検出器の容量を増やすことになるのでノイズが増えてしまう。

B.3 ギャンギング

n^+型ストリップの読み出しに使われる 2nd-metal は、技術上の問題から５０μm程度の間隔でしか張ることができない。このため正方形ではないDSSD の場合、ストリップの数が読み出し線の数と異なってしまう。ＢＥＬＬＥ検出器の DSSD の場合はストリップの数のほうが多くなるので、１本の読み出し線に複数のストリップをつなぎ (これをギャンギングという) 信号を読み出すようにしている。ギャンギングによりすべてのストリップからの信号を読み出せるようになるが、粒子が繋がっているどのストリップを通過したのかは分からなくなる。また、複数のストリップを見ることになるのでプリアンプから見た容量は増えることになる。