大面積両面型シリコンストリップ検出器の研究

大阪大学理学部物理学科長島研究室

川崎 健夫

平成 7 年 4 月 24 日

概要

大面積の両面型シリコンストリップ検出器の性能評価を行なった。複数の検出器をつないだことによる影響を調べたが、容量が増えることによるノイズの増加以外に、性能の低下は見られなかった。ノイズの総量は、モデル計算に基づく検出器容量などだけでは説明できない部分があり、この未知のノイズ源は検出器面積に比例しておりその原因についても考察した。

目 次

1 序論 **1**

1.1 KEK B-factory 計画について 1

1.2 CP 非保存の検証と中性 B 中間子崩壊点の精密測定 1

1.3 BELLE 検出器におけるシリコンストリップ検出器 3

2 シリコンストリップ検出器 **5**

2.1 半導体検出器 5

2.1.1 p-n 接合と空乏領域 5

2.1.2 信号の読みだし 7

2.2 シリコンストリップ検出器 8

2.3 BELLE 検出器におけるシリコンストリップ検出器 9

2.3.1 両面型シリコンストリップ検出器 10

2.3.2 ２重金属層構造 11

2.3.3 ギャンギング 11

2.3.4 信号の読みだし 12

2.4 大面積化による影響 13

3 容量の評価 **14**

3.1 使用する検出器 14

3.2 容量のモデル計算 17

3.2.1 コンデンサネットワークとしてのモデル 18

3.2.2 実測データによる定式化 19

3.2.3 LEP-SI モデル 23

3.2.4 測定された結果 25

4 実験 27

4.1 実験装置 27

4.1.1 実験のセットアップ 27

4.1.2 読み出し用マイクロチップ 29

4.2 データの解析 30

4.2.1 オフセット、コモンモードシフト、ノイズの定義 30

4.2.2 使えないチャンネル 31

4.2.3 バイアス電圧 33

4.2.4 クラスター 34

4.2.5 検出電荷総量 37

4.2.6 ノイズ 37

4.3 検出器の性能評価 37

4.3.1 検出電荷総量の相関 37

4.3.2 クラスターの広がり 40

4.4 ノイズレベルの予測値との比較 43

4.4.1 S/N 比 43

4.4.2 ノイズの成分 43

4.4.3 S/N の評価 45

5 結論 49

5.1 性能評価のまとめ 49

5.2 今後の課題 50

A 読みだしシステム 51

A.1 Viking chip 52

A.2 Viking タイミングチャート 54

A.3 Viking chip の調整 55

A.3.1 調整個所 55

A.3.2 調整の手順 56

A.3.3 調整結果 57

A.4 タイミングモジュール 58
A.5 リピーターカード 60
A.6 フラッシュADC 60
A.7 クロック、入力調整部 61

B シェイパーによるノイズのフィルタリング **63**
B.1 シェイパー 63
B.2 ノイズの成分 64
B.3 ノイズ、シグナルのフィルタリング 64

謝辞 **66**

参考文献 **67**

図 目 次

1.1 B 中間子の崩壊例 2
1.2 $B^0 \to J/\psi K_s$の場合のΔz分解能のシミュレーション結果 4
1.3 BELLE 検出器におけるシリコンストリップ検出器 4

2.1 空乏領域と逆バイアス電圧 6
2.2 ダイオード型半導体検出器の読み出し 8
2.3 片面型シリコンストリップ検出器 8
2.4 両面型シリコンストリップ検出器 10
2.5 ２重金属層構造 11
2.6 ギャンギング 12

3.1 使用した検出器 浜松ホトニクス社製 DS640×2 16
3.2 ボンディングの様子 16
3.3 ワイヤーボンディングしてある領域 17
3.4 コンデンサネットワークとしてのモデル P 側 18
3.5 コンデンサネットワークとしてのモデル N 側 20
3.6 DS640 の容量に対するパラメータ 22
3.7 n 側のストリップのようす 22
3.8 LEP-SI モデルにおける DML による容量 24

4.1 測定のセットアップ 28
4.2 データ収集回路 29
4.3 時分割化回路の構造 29
4.4 各ストリップのノイズ分布 32

4.5 バイアス電圧によるノイズの変化 33
4.6 n 側が分離されるようす 35
4.7 典型的なクラスターシェイプ 36
4.8 検出電荷総量の分布 38
4.9 ノイズの分布 39
4.10 検出電荷総量の相関 1 41
4.11 検出電荷総量の相関 2 42
4.12 n 側で SiO_2 絶縁層を通して電流が流れるようす 47

A.1 シリコンストリップ検出器の読み出しシステム 51
A.2 Viking chip の内部回路 52
A.3 Viking chip タイミングチャート 54
A.4 調整されたパラメータにおける、シングルモードでの出力 59
A.5 Viking Timing モジュール 59
A.6 クロック、入力調整部 62

表 目 次

3.1 浜松ホトニクス社製 両面型シリコンストリップ検出器 (DS640) の仕様 15
3.2 ストリップ番号と領域の対応 17
3.3 容量の計算結果の比較 26

4.1 使えないストリップの数 32
4.2 領域による A の分布 40
4.3 各領域での測定された S/N 比 43
4.4 モデル計算によるノイズ、S/N 46

A.1 Viking chip の詳細 53
A.2 パラメータに対応するポテンショメータの出力 57

第 1 章

序論

1.1 KEK B-factory 計画について

日本の高エネルギー実験の分野における次期計画として、高エネルギー物理学研究所での B-factory 計画 (KEK B-factory) がある。これは、中性 B 中間子を大量に作り、その性質を精密に測定することを目的とし、中でも" 中性 B 中間子系での CP 非保存の検証" をもっとも重要な目標とする。CP 非保存の現象は、B 中間子と反 B 中間子が同一の CP 固有状態へ崩壊する際の非対称性として観測することができる。

1.2 CP 非保存の検証と中性 B 中間子崩壊点の精密測定

ここで、CP の非保存を測定するために、$\mathrm{B^0 \to J/\psi K_s}$と、$\overline{\mathrm{B^0}} \to J/\psi \mathrm{K_s}$の崩壊の時間依存を比較することにしてみよう。このとき CP 非対称パラメータ $\mathrm{A_{CP}}$は崩壊時刻の差Δt の関数として、

$$A_{CP} = \frac{\Gamma(\mathrm{B^0 \to J/\psi K_s}) - \Gamma(\overline{\mathrm{B^0}} \to \mathrm{J/\psi K_s})}{\Gamma(\mathrm{B^0 \to J/\psi K_s}) + \Gamma(\overline{\mathrm{B^0}} \to \mathrm{J/\psi K_s})} \tag{1.1}$$

$$= \sin 2\phi \times \sin \Delta m \Delta t \tag{1.2}$$

で、表される。ここで、ϕは小林-益川行列における CP を破る位相である。では、この非対称パラメータをどうやって時間の関数として測定すれば良いのであろうか。

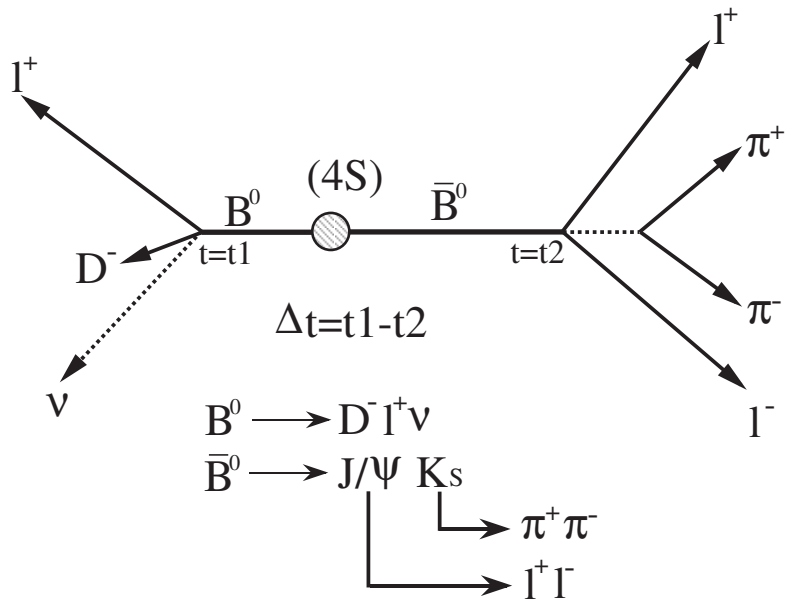

図 1.1: B 中間子の崩壊例

中性 B 中間子を大量に生成するため、KEK B-factory の電子-陽電子加速器の重心エネルギーは、$\Upsilon(4S)$ と呼ばれる粒子の質量、10.58GeV に合わされる。これは、b-$\overline{\mathrm{b}}$クォークが結合した中間子状態で、ほぼ 100 %の分岐比で $\mathrm{B}^0 - \overline{\mathrm{B}^0}$中間子対に崩壊する。こうして生成された $\mathrm{B}^0 - \overline{\mathrm{B}^0}$中間子対のうち、まず一方が準レプトン崩壊により、D 中間子とレプトンに崩壊したとする。このときのレプトン (電子またはμ粒子をさす) の電荷は、B^0中間子からならば正、$\overline{\mathrm{B}^0}$中間子からならば負であるので、崩壊した粒子、及びもう一方の粒子が、B^0か$\overline{\mathrm{B}^0}$かがわかる。これらが、CP の固有状態である $J/\psi \mathrm{K_s}$へ崩壊し、J/ψがレプトン対に、$\mathrm{K_s}$が$\pi^+\pi^-$へ崩壊する事象は簡単に観測することができる。ここで測定するべきは、$\mathrm{B}^0 - \overline{\mathrm{B}^0}$中間子対の、一方の粒子の準レプトン崩壊から、もう一方の粒子の $J/\psi \mathrm{K_s}$崩壊までの時間差 $\Delta \mathrm{t}$ である。これを測定するためには、それぞれの崩壊点を精密に測定してやればよい。そのためにどれくらいの位置分解能が必要であるのか。

前述のように、$\mathrm{B}^0 - \overline{\mathrm{B}^0}$中間子対は$\Upsilon(4S)$ の崩壊によって作られる。この$\Upsilon(4S)$ の質量は 10.58GeV、それぞれの $\mathrm{B}^0, \overline{\mathrm{B}^0}$中間子の質量は 5.28GeV であるため、$\Upsilon(4S)$ の静止系に対して、$\mathrm{B}^0, \overline{\mathrm{B}^0}$中間子は 346MeV/c の運動量しか持てない。$\mathrm{B}^0, \overline{\mathrm{B}^0}$中間子の寿命は約 1.3×10^{-12} 秒であるので、平均崩壊長 $25\mu m$ となり、現在の検出器の技術で崩壊点を測定することは難

しい。
そこで、衝突させる電子と陽電子のエネルギーを非対称にすることにより、$\Upsilon(4S)$ の系をブーストし、$B^0, \overline{B^0}$中間子の平均崩壊長を延ばそうという方法がとられる。KEK B-factory ではビームエネルギーを電子は 8GeV、陽電子は 3.5GeV にする。このとき、生成される $\Upsilon(4S)$ は電子ビームの方向に 4.5GeV/c の運動量をもつ。こうした非対称衝突を使うことで $B^0, \overline{B^0}$中間子の平均崩壊長は $165\mu m$ と測定可能な値となり、前述の CP 非保存パラメータ A_{CP}を時間の関数として正確に評価することができる。

1.3 BELLE 検出器におけるシリコンストリップ検出器

B-factory 計画において、BELLE 検出器のヴァーテックス検出器には、1.2で述べたように、崩壊点を 100μm 程度の精度で測定できる性能が求められる。このような、位置分解能 を達成するにはどのような検出器を用いればよいのだろうか。通常位置分解能のよい検出器として用いられるのは、ドリフトチェンバー等のガスワイヤーチェンバーであるが、これらはせいぜい 100μm 程度の位置分解能しか持たず、しかもビーム方向への位置測定には向いていないため必要な位置分解能を得るのは困難である。よって、もっと位置分解能の良いヴァーテックス検出器が必要となる。この候補としては、シンチレーションファイバー検出器、ガスマイクロストリップ検出器等があるが、BELLE 検出器には、シリコンストリップ検出器を組み込むことが考えられている。 シリコンストリップ検出器を使った BELLE 検出器システムでのモンテカルロシミュレーションによると $B^0 \to J/\psi K_s$の崩壊様式において、$83 \pm 3\mu m$ のΔz分解能が得られることがわかっている (図 1.2)[2]。したがって、シリコンストリップ検出器は、BELLE 検出器におけるヴァーテックス検出器として有望であるといえる。 現在までにテストされてきたシリコンストリップ検出器はいずれも試作段階のもので、実際に BELLE 検出器で用いられる予定のものよりも比較的小型である*。検出器が大面積になるとその容量は非常に大きくなり、ノイズが増加し位置分解能や検出効率の低下が考えられる。そのため、大面積のシリコンストリップ検出器のテストを行なうことは非常に重要である。
そこで、本論文では実際の BELLE 検出器に組み込まれるシリコンストリップ検出器に近い、大面積で複数の検出器をつないだ場合の性能テストを行ない、デザインから予測される

*片面型は 1.28cm×6.5cm、両面型は 1.92cm×1.92cm であり、実際には最大のもので、4.5cm×6.75cm のものを３枚つなぐことが考えられている。

性能との比較を行なった。

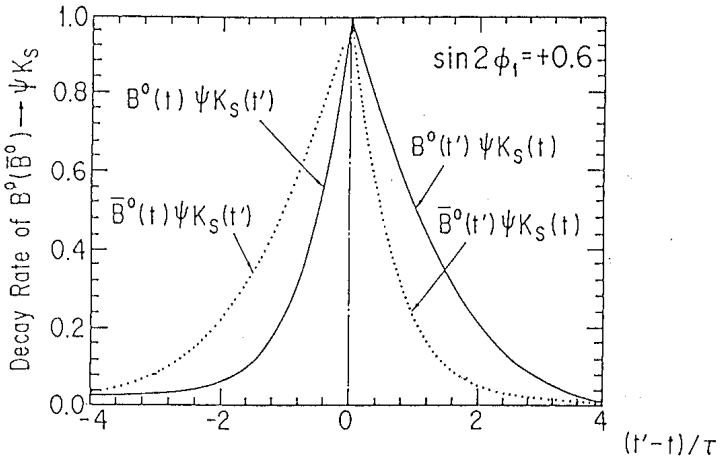

図 1.2: $B^0 \to J/\psi K_s$の場合のΔz分解能のシミュレーション結果

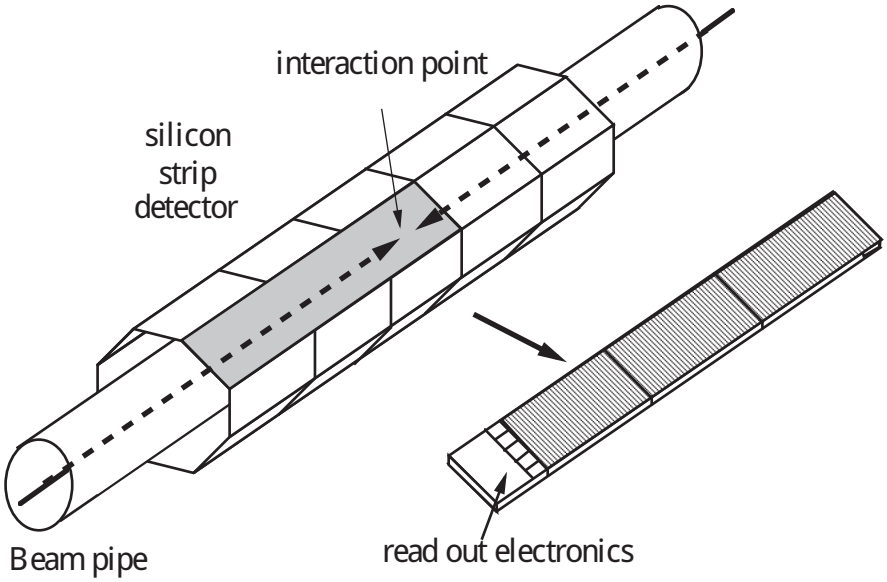

図 1.3: BELLE 検出器におけるシリコンストリップ検出器

第 2 章

シリコンストリップ検出器

シリコンストリップ検出器は、原理的には通常の半導体検出器とまったく同じである。この章では、半導体検出器の、基本的な原理とシリコンストリップ検出器の構造、性能を悪化させる要因などについて説明する。

2.1 半導体検出器

半導体検出器は、p 型半導体と n 型半導体を接合させて作られる。最も簡単な構造を持つ、シリコンフォトダイオードなどのダイオード型検出器が一般には良く用いられる。ここで p 型半導体とは、シリコンやゲルマニウムなど 4 価の元素の結晶中にホウ素などの 3 価の元素を不純物として注入することによって作られた物であり、自由な正孔 (hole) が多数存在する。対して n 型半導体は、5 価のリンなどの元素を不純物として注入して作られ、自由な電子が多数存在している。また不純物濃度が極めて高く、電子や正孔の濃度が非常に大きい半導体をそれぞれ p^+ 型半導体、n^+ 型半導体とよんでいる。

2.1.1 p-n 接合と空乏領域

では、半導体をどのようにして放射線検出器として用いればよいのか。放射線が、検出器中を通過するとまわりの原子中の電子を励起し、電子-正孔対を作りながらエネルギーを失っていく。4 価の元素としてシリコンを用いた場合、この 1 対の電子-正孔対を作るのに必要なエネルギーは 3.6eV である。よって、この電荷量を測定することによって、放射線が検出器中に落としたエネルギーが測定できる。しかし、通常の物質中では発生した電子-正

孔対はすぐに再結合してしまい読み出すことはできない。

p 型半導体と n 型半導体が接合された部分では状況は少し異なる。p 型半導体と n 型半導体が接合している面の両側をみてみると、電子と正孔の濃度が極端に違うためそれぞれが拡散していき、正孔は n 型半導体中の電子を捕獲する。逆に電子は p 型半導体中の正孔に捕獲される。よって、もともと電気的に中性であった半導体は p 側が負に、n 側が正に帯電することになる。これにより、接合面の両側に電位差が発生し電子と正孔の拡散はある程度進んで止められることになる。この電位差を p-n 接合の接合電圧と言うが、この電位差は、p,n 型半導体の不純物濃度で決まっている。図 2.1の (B)(C) は、このときの p-n 接合付近の電荷密度 (ρ) と電場 (E) の様子を表したものである。この領域は空乏領域 (depleted zone) と

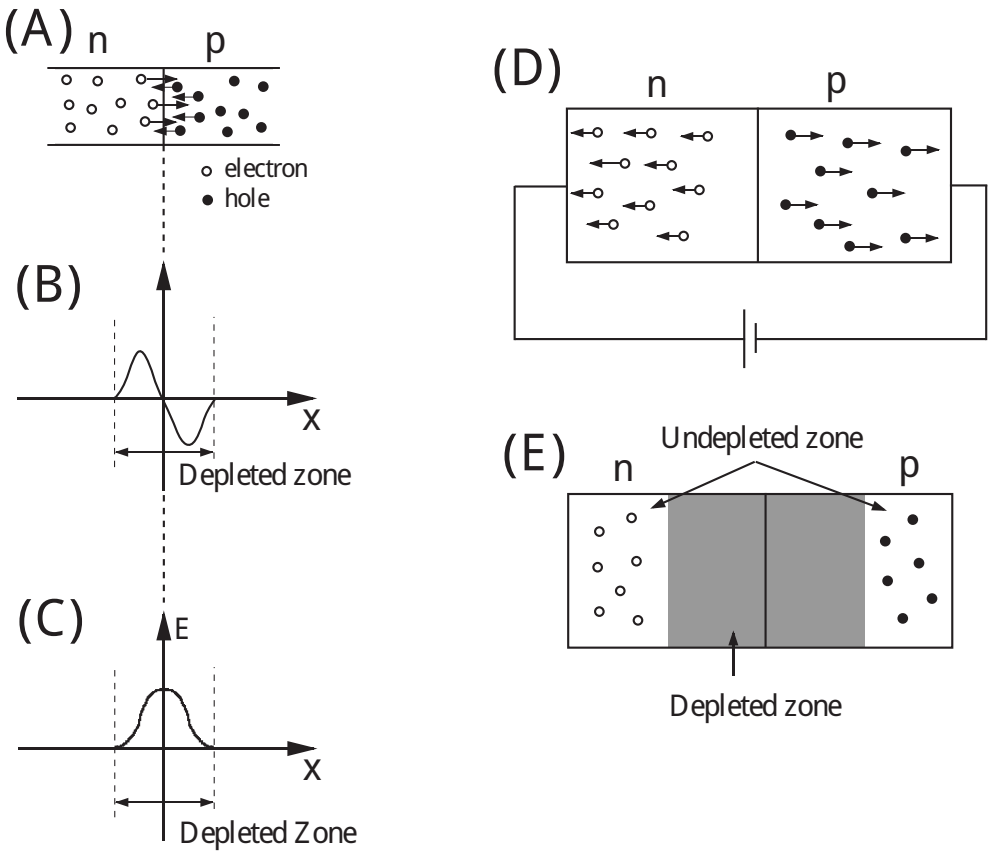

図 2.1: 空乏領域と逆バイアス電圧

呼ばれ、今述べた理由により自由な電荷は存在しない。つまり、非常に抵抗の高い領域であるといえる。そして粒子の通過などによって発生した電荷は再結合などによって失われる事

なく、電場によって空乏領域の外へ運ばれることになる。したがって原理的には、外部の電極によって電荷が読み出せ、半導体検出器として動作することになる。
しかし、このままでは検出器として不充分な性能しか示さない。まず、作られた電子や正孔を集める電場が非常に弱く、電荷の収集効率が悪い。また、空乏領域は非常に薄く、電荷を集められる領域がせまいので、読み出される信号も非常に小さな物となってしまう。これを防ぐためには検出器中の空乏領域を厚くする必要があり、p-n 接合の外から高い電圧をかけて (図 2.1(D))、電子や正孔を補充し、高い電場をかけることにより空乏層を広げてやれば良い。これを逆バイアス電圧といい、p 側に対して n 側に高い電圧をかける。十分な逆バイアス電圧により、電子や正孔は再結合することなく、電極に引かれていくことになる。しかし、図 2.1(E) のように空乏化していない領域があると、電子や正孔は再結合してしまう。よって、検出器全体が空乏化していることが重要である。

2.1.2 信号の読みだし

半導体検出器からの信号は、電荷の量となって読み出される。つまり、逆バイアス電圧によって電極に集められた電荷は、図 2.2のように、チャージアンプによって電圧値に変換される。このとき、読み出された電荷 Q はチャージアンプの帰還コンデンサの容量 C_f によって、

$$V = \frac{Q}{C_f} \tag{2.1}$$

と変換され、出力電圧 V はディジタル変換された後、計算機に記録される。一般には、図 2.2のように検出器とチャージアンプはカップリングコンデンサを介してつながっている場合が多い。また、バイアス電圧の抵抗は数 MΩ 以上の非常に大きな抵抗を通じて与えられる。

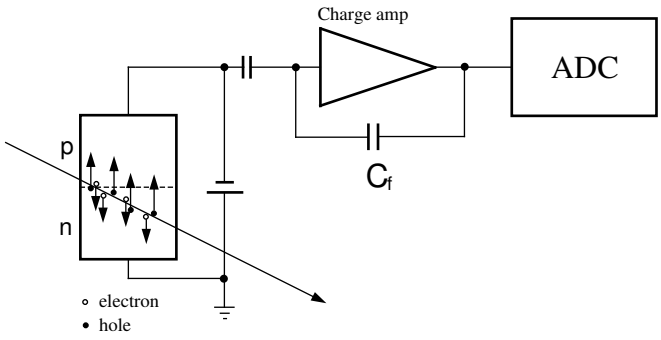

図 2.2: ダイオード型半導体検出器の読み出し

2.2 シリコンストリップ検出器

図 2.3に、基本となる片面型シリコンストリップ検出器の構造を示す。n 型半導体の表面

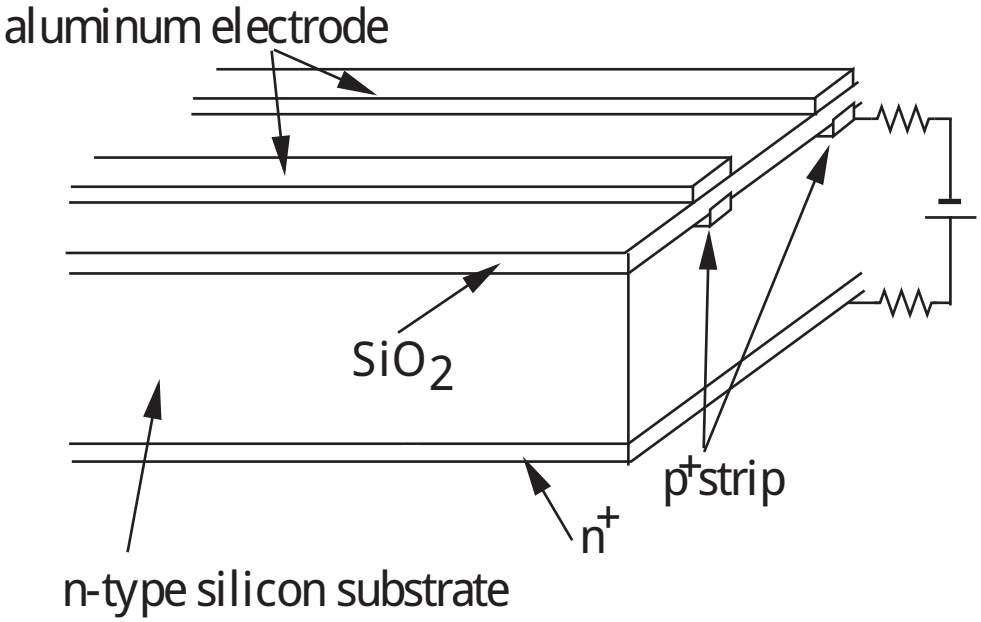

図 2.3: 片面型シリコンストリップ検出器

に p^+型半導体をストリップ状に形成し、反対側は n^+型半導体となるようにする。図 2.3のように十分な逆バイアス電圧をかけることによって、検出器全体を空乏領域にすることがで

きる。ストリップ状の p^+型半導体と、本体の n 型半導体とが p-n 接合を形成し、ストリップ 1 本ずつが半導体検出器として動作する。
検出器を粒子が通過すると、発生した正孔はバイアス電圧に引かれて、近くのストリップに集められる。この電荷を読み出すことにより、粒子の通過位置を知るわけである。P ストリップ上には、$2000\mathring{A}$ 程度の厚さの SiO_2の層をはさんで絶縁した上に、読み出し用の電極として約 10μm 幅のアルミニウム電極が張られ、ストリップと電極は容量的に結合している。この検出器に逆バイアス電圧をかけることによって、空乏領域はストリップの p-n 接合面から広がっていき、ストリップどうしを電気的に分離する。位置検出器としての性能は、ストリップの間隔で決まり、現在の半導体技術の進歩により $25\mu m$ 間隔で張ることも可能である。

2.3 BELLE 検出器におけるシリコンストリップ検出器

BELLE 検出器では、高い位置分解能を得るためにシリコンストリップ検出器を使用することは前に述べたが、1.3で述べたように、生成された $B^0 - \overline{B^0}$中間子からの崩壊粒子はそれほど大きな運動量を持たない。そのため、多重散乱を小さくするために検出器そのものの物質量は極力減らさなければならない。そのため次のような構造を用いることが考えられている。

2.3.1 両面型シリコンストリップ検出器

片面型のシリコンストリップ検出器では、1次元の情報しか分からないが、これを両面型にすることにより、同じ物質量で2次元の位置情報を知ることができる。図 2.4は両面型シリコンストリップ検出器の構造である。n 型半導体の両側に p^+型半導体と n^+型半導体のストリップを直交して張ってあり、それぞれ P ストリップ、N ストリップと呼ばれる。それぞれ不純物濃度が異なる接合面によって、半導体検出器として働くのは同じである。逆バイアス電圧をかけることによって、正孔は p^+のストリップへ、電子は n^+ のストリップへ集められ、それぞれ電荷として読み出される。この場合、隣どうしの n^+のストリップを電気的に分離するために、n^+のストリップの間に p^+のストリップを張ってある。これによりそれぞれの n^+のストリップを分離する (p ストップ分離) ことができる。

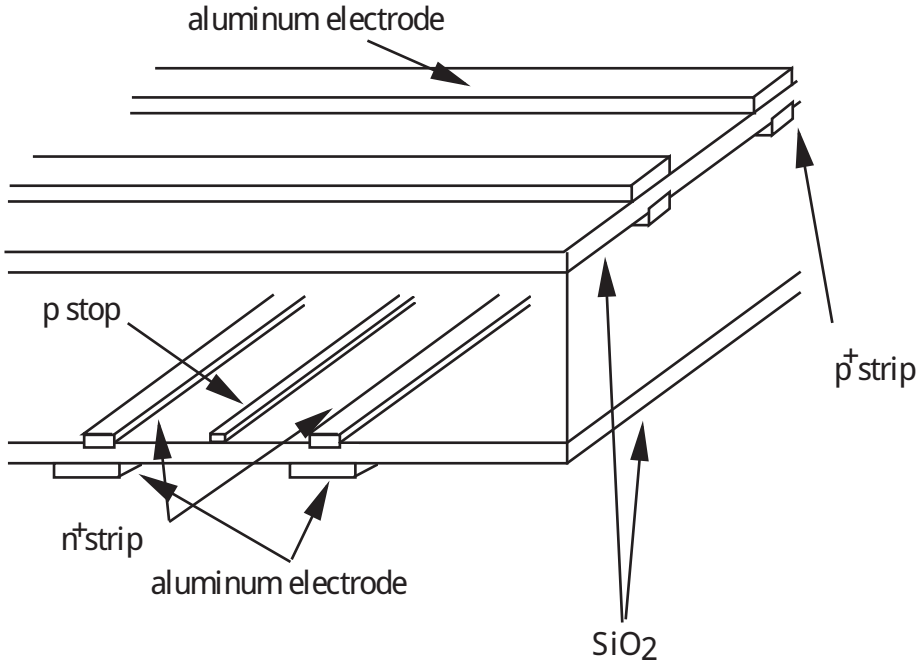

図 2.4: 両面型シリコンストリップ検出器

2.3.2 2重金属層構造

両面型シリコンストリップ検出器では、P ストリップと N ストリップが直交して張られている。ストリップからの信号の読み出しを同じ方向にするため、2重金属層構造 (double metal layer、以下 DML) を用いることが考えられている。DML は図 2.5のように、ストリップからの信号を誘起するための金属線 (これを 1st-metal という) の上に、一様に薄い絶縁層を作り、その上にストリップと直交した読み出し用の金属線 (これを 2nd-metal という) を張る。そして、上下 2 つの金属線を対応させてつないでいく。この構造により、P ストリップと N ストリップは同じ方向に読み出すことができるようになるが、DML は検出器の容量を増やし、ノイズを増加させる原因にもなる。

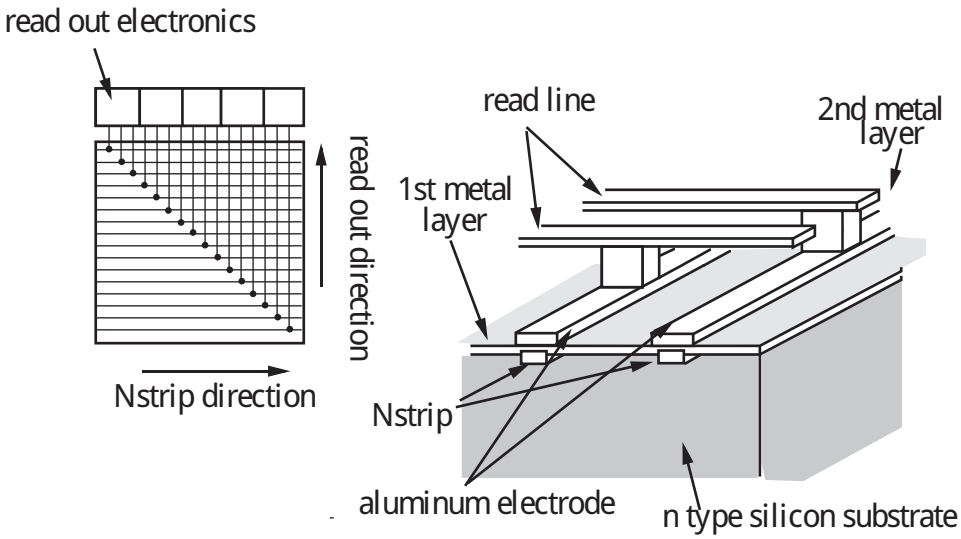

図 2.5: 2重金属層構造

2.3.3 ギャンギング

2重金属層構造を用いる場合、リードラインとなる 2nd-metal は技術上の問題から 50μm 程度の間隔でしか張れない。よって、正方形でない検出器の場合、ストリップの数の方が、リードラインよりも多くなってしまうことがある。このとき、1本のリードラインで複数のストリップを読み出すことになる。これを、ギャンギングという。ギャンギングは、1つのプリアンプに対して、複数のストリップがつながるので、アンプからみる検出器の容量は増

加することになる。また、単独の検出器では、複数のギャンギングのどこを粒子が通ったか特定することはできないという問題も起こる。

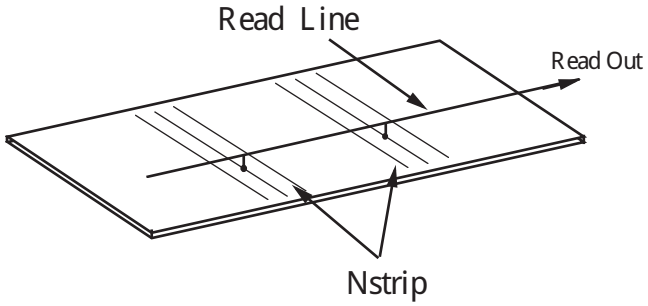

図 2.6: ギャンギング

2.3.4 信号の読みだし

信号の読み出しは一般の半導体検出器とまったく同じである。しかし、シリコンストリップ検出器は高い位置分解能を要求されるため、数十μm という間隔でストリップが張ってあり、結果として非常に多くのストリップの読み出しをしなければならない。そのため、最近のシリコンストリップ検出器では、集められた電荷の信号をストリップごとに独立したチャージアンプによって電圧変換したのち、時間分割化して単一の信号線にのせる方法が取られている。そして、時分割化された信号はフラッシュADC によってディジタル信号に変換され、コンピューターに記録される。
この時間分割化回路は、検出器全体の性能を左右する重要なものであり、マイクロチップ化されたものが各地で開発されている [1]。

2.4 大面積化による影響

BELLE 検出器においてシリコンストリップ検出器は、必要なアクセプタンスを確保するために大面積になることはすでに述べた。これは、複数枚のシリコンストリップ検出器の読み出し電極を、ワイヤーによってボンディングすることによって実現される。このとき検出器にはどのような性能の低下が起こるのだろうか。考えられる影響は、

- 検出器の容量増加などに伴う、ノイズの増加
- 寄生容量増加に伴う、読み出される電荷の減少
- クロストークなどによるストリップ間分離の悪化

である。これらについて、その原因を考えてみよう。

•ノイズの増加

大面積になるとストリップが長くなり容量が増加し、そのためノイズが増えることは避けられない。また、検出器の漏れ電流も増加し、ノイズを増やす。今回の測定においては、予測されるノイズの値と、測定されるノイズの値が一致するかどうかに、重点を置いた。

•読み出される電荷の減少

読み出される電荷が減少すれば、当然 S/N 比が悪くなり、検出効率や位置分解能に影響する。読み出される電荷の大きさは、検出器の容量とチャージアンプの入力容量によって決まる。よって、検出器の容量が大きくなることにより、得られる電荷が小さくなる可能性がある。

•ストリップ間の分離の悪化

高い位置分解能を得るためには、ストリップ同士が電気的に分離されている必要がある。しかし、検出器が大面積になり、ストリップ間の容量が増えると、互いのストリップ同士が高い容量でつながっていることになり、電荷が得られるストリップの範囲が広がる可能性がある。よって測定では、面積の広い検出器において、ストリップ間のクロストークに変化がないか確かめた。

第 3 章

容量の評価

BELLE 検出器で使用する予定の両面型シリコンストリップ検出器 (以下 DSSD) は、必要なアクセプタンスを確保するため大面積となる。これは検出器の容量を増加させ、ノイズを増やす原因となる。また DML 構造も容量を増加させる原因となる。そのため、比較的高い位置分解能の必要でないところではストリップ間隔を広げ、容量を小さくすることとの最適化をはかる必要がある*。よって、検出器の設計のためには、その構造から容量を見積もる方法を確立することが重要である。ここでは各種モデルによる計算を説明する。

3.1 使用する検出器

今回の測定に使用する DSSD は浜松ホトニクス社製 DS640 と呼ばれるもので、1995 年度より、CERN の DELPHI 検出器に組み込まれる予定のものである。この検出器は、以下の項目において、BELLE 検出器で使用される予定の DSSD と共通している。

- 両面型である。
- n 側の読み出しに 2 重金属層を使用している。
- N ストリップの分離に P ストップを使用している。
- n 側でギャンギングを使用している。
- 複数の検出器がワイヤーボンディングで接合されている。

*必要な位置分解能と検出効率を保証するため S/N=20 が要求されている。このためには、全領域で容量は 30pF 以下であることが望ましい。[2]

	P 側	N 側
ストリップ数	1281	1280
読み出しストリップ数	640	1280
ストリップ間隔 [μm]	25	42
読み出し間隔 [μm]	50	84
ストリップ長 [mm])	54.0	32.0
ストリップ幅 [μm]	8	14
p ストップ幅 [μm]	-	16
容量結合 SiO_2層の厚さ [$\AA$]	2700	2700
基板の厚さ [μm]	280	
第 2 層アルミ電極の数	-	640
第 2 層アルミ電極の間隔 [μm]	-	50
第 2 層アルミ電極の幅 [μm]	-	8
DML 絶縁 SiO_2層の厚さ [μm]	-	5

表 3.1: 浜松ホトニクス社製 両面型シリコンストリップ検出器 (DS640) の仕様

- BELLE で使用する検出器とほぼ同サイズである。

表 3.1に、使用した検出器の詳細を示す。

この検出器は、n 側に 1280 本のストリップがあるが、リードラインが 640 本しかない。そのため隣り合う 2 本のストリップを 1 本のリードラインにつないでいる。

また、今回使用した検出器は、複数の検出器をつないだときの影響を調べるために 2 枚の DS640 を用い、その 1 部だけをワイヤーボンディングで接合してある (図 3.2)。読み出せるストリップは両面とも 640 本であるが、今回の検出器は、そのうち 384 本ずつに読み出し回路が付いており、その半分の 192 本がワイヤーボンディングされ、 2 枚の DS640 をつないだ領域となっている (図 3.3)。全てのストリップが読み出される場合と比べると、浮いている (接地されていない) ストリップが存在するため、検出器の容量は小さくなっていると考えられる。

後の便宜のため、p 側で検出器が 1 枚だけのストリップの領域を P1, 2 枚つなぎの領域を P2 とし、同様に n 側もそれぞれ、N1,N2 とする。ストリップ番号と、領域との対応は表 3.2

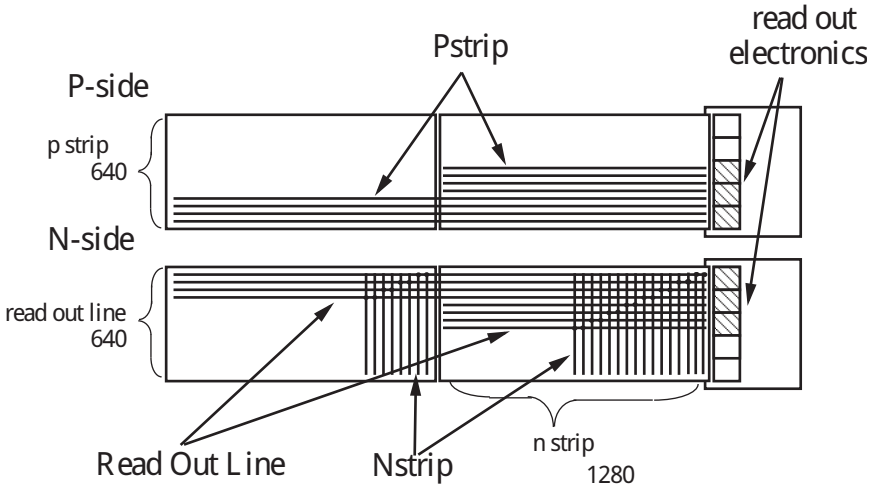

図 3.1: 使用した検出器 浜松ホトニクス社製 DS640×2

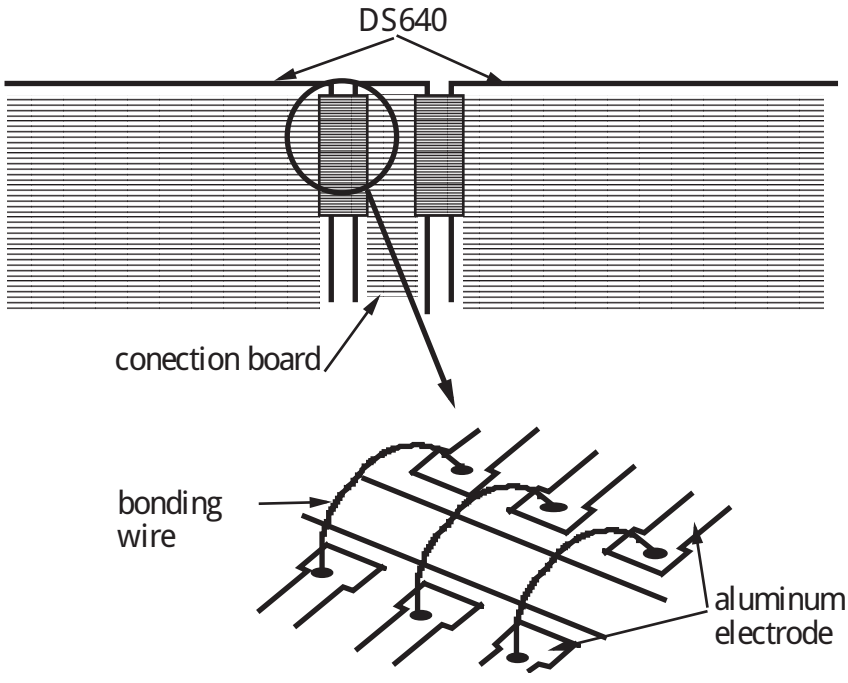

図 3.2: ボンディングの様子

ストリップ番号	1∼192	193∼384	385∼576	577∼768
領域	P1	P2	N2	N1

表 3.2: ストリップ番号と領域の対応

のとおりである。

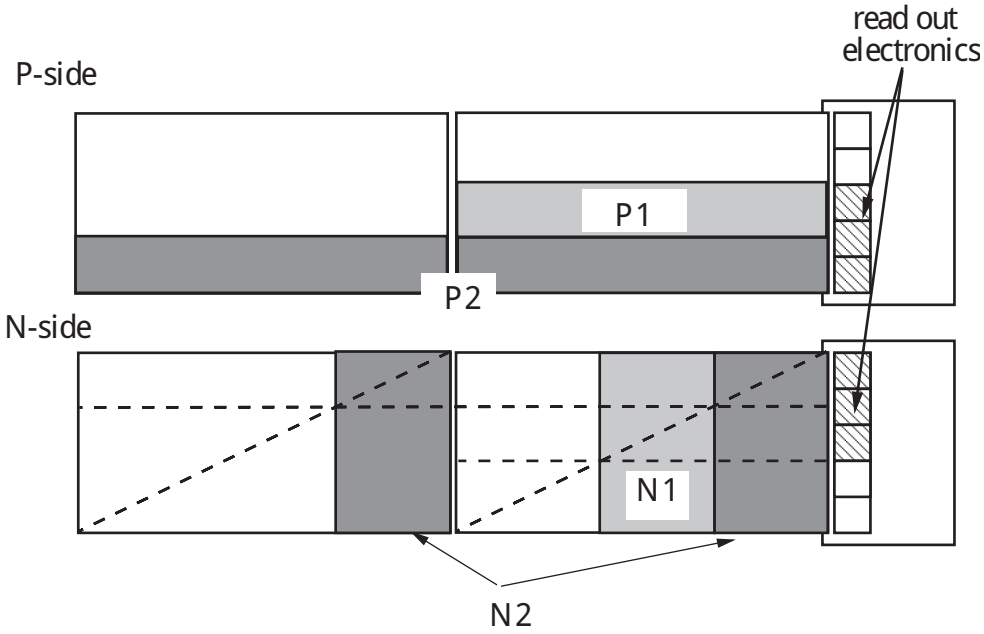

図 3.3: ワイヤーボンディングしてある領域

3.2 容量のモデル計算

第 1章で述べたように、SVD のデザインから、その容量が予測されること、並びに DSSD の容量から S/N が計算されることは非常に重要である。ここでモデルにより、検出器の容量を計算してみよう。実際の DSSD の容量は、読み出されるストリップと他のすべてのストリップとの間の容量を足し上げなければならないが、ここではまず単純に、読み出されるストリップと最近接のストリップとの間だけの容量をコンデンサとして考えて計算してみる。

3.2.1 コンデンサネットワークとしてのモデル

P ストリップ

p 側に関しては、

- ストリップ間の容量 (inter strip capacitance):$[C_i]$
- ストリップとバックプレーンとの容量 (back plane capacitance):$[C_b]$

の 2 つを考える。実際の構造と、コンデンサとして考えたときのモデルを図 3.4に示す。こ

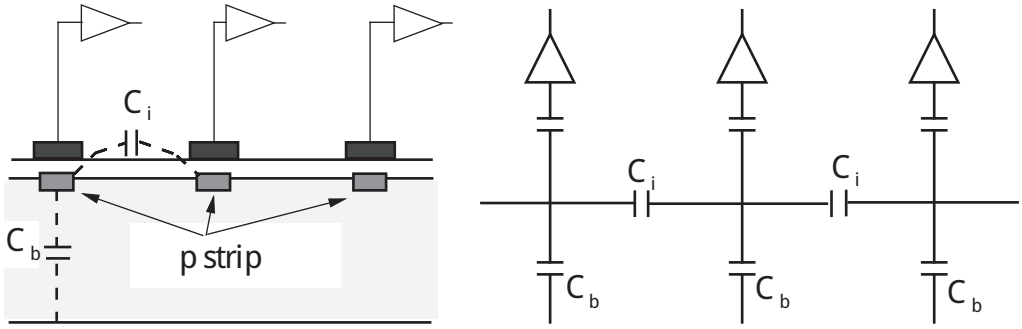

図 3.4: コンデンサネットワークとしてのモデル P 側

のとき、アンプがみる容量は

$$C_d = C_b + 2C_i \tag{3.1}$$

となる。ここで、ストリップと読み出し電極との間の容量は非常に大きいため (数 nF)、無視して考えることができる。

N ストリップ

N 側についてはすこし複雑になる。DS640 は N 側が 2 重金属層構造になっている。このため、最近接のストリップだけを考える時でも、

- ストリップ間の容量:$[C_i]$
- リードライン (2nd-metal) 間の容量:$[C_r]$

- リードラインが横切る他の全てのストリップとの容量:$[C_{21}]$
- ストリップ上を横切る他の全てのリードラインとの容量:$[C_{12}]$
- ストリップとバックプレーンとの容量:$[C_b]$

を、考えなければならない。(図 3.5) このとき容量は、

$$C_d = (C_b + 2C_i + C_{12}) \times N_{gang} + C_{21} + 2C_r \tag{3.2}$$

となる。ここで、N_{gang}はギャンギングの回数であり、複数のコンデンサが並列につながっていると考えて、和をとることにした。また、ストリップ数が 1280 本あるため 2 ストリップずつが 1 本の読みだしラインにつながっていること、N ストリップの間に p ストップがあることにも、注意しなければならない。

3.2.2 実測データによる定式化

[4] によって、種々の実測データより容量の計算が定式化されている。まずこの式を用いて、上記の各容量を計算してみる。ここで、検出器の寸法のパラメータは図 3.6に示す。

P ストリップ

p 側においては下式が得られている。

$$C_i[pF] = \{0.45 + 0.55 \times (W_p/p_p)\} \times L \tag{3.3}$$

$$C_b[pF] = 0.0024 p_p \times L \tag{3.4}$$

$$\begin{pmatrix} W_p, p_p & : & \mu m \\ L & : & cm \end{pmatrix}$$

ここで、パラメータはストリップ間隔 (p_p)、ストリップ幅 (W_p)、ストリップの長さ (L) であるとし、実験データを C_i は W_p/p_pの、C_bは p_pの関数として、長さ当たりの容量 $(\mathrm{pF/cm})$ を 1 次近似でフィットしている。

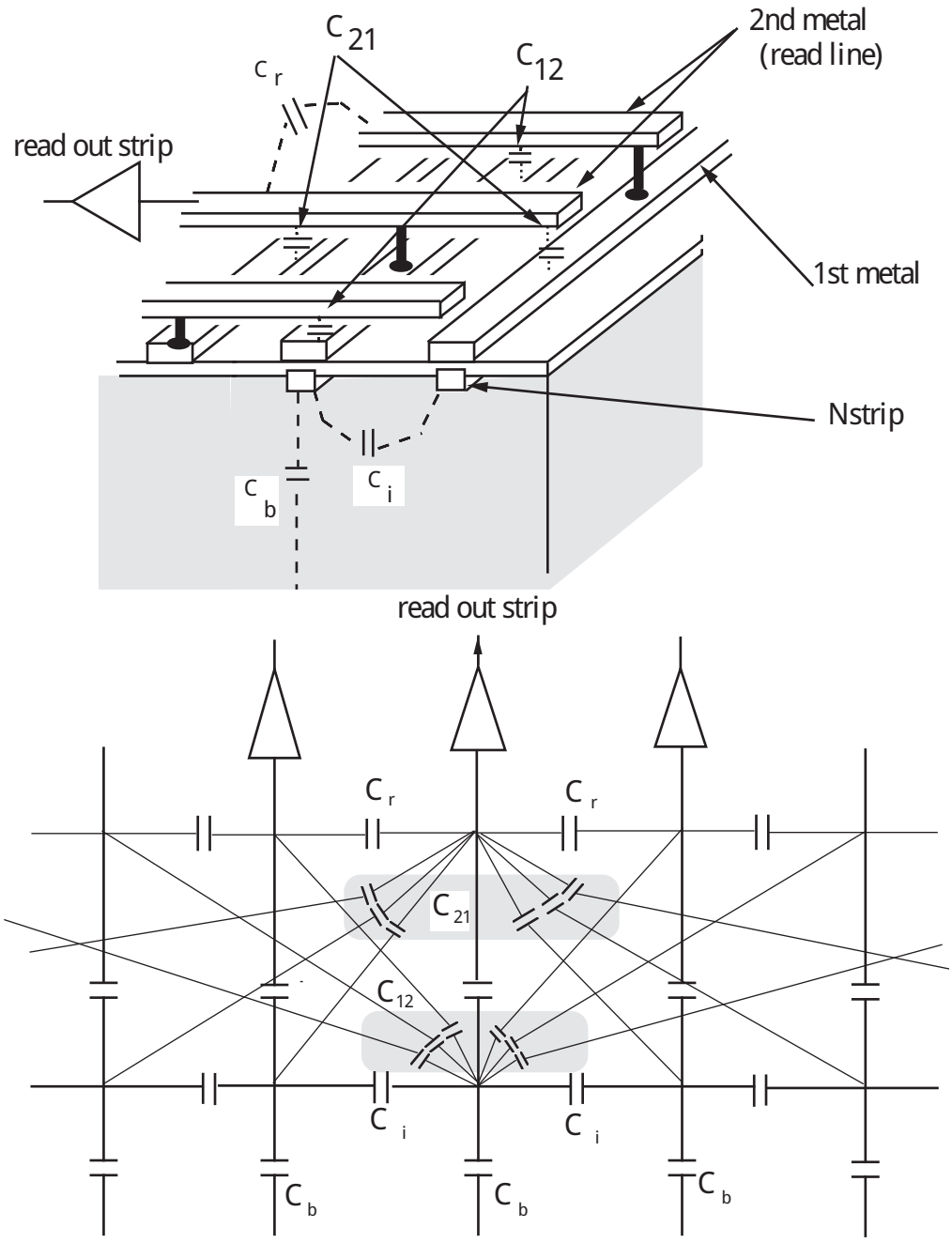

図 3.5: コンデンサネットワークとしてのモデル N 側
ここで C_{21}は網かけの部分の和である。C_{12}も同様。

N ストリップ

N 側においては下式の結果が得られている。

$$2C_i[pF] = \{0.087W_n - 0.029W_{ps} + 1.59\} \times D \quad (3.5)$$

$$C_b[pF] = 0.0024p_n \times D \quad (3.6)$$

$$C_r[pF] = 0.27 \times L \quad (3.7)$$

$$C_{over} = 4.1[\mathrm{fF}] \times N_{over} \quad (3.8)$$

$$\begin{pmatrix} W_n, W_{ps}, p_n & : & \mu m \\ L, D & : & cm \end{pmatrix}$$

パラメータは、ストリップ間隔 (p_n)、ストリップ幅 (W_n) ストリップの長さ (D)、p ストップの幅 (W_{ps}) であるとしている。まず、C_b は p 側と同じ構造であり、同じ式である。C_r は幅 7μm, 間隔 50μm と固定することにより、長さのみの関数としている。
C_i は、p 側とは異なっている。n 側のストリップどうしを分離するために、p ストップを張ってあるが、ストリップの周りは電気抵抗の低い領域のままである。つまり、p ストップで仕切られた領域 $p_n - W_{ps}$ をストリップ幅と考えている (図 3.7参照)。
また、DML の寄与は、C_{12}/(1 格子点)=C_{21}/(1 格子点)=C_{over} とし、リードラインとストリップの 1 オーバーラップごとに一定の値としている。

計算結果

これらの式に、DS640 のデザインを入れて計算した。領域別の容量を表 3.3に示す。今回の検出器は一部のストリップしか読み出していない。全ストリップを読み出した場合、n 側においてはオーバーラップするストリップの数が増えるため、容量は増加すると思われる。比較のため、 1 枚の検出器で全ストリップを読み出した場合の容量も示しておく。

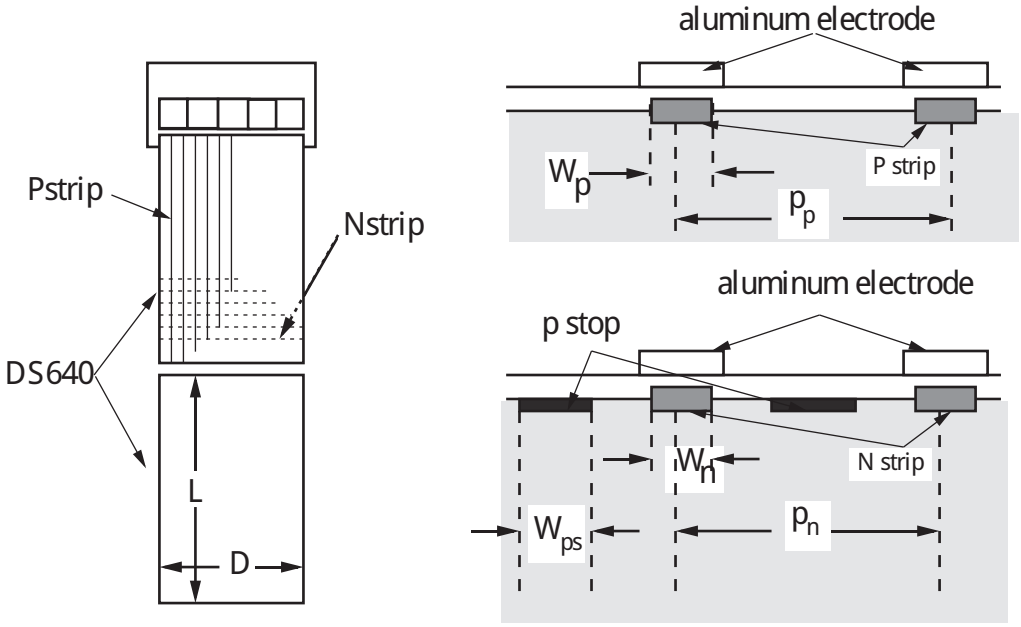

図 3.6: DS640 の容量に対するパラメータ

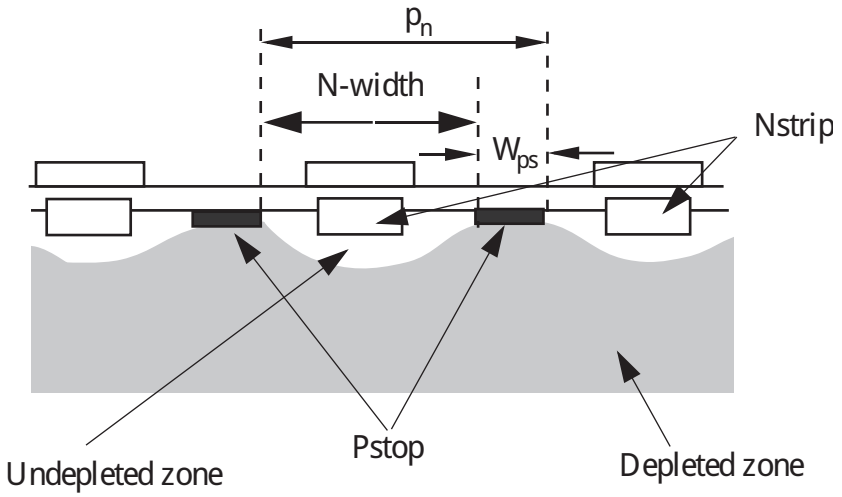

図 3.7: n 側のストリップのようす

3.2.3 LEP-SI モデル

上記の定式化を使って、[4] で実測された検出器と類似の構造を持つ検出器であれば、ある程度容量を見積もることができるであろう。しかし、パラメータとしなかった部分のデザインが違えば、容量はまったく計算できないことになる。よって、検出器の容量を、より基本的なパラメータからモデル化することが必要である。次に説明するモデルは、[5] によるもので、考えられるすべての容量を、コンデンサとして独立に計算している。ここで、得られる容量が前述の実測データと合えば、信頼できるモデルといえるであろう。

P ストリップ

まず、C_iから考える。ある幅のストリップが、有限な数だけ周期的にならんでいる構造であり、このモデルでは 1 つのストリップが有限幅の 2 枚の面の間を通っていると考えている。前モデルと同じように、ストリップ幅 W_p と p_p の関数であり、εは間の物質の誘電率である。ここで $\mathrm{k}=W_p/p_p, k' = \sqrt{1-k^2}$を定義し、

$$C_i = \begin{cases} \varepsilon \times \frac{1}{\pi} \ln(2\frac{1+\sqrt{k'}}{1-\sqrt{k'}}) \times L, & 0 \leq k \leq 0.7 \\ \varepsilon \times \frac{\pi}{\ln(2\frac{1+\sqrt{k}}{1-\sqrt{k}})} \times L, & 0.7 \leq k \leq 1 \end{cases} \tag{3.9}$$

と、与えられている。

次に、C_bは $300\mu m$ 離れたバックプレーンとの容量であり、ストリップの間隔に対し厚さが大きい。よって、ストリップはその間隔で仕切られた面のように振る舞う。すると、ストリップ間隔 p_p、シリコンバルクの厚さ d_{bulk} によって、

$$C_b = \varepsilon \frac{p_p}{d_{bulk}} \times L \tag{3.10}$$

と表される。

N ストリップ

まず、ここで n 側に関しては、DML 構造になっているので、ストリップ間隔とストリップ幅をそれぞれ、1st-metal に対しては p_1, W_1、 2nd-metal に対しては p_2, W_2 と定義しておく。

n 側は、C_b と C_iに関しては、p 側と同じ計算方法を用いる。ストリップの構造的には、p 側

と n 側には何も違いがないからである。ただし、前述のように、p ストップを使用しているので、実効的なストリップ幅 W_1 は、ストリップ間隔 p_1、p ストップ幅 W_{ps} によって、

$$W_1 = p_1 - W_{ps} \tag{3.11}$$

としなければならない。また C_r も、C_i と同様に考えられる。違いは間の物質の誘電率だけである。

ここで詳しく考えるのは、DML の寄与である。この容量も有限の面積を持った電極間のコ

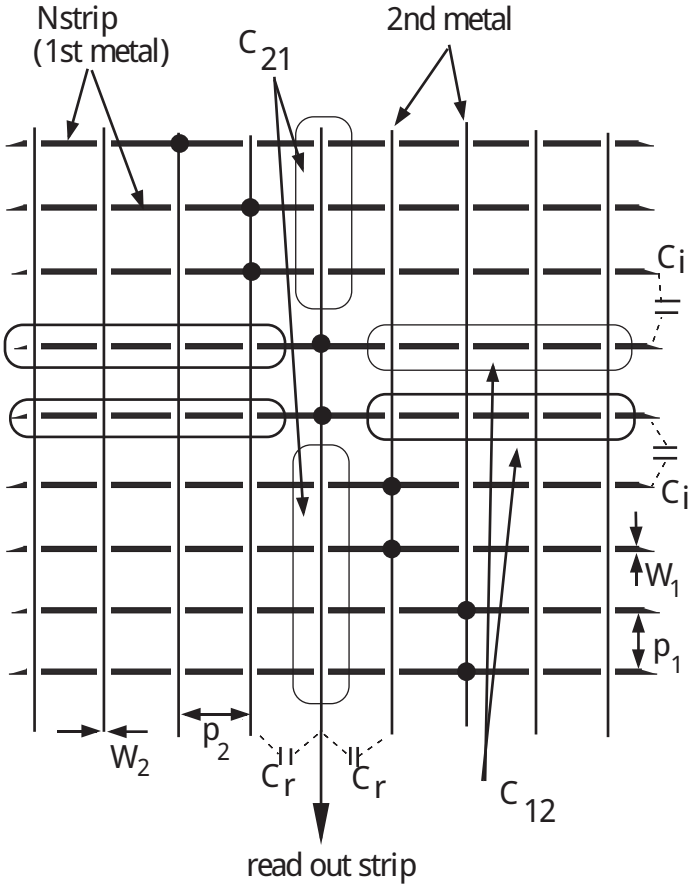

図 3.8: LEP-SI モデルにおける DML による容量

ンデンサとして考えている。図 3.8 で C_{21} は、幅 W_2 のリードラインが、幅 W_1、間隔 p_1 のストリップ N_1 本と結合する容量である。ここで、C_{21} を、次のような関数で表している。

$$C_{21} = \frac{\varepsilon}{d} W_2 f_2 \left(N_1 p_1 \alpha_1 \right) \tag{3.12}$$

つまり、1st-metal 層が長さ $N_1\,p_1 = L$ の連続な面であるとして、有限幅の面とリードライン (2nd-metal) の間の容量を求めるための係数が f_2 であり、これは 2 つの層の間隔 d と W_2 の関数として、

$$f_2 = 1 + \frac{\ln\left(\frac{\pi W_2}{2\,d}\right)}{\left(\frac{\pi W_2}{2\,d}\right)} \tag{3.13}$$

と求められている。1st-metal 層の、面からストリップへの補正係数がα_1であり、これは $(W_1/p_1 < \alpha_1 < 1)$ となることは、感覚的にもわかるであろう。α_1は、W_1, p_1, ε, d によって決まるが、d が $5\mu m$ と大きい場合、$\alpha_1 \simeq 1$ としてよいとしている。
次に、C_{12}は、幅 W_1のストリップ上を、幅 W_2、間隔 p_2のリードライン N_1本が交差して結合する容量である。これも、C_{21}同様に、

$$C_{12} = \frac{\varepsilon}{d}\,W_1 f_1\,(N_2 p_2 \alpha_2) \tag{3.14}$$

$$f_1 = 1 + \frac{\ln\left(\frac{\pi W_1}{2\,d}\right)}{\left(\frac{\pi W_1}{2\,d}\right)} \tag{3.15}$$

となる。やはり、幅 W_1のストリップが有限幅の面と長さ $N_2\,p_2 = D$ で向かい合っているとして、容量を求める係数が f_1であり、同様に、$(W_1/p_1 < \alpha_1 < 1)$ となっている。ここで、α_2は、値が数値計算されていて、$W_2 = 8\mu m, p_2 = 50\mu m$、$5\mu m$ の SiO_2層で絶縁しているとき、α_2=0.60 としている。

計算結果

得られた式に、DS640 のデザインを代入した。計算された容量は、表 3.3に領域別の値として示す。また、データの定式化と同様に、 1 枚の検出器で全ストリップを読み出した場合の容量も示しておく。

3.2.4 測定された結果

使用した DS640 と同タイプのものの容量が新潟大学において、キャパシタンスメータにより測定されている [6]。その結果は、

p 側　$6.0pF$
n 側　$20.0pF$

である。ただしこの結果は、 1 枚の DS640 を用い、P 側では測定されるストリップの周りの 100 ストリップのみがグランドに落とされている状態で測定された。p 側のモデルの計算

	今回の検出器				DS640 一枚	
領域	P1	P2	N1	N2	P	N
データの定式化 [pF]	6.5	12.9	16.3	29.5	6.5	20.5
LEP-SI モデル [pF]	7.3	14.6	16.8	29.9	7.3	21.8
測定結果 [pF]	-	-	-	-	6.0	20.0

表 3.3: 容量の計算結果の比較

において、最近接以外のストリップは計算に入っていないが、実際には全てのストリップを読み出す場合は、離れたストリップとの容量が加算されるため、全体では容量は数%程度増加するものと考えられる。表 3.3に、上の 2 つの計算結果と実験による測定結果をまとめる。以上の結果を比較し、これらのモデルは 10∼ 20 %程度の誤差で、容量を見積もることができるといえる。

第 4 章

実験

この章では、実際にシリコンストリップ検出器を用いて放射線を測定し、その性能を評価する。これにより、複数の DSSD をボンディングによってつないだときの影響や、前章で容量から予測された性能との比較を行ない、BELLE 検出器の DSSD 設計に必要なデータを集めるのが目的である。

4.1 実験装置

4.1.1 実験のセットアップ

今回の実験では、放射線源として、^{90}Sr からのβ線*を使った。この方法はプラスチックシンチレータで外部トリガーをかけることができ、比較的簡単な実験装置で測定が可能であることが利点である。

実験のセットアップを図 4.1に示す。線源からのβ線は、DSSD を通過したのち、2 つのプラスチックシンチレータを通過する。このコインシデンスをとることにより、DSSD の読み出しトリガーとする。このときβ線は DSSD 中で、ほぼ最小電離粒子としてふるまうが、その落とすエネルギーをそろえるために、β線を DSSD に垂直なものにコリメートした。角度を持って入射した粒子で、複数のストリップ付近を通過し位置情報を不明確にするものも、これで除去した。ここではアルミニウム (2mm 厚) でコリメートし、シンチレータ (1mm 厚) の距離を離すことによって、入射角度を限定した。データ収集のための回路を図 4.2に示す。プラスチックシンチレータからコインシデンスをとったトリガーは、タイミングモジュール

*エンドポイントエネルギー=2.28MeV

と呼ばれるコントロールボックスへ入る。このモジュールの作るクロックにより、検出器から信号がフラッシュADC に読み込まれる。読み出し回路の詳しい説明は付録 Aに示す。

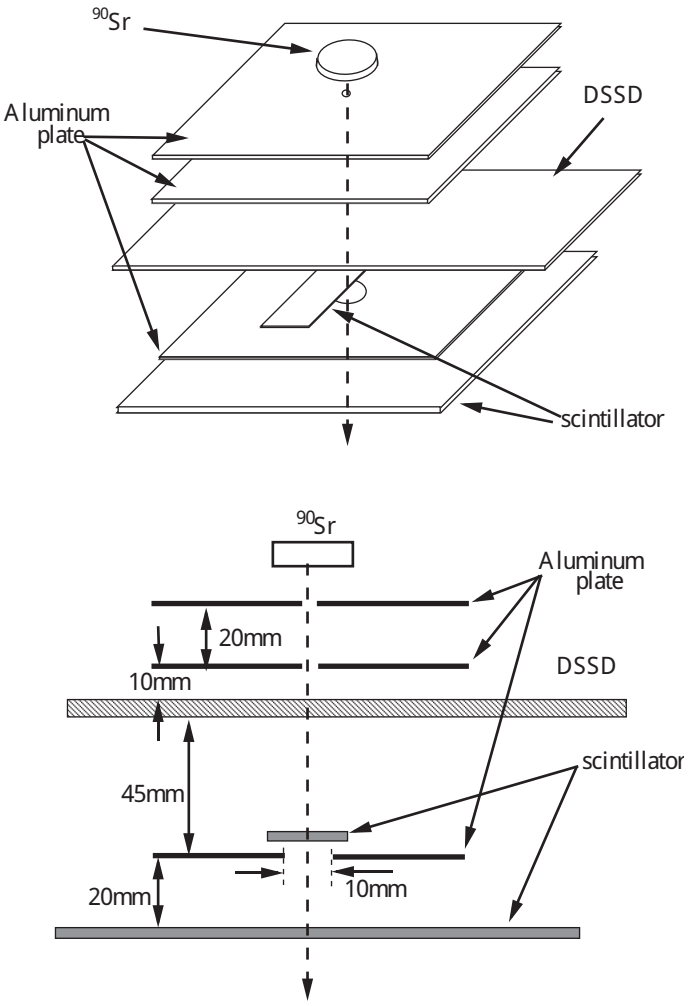

図 4.1: 測定のセットアップ

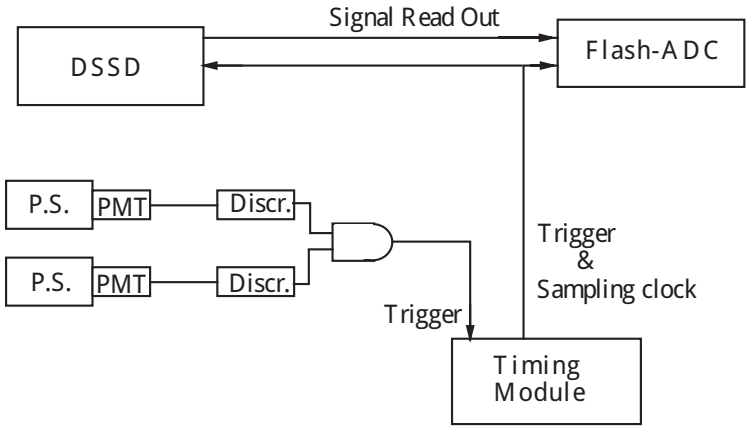

図 4.2: データ収集回路

4.1.2 読み出し用マイクロチップ

シリコンストリップ検出器では、非常に多数のストリップを読み出さねばならないため、複数のストリップからの信号を時分割し、単一のラインで読み出すための時分割化回路 (マルチプレクサー) が必要となる (図 4.3)。今回使用した検出器には Viking chip と呼ばれる、マイクロチップがついている。Viking chip は 1 ストリップごとに、読み出された電荷をチャージアンプによって電圧信号に変換し、シェイパーで積分し、全ストリップの信号を 1 本のリードラインにのせる [3]。Viking chip の詳細については付録 A で述べる。

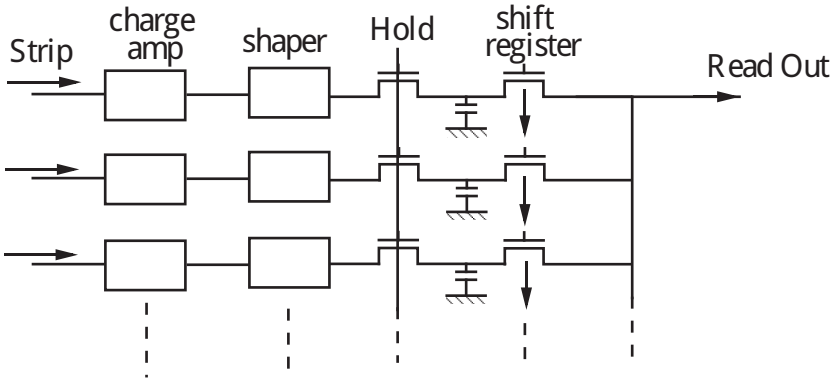

図 4.3: 時分割化回路の構造

4.2 データの解析

4.2.1 オフセット、コモンモードシフト、ノイズの定義

フラッシュADC に読み込まれた信号は、イベント番号、ストリップ番号、ADC 値の組となって解析される。このとき、Viking chip の回路の特性上、得られた ADC 値から、次の値を差し引かなければならない。

- 各チャンネルごとのオフセット値
- 事象毎のコモンモードシフト値

オフセット

これはストリップにシグナルが無い場合に、Viking chip が出力する電圧であり、各ストリップごとに固有の値を持つ。このためオフセット値は、シグナルの無いストリップに関して、過去 50 事象の ADC 値の平均値として毎事象に更新する。但し、シグナルがあるストリップはオフセット値は更新しない。i 番めのストリップの n 番めのイベントのオフセット値 $OFST_n^i$は、

$$OFST_n^i = \frac{1}{50} \sum_{j=n-50}^{n} ADC_j^i \tag{4.1}$$

で計算される。

コモンモードシフト

これは、あるイベントにおいて、全てのストリップの ADC 値の平均値が変動する量であり、原因としてはバイアス電圧の変動、Viking chip への電源電圧の変動などが考えられる。この値は、シグナルの無いストリップの ADC 平均値の、前事象との差で定義し、事象毎に更新する。つまり、n 番めのイベントのコモンモードシフト CMS_nは、

$$CMS_n = \frac{1}{N_A} \sum_{i=1}^{N_A} (ADC_n^i - OFST_n^i) \tag{4.2}$$

で計算される。ここで N_Aはシグナルの無いストリップの数である。
そして、最終的に、ADC 値からこれらの値を引いたものを、DSSD からの信号とする。

$$Q_n^i = ADC_n^i - OFST_n^i - CMS_n \tag{4.3}$$

ノイズ

この DSSD からの信号はそのストリップに集められた電荷量を表し、粒子がストリップを通った時は、その検出器中で落としたエネルギーを表す。しかし、ADC 値からオフセット、コモンモードシフトを差し引いてもその値は 0 にはならず、 0 を中心に有限の幅で揺らぐ。このシグナルのふらつきの標準偏差をノイズとして定義する。よって、n 番めのイベントの i 番めのストリップのノイズσ_n^iは

$$(\sigma_n^i)^2 = \sum_{j=n-50}^{n} (< Q^i > - Q_j^i)^2 \tag{4.4}$$

となる。このノイズもシグナルの無いときのみ、毎事象更新される。
ノイズの原因としては、検出器の容量、チャージアンプの帰還容量、検出器のバイアス抵抗の熱雑音、検出器の漏れ電流などが考えられる。

4.2.2 使えないチャンネル

DSSD の使用できないストリップはあらかじめデッドチャンネルとして、調べておく必要がある。まず、ストリップと Viking chip の結合線が切れている場合、DSSD からの信号はやってこない。これはノイズの非常に小さなチャンネルとなる。また、読み出しの電極とストリップの間の絶縁層が、破れていたり薄くなっていて漏れ電流が大きいとき、ノイズの非常に大きなチャンネルとなる。各ストリップのノイズカウントを図 4.4に示す。ノイズレベルが 0 になっているストリップはデッドチャンネルとしてソフトウェア的にカットされたストリップである。ここで、ノイズが同じ領域においての平均より 1.5 倍以上大きなチャンネルと 0.5 倍より小さなチャンネルを使えないチャンネルとした。表 4.1にそれぞれの領域での使えないチャンネルの数を示す。

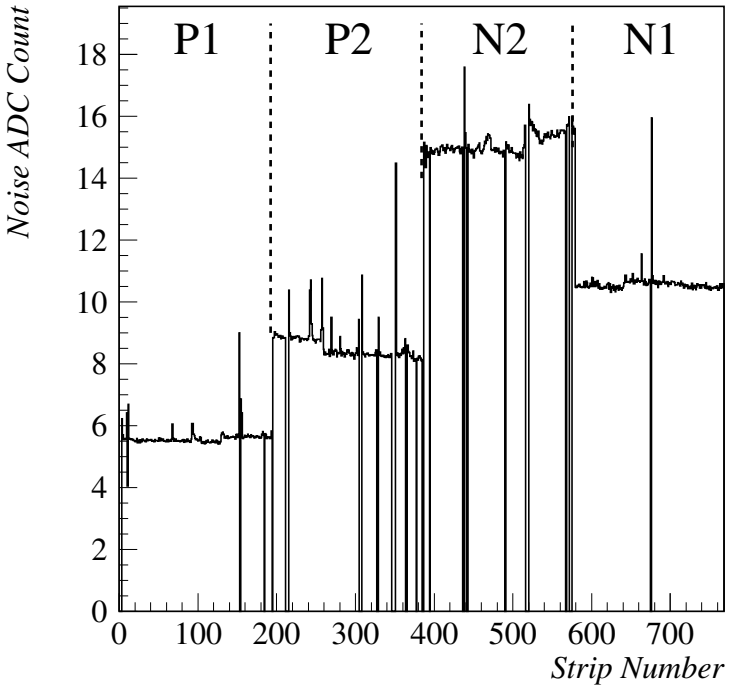

図 4.4: 各ストリップのノイズ分布

領域	P1	P2	N1	N2
使えないストリップ数	$\frac{4}{192}$	$\frac{18}{192}$	$\frac{1}{192}$	$\frac{16}{192}$

表 4.1: 使えないストリップの数

4.2.3 バイアス電圧

第 2章で述べたように、検出電荷総量は空乏領域の厚さに比例し、バイアス電圧に依存するので、十分なバイアス電圧で検出器全体を空乏化しなければならない。しかし、両面型の検出器の場合、空乏層は p-n 接合面から発達していくため、検出器全体がほぼ空乏化していても、n ストリップ側が十分には分離されていないおそれがある。このとき、n ストリップ側では、容量が大きくなっているため、ノイズが非常に大きい。よって、バイアスに対するノイズの大きさの変化をみることによって、必要なバイアス電圧を決定する。

ノイズの変化はバイアス電圧を上げていくと、図 4.5のように、p 側はほぼ一定であるが、

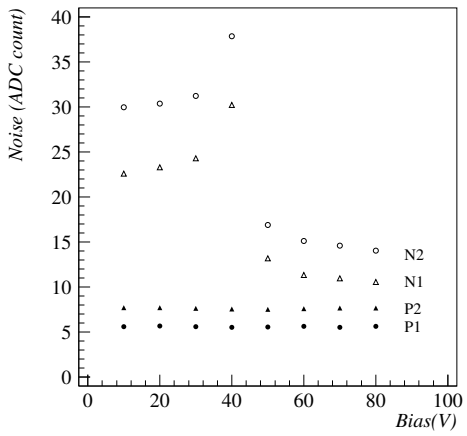

図 4.5: バイアス電圧によるノイズの変化

n 側は、一旦大きくなって、それから小さくなるのが観測された。これは次のように理解できる。

バイアス電圧が低いとき、隣り合ったストリップはつながった状態である (図 4.6(A))。このとき、ストリップから信号を読み出すアンプは、他の全てのストリップの電気回路の容量をみるわけであるから、ノイズが大きい。電圧が高くなり、空乏領域が n 側まで達すると、ストリップ同士が分離される。しかし、抵抗の低い非空乏領域の間が狭く、ストリップ間の容量が非常に大きいため、ノイズが大きい (図 4.6(B))。さらに電圧が高くなると、ストリップ間の間隔が拡がっていき、容量は小さくなっていく (図 4.6(C))。このためノイズが下がっ

ていく。
ノイズが極大になるのは、空乏領域が n 側まで到達し n 側のストリップを分離し始めるときに対応するはずである。バイアス電圧の大きさ V と空乏領域の厚さ x との間には次の関係がある [11]。

$$x = \sqrt{\frac{2\epsilon(V + V_{pn})}{ne}} = \sqrt{2\rho\mu\epsilon(V + V_{pn})} \tag{4.5}$$

ここで、n は単位体積当たりの不純物の数 (cm^{-3})、e は電子の電荷 $(=1.6\times10^{-19}C)$、ϵはシリコンの誘電率 $(\approx 1\mathrm{pF/cm})$ 、ρはシリコン基板の抵抗係数 (典型的には $1 \sim 10k\Omega$)、μは電荷の易動度 (電子は $1350cm^2/V/s$、正孔は $450cm^2/V/s$)、V_{pn}は p-n 接合の接合電圧 (数 $\mathrm{k\Omega cm}$ の抵抗係数では約 $0.8\mathrm{V}$) である。同じ浜松ホトニクス社製の検出器を測定した結果より不純物濃度は、$7\times10^{12}\mathrm{cm}^{-3}$程度と測定されている [7]。これらをつかうと空乏領域の厚さが $280\mu\mathrm{m}$ になるバイアス電圧は $45\mathrm{V}$ 程度と計算され、ノイズの極大値の電圧と一致する。図 4.5をみると、$50\mathrm{V}$ 付近で空乏層は n 側に到達している様であるが、ストリップの分離の情況は、$80\mathrm{V}$ ぐらいまでは良くなっているようである。今回の実験では、特に断わらない限り、バイアス電圧は $80\mathrm{V}$ とした。

4.2.4 クラスター

荷電粒子が検出器内を通過すると、作られた電荷がその付近のストリップに、集められ、信号として読み出されることになるが、このときシグナルの得られるストリップは数本に渡った” クラスター” となる。データの解析ではまず、このクラスターを見つけなければならない。ここに、各領域での平均のクラスターの形を図 4.7に示す。
これをみると、P ストリップの方が、N ストリップよりもクラスターが拡がっていることがわかる。これは、読み出されるストリップの間隔が、P 側が $50\mu\mathrm{m}$ であるのに対し、n 側は $84\mu\mathrm{m}$(表 3.1参照) となっていることが大きな理由である。
ここで、連続した N_wストリップのシグナルの和がある閾値 (threshold) を超えるもののうち最大のシグナルをもつものをクラスターとして、粒子の落としたエネルギーを計算した。

$$Q_{sum} > threshold \times \left(\sum_{i \in N_w} (\sigma^i)^2 \right)^{1/2} \tag{4.6}$$

図 4.7をみると、信号の 90 %以上が中心 3 ストリップに集まっていることがわかる。よって、N_w=3 とした。また、閾値は高く設定し過ぎると検出効率を下げ、低く設定すると、ノ

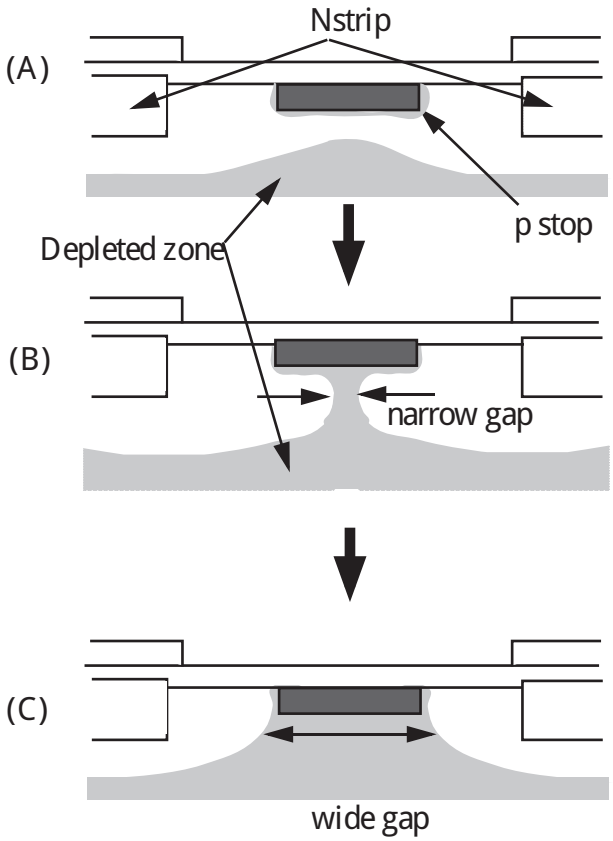

図 4.6: n 側が分離されるようす

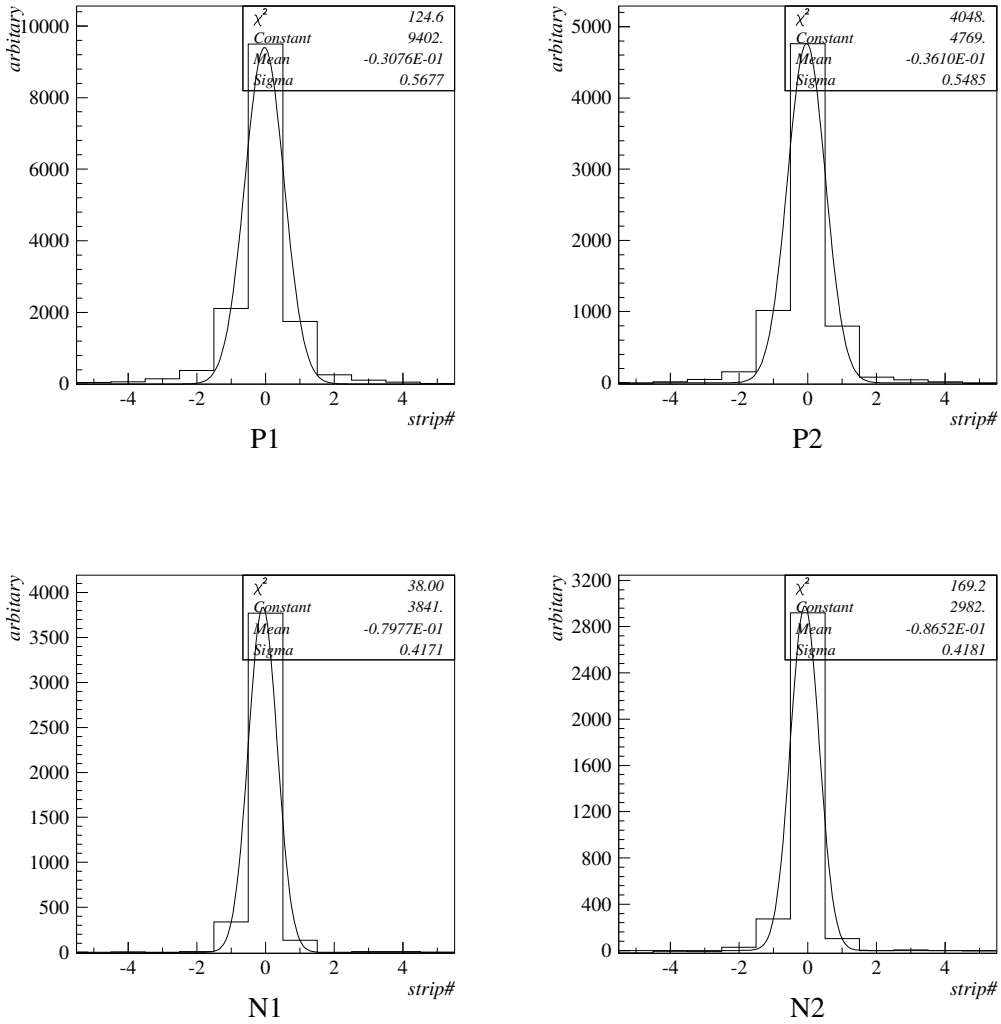

図 4.7: 典型的なクラスターシェイプ

イズによる偽イベントをつかむことになる。今回はノイズの 5 倍を閾値とした。

4.2.5 検出電荷総量

クラスターを形成するストリップの Q_n^i の和 Q_{sum} は、荷電粒子が検出器中に落としたエネルギーを表す。これを、検出電荷総量として定義する。4.2.4で、クラスターを探すためには、 3 ストリップの和が閾値を越えるという基準をとった。しかし、 3 ストリップ内には、生成された電荷のうちどれだけの割合が含まれるのか。
図 4.7の平均的なクラスターにおいて、中心 3 ストリップのみの電荷を集めると、p 側では 5 %程度ロスがあるため、クラスターを探す場合は 3 ストリップとするが、検出電荷総量は 5 ストリップの和として定義する。
この検出電荷総量の分布はランダウ分布に従うと考えられる。p 側、n 側での分布を図 4.8 に示す。

4.2.6 ノイズ

前節で定義したノイズの、各ストリップによる分布は、図 4.4にすでに示した。ノイズの大きさは、各領域ごとに異なっていることがわかる。これは、領域によって容量や漏れ電流の大きさが違うためで、第 3 章で求めた容量の大小関係と一致している。このことより、ノイズの大きさは、領域ごとに定義することとする。ここで、各領域でのノイズの分布を図 4.9に示す。

4.3 検出器の性能評価

複数の検出器をつないだ場合、容量の増加から性能が低下する可能性がある。ここでは領域による違いと、容量から予測された値との比較という点に注目して、検出器の性能を評価した。

4.3.1 検出電荷総量の相関

電荷収集が完全でありノイズが全くない検出器では、 1 つの粒子が検出器を通過したとき、p 側と n 側の検出電荷総量は等しい。また、領域によっても変化しない。しかし、実際には 4.2.5でみたように、まったく同じ値になっているわけではない。検出器の構造やスト

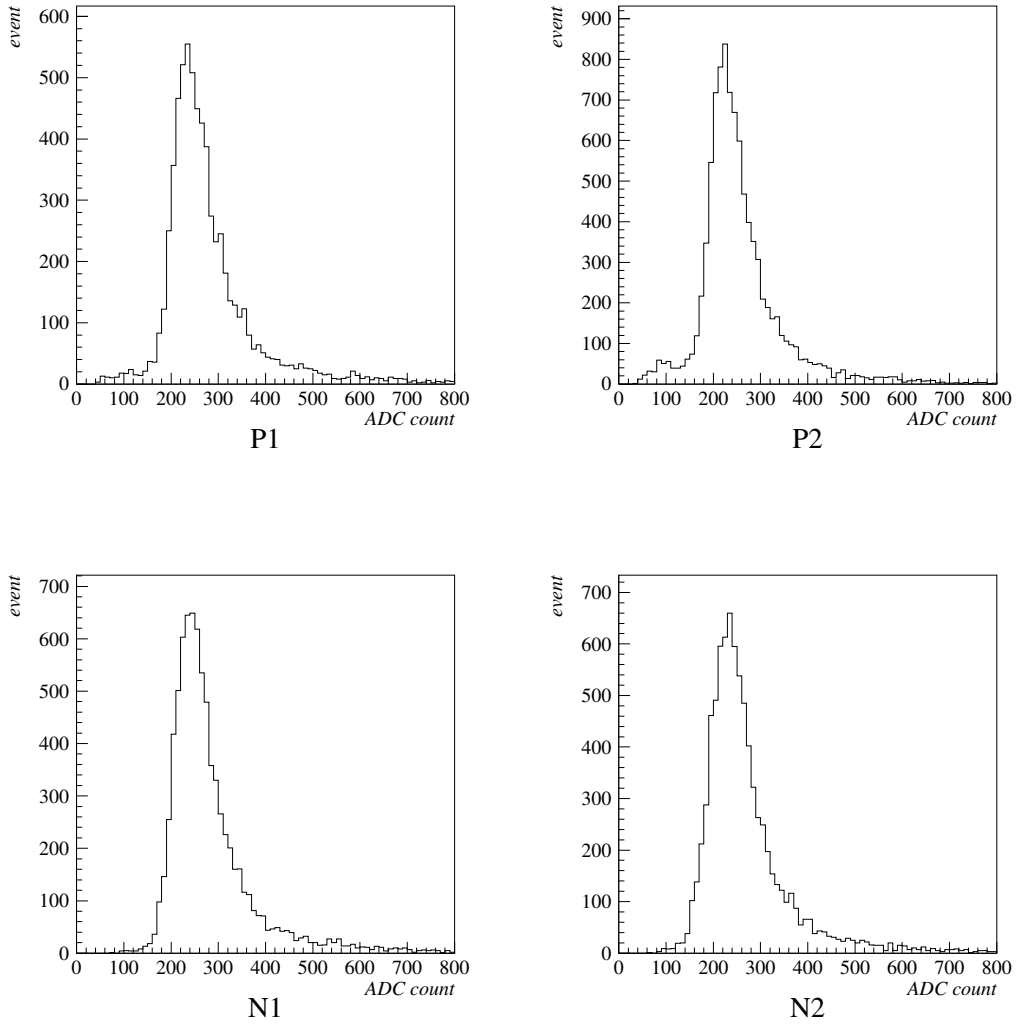

図 4.8: 検出電荷総量の分布

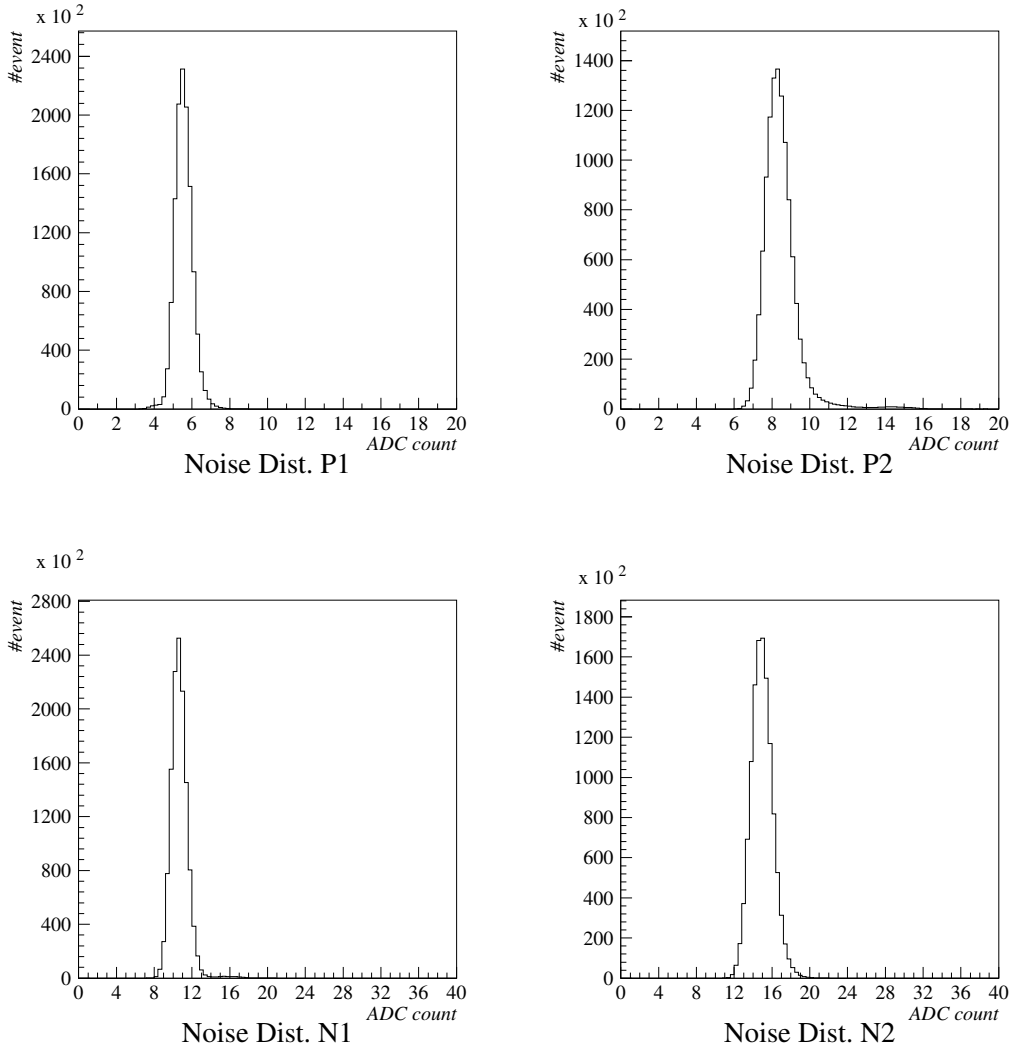
x 10 2
#event
ADC count
Noise Dist. P1
Noise Dist. P2
Noise Dist. N1
Noise Dist. N2

図 4.9: ノイズの分布

領域	P1-N1	P2-N1	P1-N2	P2-N2
補正値 R	1.08	1.04	1.11	1.08
A の標準偏差	30.9	31.6	44.6	48.5
10 ストリップのノイズの和	26.7	30.1	35.7	38.3

表 4.2: 領域による A の分布
(R 以外は ADC count)

リップの構成によっては、読み出される電荷は検出器中に生成された電荷の 80∼90 %程度であることが、[8] で報告されている。つまり、検出器内に生成された電荷は 100 %集められているわけではなく、領域によって、収集効率に違いがあることが考えられる。図 4.10に領域別の、P ストリップと N ストリップで得られた電荷の相関を示す。理想的な検出器では図の各点は傾き 45 度の直線に乗るはずである。実際には、各領域での収集効率の比で傾きがきまり、ノイズなどによりその直線のまわりにばらつくことになる。

このノイズなどによるばらつきの量を、定量的に見積もるために、次のような量を定義した。

$$A = Q^p_{sum} - RQ^n_{sum} \tag{4.7}$$

ここで、R は p 側と n 側の検出電荷総量の大きさの違いを補正する値で、図 4.10の傾きを表す量である。実際には、検出電荷総量の p 側と n 側の比の平均値を用いる。この A の分布をとったのが、図 4.11である。この A の分布の標準偏差は、ストリップごとのノイズの和になると考えられるが、現在検出電荷総量は 5 ストリップの和をとっているので、p 側と n 側合わせて 10 ストリップ分のノイズになるはずである。それぞれの大きさと補正値 R の値を表 4.2に表す。検出電荷総量の標準偏差は、ノイズによるものだけよりも大きい。これは、各チャンネルの増幅率のばらつき、つまり Viking chip 内部のチャージアンプの増幅率の違い (5 %程度) でほぼ説明できる。

4.3.2 クラスターの広がり

クラスターの幅について、領域別に見てみる。図 4.7で、領域別のクラスターの形を見た。クラスターの幅は、ストリップの周りの電場の強さや、ストリップ間の容量によるクロストークなどで変化することが考えられる。

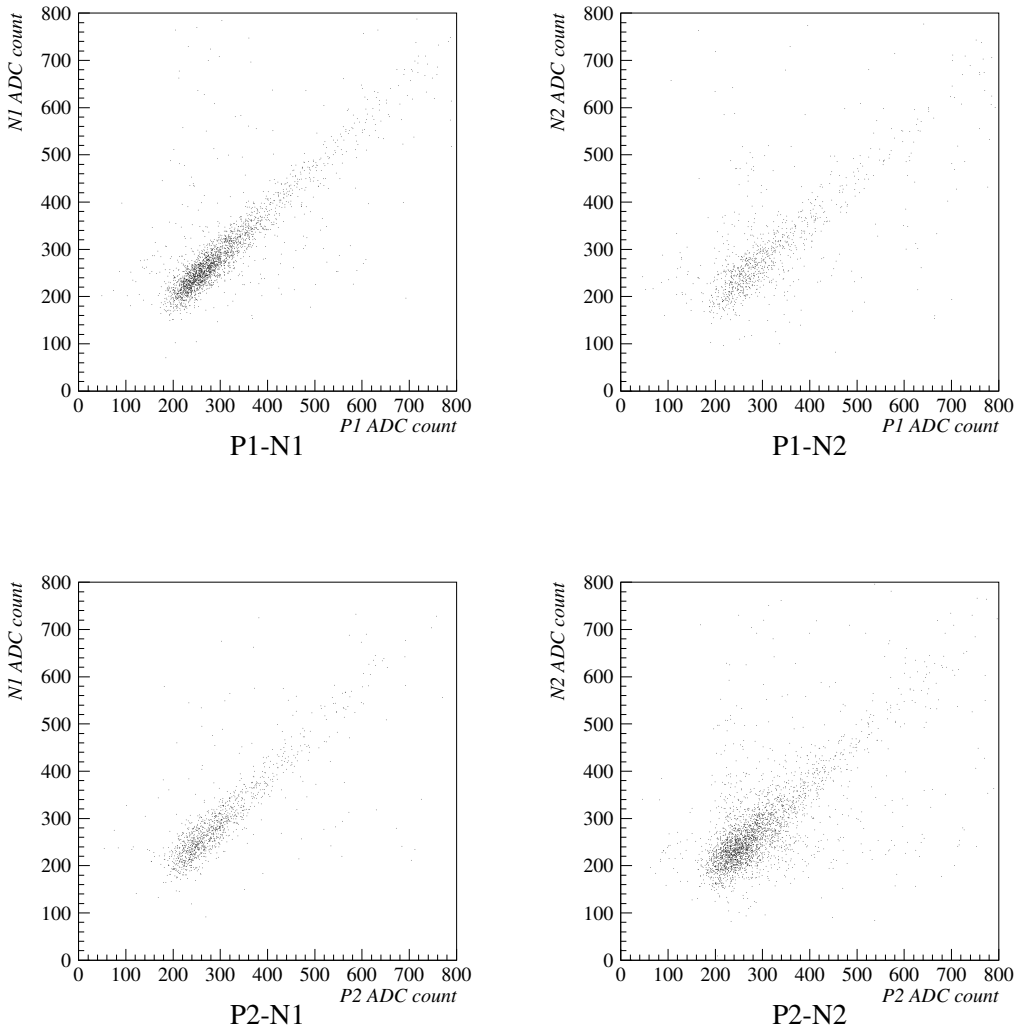

図 4.10: 検出電荷総量の相関 1

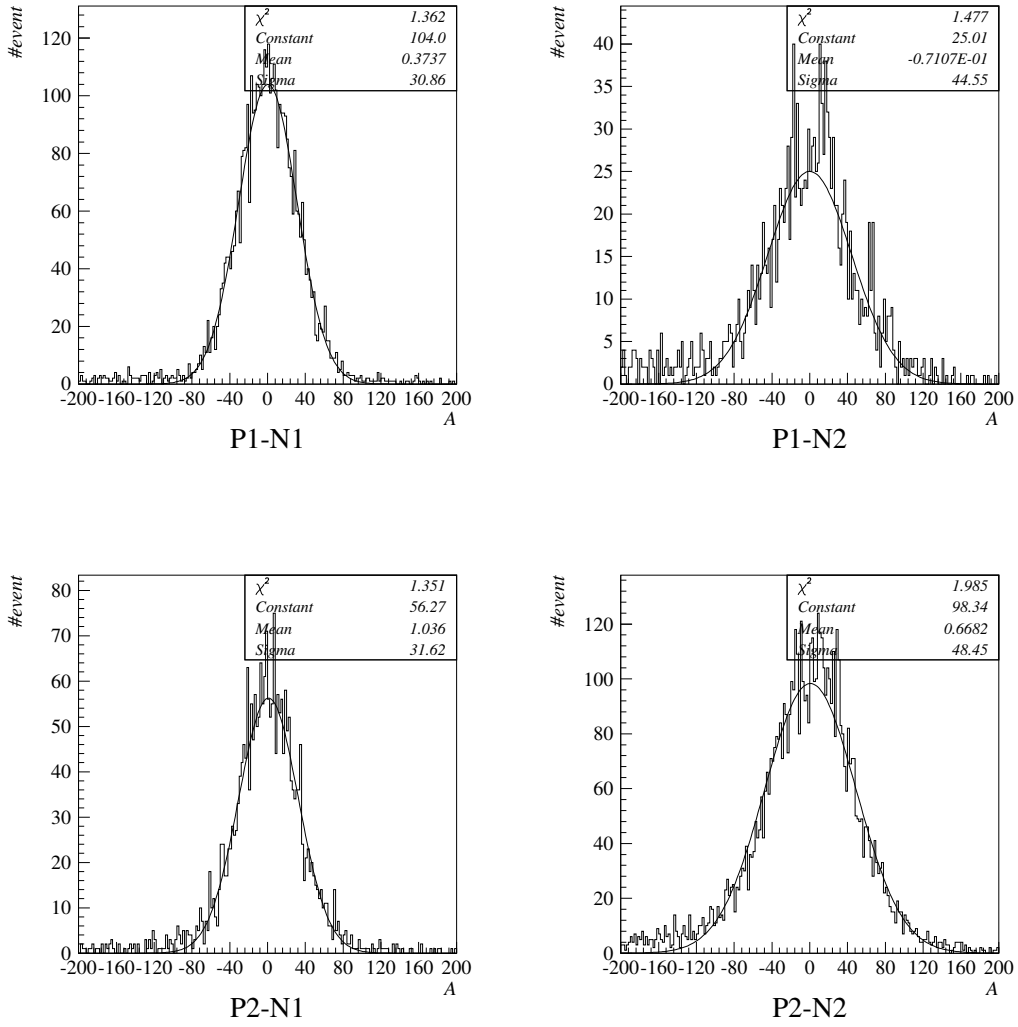

図 4.11: 検出電荷総量の相関 2

	領域			
	P1	P2	N1	N2
S/N 比	42	28	21	15

表 4.3: 各領域での測定された S/N 比

図 4.7を見ると、P1 と P2、あるいは N1 と N2 でそれぞれクラスターの幅に差はない。それぞれストリップ間の容量は、 2 枚つなぎの領域では 2 倍になっているはずであるが、その影響はみられない。よって今回の測定で、ストリップ間のクロストークや、ストリップ間の分離不全などの影響によるクラスター幅の違いは領域間でなかったと言える。

4.4 ノイズレベルの予測値との比較

ここで、第 3 章で求められた容量から、S/N を予測し測定結果との比較を行なう。これは領域別に評価し、複数枚つないだときの影響も調べる。

4.4.1 S/N 比

S/N 比は領域別に、次のように定義しておく。

$$\mathrm{S/N} = \frac{\text{検出電荷総量のピーク値}}{\text{ノイズの分布のピーク値}} \tag{4.8}$$

この S/N は 1 ストリップのノイズの値を、相対的なスケールで表したものといえる。
図 4.8と図 4.9より S/N 比が計算できる。表 4.3に各領域での測定された S/N 比を示す。

4.4.2 ノイズの成分

付録 B で述べるように、ノイズには検出器の容量によるもの以外に、検出器の漏れ電流によるもの、検出器のバイアス抵抗によるもの、がある。つまり、全体としてのノイズ ENC_{tot} は、

$$\mathrm{ENC_{tot}[e^-]} = (\mathrm{ENC_{Cd}^2} + \mathrm{ENC_{dl}^2} + \mathrm{ENC_{dr}^2})^{1/2} \tag{4.9}$$

$\mathrm{ENC_{C_d}}$: 検出器の容量によるノイズ detector capacitance noise
$\mathrm{ENC_{dl}}$: 検出器の漏れ電流によるノイズ detector leakage current noise
$\mathrm{ENC_{dr}}$: 検出器のバイアス抵抗によるノイズ (熱雑音) detector bias register noise

と表される。ここでノイズの大きさは ENC(equivarent noise charge)、つまり電子の数として表している。

検出器の容量によるノイズ

Viking chip の検出器の容量に対するノイズの変化は非常によく調べられており、付録 B で詳しく述べる。モデル計算によって得られた容量は、単一の検出器として求めたものであり、複数の検出器をつないでいる場合とは違ってくる。簡単のため、検出器どうしの間で容量的な結合が無いとして考えると、単にコンデンサを並列回路につないだものとみなせて、それぞれの検出器の容量の和となる。このときの各領域の容量は、

領域	P1	P2	N1	N2
容量 (C_d)[pF]	7.3	14.6	16.8	29.9

であった。ここでは、LEP-SI モデルによる数値を使うことにする。これに対し、Viking chip のノイズの大きさは ENC として、

$$ENC[e^-] = \begin{cases} 125 + 14.4C_d[pF], & \text{積分時定数=1.5}\mu\text{S} \\ 135 + 12.3C_d[pF], & \text{積分時定数=2.0}\mu\text{S} \end{cases} \tag{4.10}$$

と、シェイパーの積分時定数別に求められている。ここで、C_dは検出器の容量である。今回の測定時の積分時定数は 2μS であり、容量によるノイズの大きさが計算される。結果は表 4.4に示す。

検出器の漏れ電流、バイアス抵抗によるノイズ

それぞれの成分のノイズの大きさは (付録 B参照)、

$$ENC_{dl} = 106\sqrt{T_P I_{dl}} \tag{4.11}$$

$$\begin{pmatrix} T_P : & \text{積分時定数 } (\mu S) \\ I_{dl} : & \text{1ストリップ当たりの漏れ電流 } (nA) \end{pmatrix}$$

$$ENC_{dr} = 772\sqrt{\frac{T_P}{R_{Bias}}} \tag{4.12}$$

$$\left(\ R_{Bias}: \ \text{バイアス抵抗}\,(M\Omega) \ \right)$$

と表される。従って、実際の漏れ電流やバイアス抵抗の大きさが必要となるわけである。
検出器の漏れ電流は測定中 2.7μA であり、１ストリップでは、

$$I_{dl} = 2.7 \times \frac{1000}{1280} = 2.1nA \tag{4.13}$$

となる。読み出しストリップは、検出器１枚当たりで p 側、n 側それぞれ 640 本ずつであり、２枚がつないであるものでは、バイアス電圧がかかっているストリップ数は p 側、n 側ともに 1280 である。
つぎに、バイアス抵抗 R_{Bias}は、

$$\mathrm{R_{Bias}} = \begin{cases} 20M\Omega \quad (14 < R_{Bias} < 25.2M\Omega) & Pside \\ 35M\Omega \quad (25.5 < R_{Bias} < 44.8M\Omega) & Nside \end{cases} \tag{4.14}$$

と、同タイプの DS640 で測定されている。カッコ内はサンプルによるばらつきであるが、その平均的な値を用いる [9]。
実際には、バイアス抵抗の大きさにはストリップごとのばらつきがあり、漏れ電流も違ってくる。しかし図 4.4をみると、領域ごとでのノイズの大きさは非常にそろっているといえる。よって、バイアス抵抗、漏れ電流は、全ストリップで均等であるとして、計算した。結果は表 4.4に示す。

4.4.3 S/N の評価

ノイズの値が求められたので、次にシグナルの値を計算する。280μm のシリコン中で最小電離粒子が失うエネルギーは 75keV であり、シリコンで電子- 正孔対を作るのに必要なエネルギーは 3.6eV であった。よって、75keV/3.6eV=21000 個の電子-正孔対ができる。理想的な検出器ではこの全てが集められるが、前述のようにストリップに集められる電荷は生成された電荷の 80∼90 %程度である。ここでは、目安として 90 %が読み出されるとする。
以上の結果を表 4.4にまとめる。これを、測定結果の表 4.3と比較してみると、p 側では予測値をほぼ再現しているのに比べて、n 側では、まだ大きな不一致がある。この理由を考えてみよう。n 側で S/N の一致が悪い原因に対して、５つの考え方がある。

領域	P1	P2	N1	N2
容量によるノイズ	225	315	342	503
漏れ電流によるノイズ	218	308	218	308
バイアス抵抗によるノイズ	345	489	261	369
合計のノイズ	466	658	482	696
計算された S/N	40	28	38	27

表 4.4: モデル計算によるノイズ、S/N

(1) 収集効率を 90 %としたが、これが n 側ではずっと低い。

(2) n 側における容量の計算が間違っていて、現実には容量がもっと大きい

(3) バイアス抵抗の大きさが間違っている。

(4) 漏れ電流の大きさが間違っている。

(5) n 側には上記以外のノイズ源がある

(1) については、前述したように、p 側と n 側の検出電荷総量がほぼ等しいことから、これが原因で極端に S/N が変わるとは考えられない。(2) については、前章で述べた測定結果とモデル計算の一致から、除外しても良いと思われる。もしこの不一致を容量で説明しようとすると、領域 N1 で 55.0pF (LEP-SI モデルでは 16.8pF)、N2 で 89.0pF(同 29.9pF) となり、これだけ大きな誤差がモデル計算にあるとは考えにくい。今回の検出器のつなぎかたでは、全てのストリップをつないでいる場合よりも容量が大きくなるとは思えない。(3) のバイアス抵抗の大きさには確かに 50 %近い不定性がある。しかし、この S/N をバイアス抵抗の大きさだけで説明しようとすると、n 側では 5MΩ 程度となり、現実的とは言えない。よって、まだ特定できていないが、原因は (4) もしくは (5) と考えられる。では、このノイズ源は何であろうか。測定系の浮遊容量など外来的なノイズの影響であれば、p 側もノイズが増えるはずである。ここで N1 と N2 の領域において、測定で得られた S/N 比 (表 4.3) と、容量などから計算されたノイズ (表 4.4) から ENC の大きさの差を比較してみた。ここで電荷の収

集効率 (ε) は 90 %としておく。

$$
\begin{aligned}
& N1 \\
ENC^2_{other} &= (S \times \varepsilon \times \tfrac{N}{S})^2 - ENC^2_{calculated} \\
&= (21000 \times 0.9 \times \tfrac{1}{21})^2 - 482^2 \quad = \quad 577676 \\
& N2 \\
ENC^2_{other} &= (21000 \times 0.9 \times \tfrac{1}{15})^2 - 696^2 \quad = \quad 1103184
\end{aligned}
$$

結果は 2 倍程度の値になり、検出器長が 2 倍になっていることと一致する。従って、この増加したノイズ源は検出器本体にあるのではないかという予測ができる。例えば現在バイアス

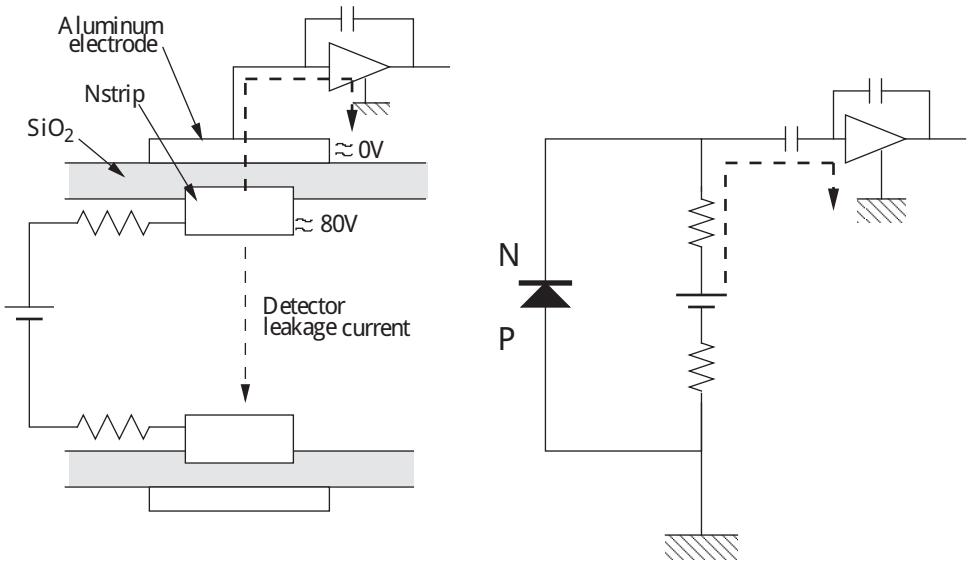

図 4.12: n 側で SiO_2絶縁層を通して電流が流れるようす

電圧を n 側に 80V をかけていることにより、N ストリップと読み出しアルミ電極との間の高い電位差のために、SiO_2の絶縁層を通して、チャージアンプへ電流が流れ込むということが考えられる。この現象は、以前他のシリコンストリップ検出器をテストしたときに観測された。このとき n 側の読みだし電極の接続を全てはずし、グランドから浮かせた状態にすると、バイアス電流が 1/5 に減少し、１個所でもストリップとアルミ電極が導通すると、検出器のノイズは 50 %以上増加した。また、この n 側の絶縁層の耐圧は 100V まで保証されているが、試験時には nA 以上の電流が流れないことしか確認されていない [12]。現在１チャンネル当たりの漏れ電流は 2nA 前後である。

このような電流が流れた場合のノイズの増加に関しては、現在のところまだ理解できていないが、ノイズを増やす原因になることは明らかであり、現在読み出し用の絶縁層を厚くすることが考えられている。このとき読み出しの容量を減少させないため、SiO_2ではなく、誘電率の高い窒化シリコン (Si_3N_4) を併用することが考えられている*。また、絶縁層をはさむ電位差を減らすために、BELLE 検出器においては、p 側=-40V,n 側=+40V といったバイアスのかけかたも検討されている。今回の検出器は p 側の絶縁層の耐圧が低く 10V 程しかない。そのため、p 側=-80V、n 側=0V といった電圧のかけかたはできなかった。

*SiO_2の誘電率は 3.9、Si_3N_4は 7.5 である。

第 5 章

結論

5.1 性能評価のまとめ

大面積、両面型、２重金属層構造という、BELLE 検出器に使用されるシリコンストリップ検出器と非常によく似た検出器の性能評価を行なった。また、モデルによる容量の計算を行ない、得られた結果との比較を行なった。これにより、得られた結果は次の通りである。

- p 側において、測定によって得られた S/N は、モデル計算によって予想された S/N とよく一致した。
- n 側においては、既存のモデル計算によって予想されたノイズだけでは、実測されたノイズレベルのすべては説明できない。これは検出器本体に、検出器容量によらない、未知のノイズ源が存在するためと思われる。
- 複数の検出器をつないだときも、容量によるノイズの増加以外は性能の低下はみられず充分実用に耐える S/N が得られた。

p 側に関しては、モデル計算による S/N の予測が有効であり、検出器の設計時に、検出器の S/N を予測することは可能であるといえる。しかし n 側に関しては、モデル計算による予測はまだ信頼性が低く、不明のノイズ源を特定することが必要である。
また、今回使用した Viking chip は、容量に対するノイズスロープが非常に小さいため、検出器の容量よりも、漏れ電流やバイアス抵抗によるノイズの方が優勢であった。今後は、検出器の設計時には、容量だけでなくこれらの要因にも、充分に留意する必要があると言える。

5.2 今後の課題

今回の測定においては、位置分解能の測定は行なっておらず、また線源を用いたため多重散乱の影響も多いと思われる。よって、粒子加速器によるビームテストや赤外線レーザーによるテストにより、位置分解能の測定が必要である。

付録 A

読みだしシステム

ここで、Viking chip を中心とした DSSD からの読み出しシステムを説明する。全体のシステムを図 A.1に示す。シンチレータ等からの外部トリガーによりタイミングモジュールは、フラッシュADC と Viking chip に読み出しスタートパルスを送る。その後、同期した読み出しクロックにより、各ストリップからの信号が、フラッシュADC に取り込まれ、パーソナルコンピューターによってデータとして記録される。

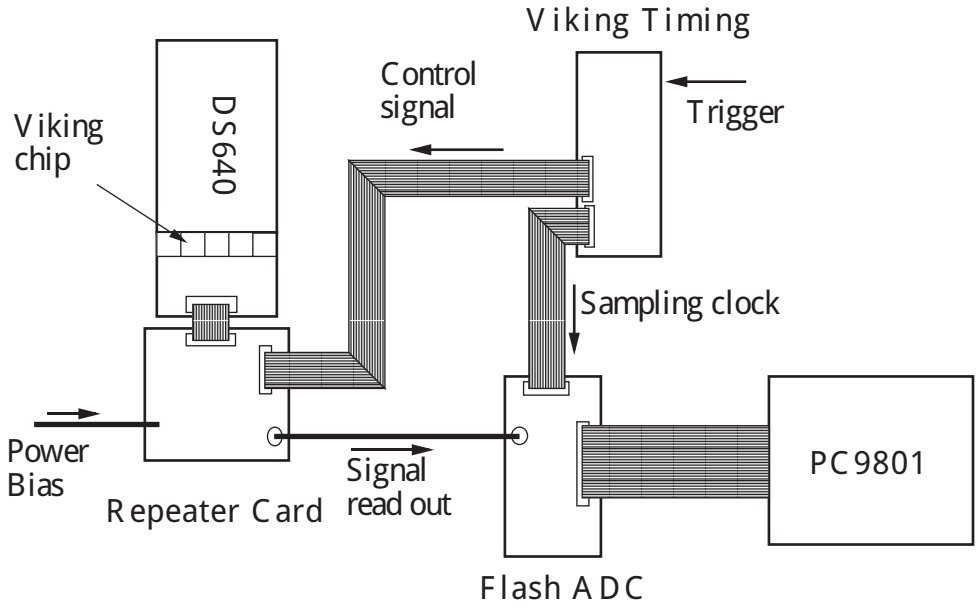

図 A.1: シリコンストリップ検出器の読み出しシステム

A.1 Viking chip

ここで、読み出しシステムの中心となる、Viking chip について詳しく述べる。Viking chip はシリコンストリップ検出器の読み出し用に開発された、集積回路であり、１つのチップで 128 ストリップの信号を読み出すことができる。Viking chip の仕様を、表 A.1に示す[3][13]。

図 A.2は Viking chip の１ストリップの読み出し部分の回路図である。検出器を粒子が通過すると、発生した電荷は初段のチャージアンプによって、電荷-電圧変換される。アンプからの出力は次のシェイパーで、ある時定数でシェイピングされ、その電圧値がコンデンサー C_hに保持される。その後、シフトレジスターによって、順番に各ストリップの信号が読み出されていく。

ここでシェイパーを使用する目的は主に２つある。

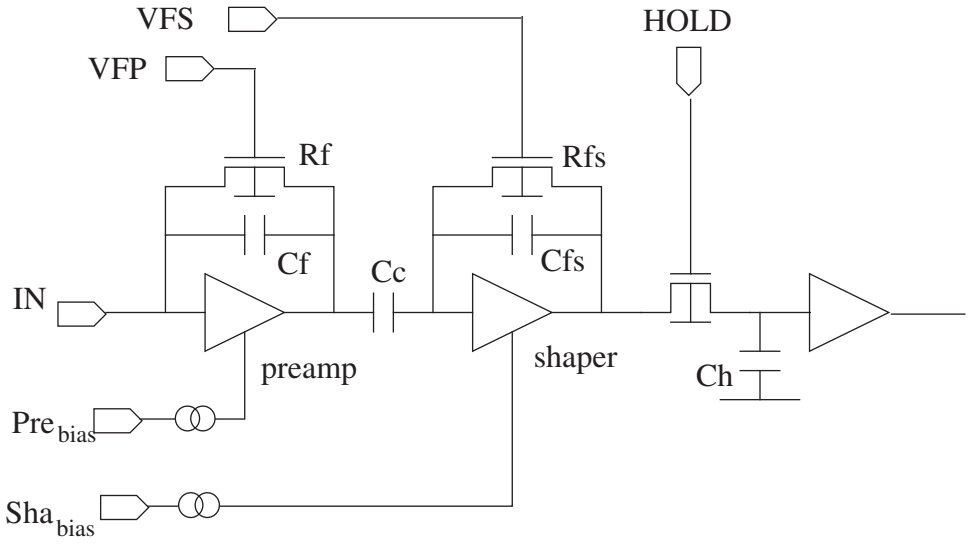

図 A.2: Viking chip の内部回路

(1) チャージアンプからの出力は R_{fs},C_f で決まる長い時定数のディケイタイムを持っているので、ハイレートのイベントを取り扱うため 。

(2) シェイパーによるフィルタリングの時定数を調節し、ノイズ成分を 減らす。

Viking

FUNCTION	128 low noise Charge Amplifiers.
	Amplifier outputs multiplezed onto one line.
SIGNAL INPUTS	128 inputs to charge amplifiers.
	Each line has input protection.
FEEDBACK CAPACITANCE	Amplifier have 0.6pf feedback capacitors.
NOISE	125 electrons with 0pF load (1.5μSshaping).
	135 electrons with 0pF load (2.0μSshaping).
NOISE SLOPE	14.4 electrons ENC RMS./pf load with 1.5μS.
	12.3 electrons ENC RMS./pf load with 2.0μS.
SIGNAL CAPTURE SPEED	less than 100ns settling time.
LINEARITY	unknown
OUTPUT CIRCUIT	128 channels multiplexed onto one
	differential output.
READOUT CLOCK RATE	Better than 10MHz.
RESET	1 μs pulse
OUTPUT MULTIPLEXING	Up to 10 chips can be mutiplexed
OF MULTIPLE CHIPS	onto one differential bus
DC POWER SUPPLY	192mW at +2V and -4V
INPUT BONDING PITCH	128 pads on 48 micron pitch
	arranged in two rows of 64.
CONTROL PADS	28 pads on 200 micron pitch.
RADIATION TOLERENCE	135 krad beta.

表 A.1: Viking chip の詳細

現在、フラッシュADC とパーソナルコンピューターの計算速度の限界で、測定レートは 10Hz 程度に押さえられているので、主な目的としては (2) の方が重要である。

A.2 Viking タイミングチャート

Viking chip にはデータ捕獲サイクルというべきものが無く常に連続的にデータを捕獲しており、不感時間が無い。よって読みだしサイクルのみを考えればよい。。
粒子が検出器を通過したとき、シェイパーからの出力は、ある時定数を持ったパルスとなる。欲しい情報はこのピーク値であるから、その時間だけ遅らせてシグナルをホールドする必要がある。ホールドするまでの時間はタイミングモジュールの HOLD-Delay で変えられるようになっている。

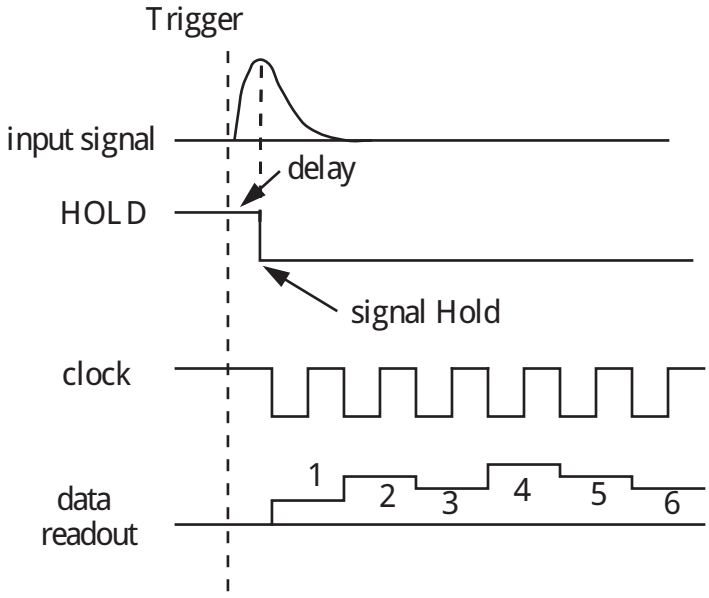

図 A.3: Viking chip タイミングチャート

A.3 Viking chip の調整

A.3.1 調整個所

Viking chip は優れた S/N を持っているが、その分調整すべき点が非常に多く、取り扱いを困難にしている。主な調整個所としては図 A.2の $R_f, Pre_{bias}, R_{fs}, Sha_{bias}$の４つであり、これらはリピーターカード上のポテンショメータによって調整できる。これら４つの変数はそれぞれ、

R_f	チャージアンプの並列抵抗値
Pre_{bias}	プリアンプのバイアスカレント
R_f	シェイパーの並列抵抗値
Sha_{bias}	シェイパーのバイアスカレント

を表している。そして、それぞれの変数は下のように決定される。

- 電源供給の許す限り、Pre_{bias}は大きくするべきである。
- 事象頻度の問題が無い限り、R_fは大きくするべきである。
- R_{fs}と Sha_{bias}によって、最も S/N 比が良くなるシェイピングタイムを選ぶ。

以上の変数は、ピーク出力時間以外、外部から測定はできない。実際に測定できるのは、パラメータを変えるポテンショメータの出力電圧値だけである。よってノイズの大きさを、測定によって最小にするようにするしか方法はない。
A.1でシェイパーの出力がコンデンサに蓄えられると述べたが、そのホールドするタイミングも調整する必要がある。これはシェイパーからの出力のピークでホールドする必要があるが、これも外部から観測できないので、出力値が最大になるタイミングを調整しなければならない。前述のように、このタイミングは、タイミングモジュールの HOLD-delay を用いて調節する。
これら以外に、リピーターカード上にあと４つポテンショメータがある。このうち 2 つは、電源レベルの調整であり、レギュレータの横についている。これを用いて、+2V,-4V に調整する。あと、DEL_{bias},Buf_{bias}と呼ばれる、ものがあるが、これらはオプションでありいじらなくてよい*。

*実際には Buf_{bias}によって、出力のオフセットレベルが変わるのであるが、出力は差動シグナルとして送られるので、入力調整部でいじることになる。

A.3.2 調整の手順

上記のパラメータを調整する手順を説明する。このとき、１番始めに電源レベルを調整しておく必要がある。あとからいじると、全てのパラメータが変わってしまう。

シングルモードへの変更

Viking chip は” シングルチャンネルモード” というものがあり、特定の 1 ストリップからの信号だけを、連続的に読み出すことができる。これにより、まずあるストリップからの出力を観察する。
方法は、まずタイミングモジュールへの入力トリガーを抜く。次に、β 線源などを使って DS640 に粒子を当てる。そして、タイミングモジュールの、リセットスイッチを２つとも (Analog reset と Degital reset) 押してクリアーする。次にクロックスイッチを２つ同時に押して、シングルチャンネルモードに入る。その後クロックスイッチ１を押して、任意のチャンネルを選ぶ。このときチャンネルは１つずつ進んでいき、LED で表示される。

プリアンプの調整

次に、Pre_{bias}とR_fを可能な限り大きくする[†]。このとき、Pre_{bias}が大きすぎると、電源供給が足りなくなり、出力が出なくなるので、ぎりぎりを見極める必要がある。R_{fs}はポテンショメータの限界まで廻してよい。これらのパラメータを変更すると、シングルモードの出力を見ていても明らかにノイズが増えるのが観測できる。

シェイパーの調整

シェイパーの調整は、シェイピングタイムの調整ということである。まず最適なシェイピングタイムを決めなければならない。ここでノイズの大きさは、シェイピングタイムの関数として、

$$ENC^2_{total} = \alpha + \frac{\beta}{T_P} + \gamma \times T_P \qquad \text{(A.1)}$$

の形で表される (B参照)。ここで T_Pはシェイピングタイムである。つまり最適なシェイピングタイムが存在するわけである。今回の測定では、Viking Chip の有効なシェイピングタイムの領域 $(0.8\sim2.5\mu\mathrm{S})$ においてノイズの大きさはほとんど一定であったので、シェイピン

[†]これらのパラメータを大きくすることと、ポテンショメータの廻す方向は一意的ではない。注意せよ。

parameter	VFP	Pre_{bias}	VFS	Sha_{bias}
value[V]	0.486	-1.529	1.188	-0.902

表 A.2: パラメータに対応するポテンショメータの出力

グタイムは任意に決めることができ、今回は 2 μS とした。
しかし、Bを見ると、あるシェイピングタイムを持つ R_{fs} と Sha_{bias} の組みは 1 つに決まらず、そのうち、最大限にノイズをフィルタするものを見つけなければならない。このため、まず R_{fs} と Sha_{bias} を調整し、シェイパーからの出力信号のピーク時間を調整する。そして、データをとってみて、最も S/N がよくなる組合わせを見つけるまで、シェイピングタイムを変化しないようにしたままで、R_{fs} と Sha_{bias} をいじる。このとき、ノイズの値が小さくなるようにするだけでは充分ではない。なぜなら、 2 つのパラメータをいじると、シェイパーのアンプとしてのゲインが変動してしまうため、常にシグナルも測定して、ノイズの大きさを較正しなければならない。

ホールドタイミングの調整

最後に、出力信号のピーク値を保持するように、ホールドシグナルを適当にディレイさせる。これは、タイミングモジュールにトリガーシグナルをいれて、読み出しの出力を観測する。モジュールの HOLD-delay をいじると、入力トリガーに対して、出力のタイミングが変化するので、最も出力が大きくなる (シグナルが最大になるところ) を選ぶ。
以上で、Viking chip の調整は終了である。

A.3.3 調整結果

参考のため今回のパラメータの調整結果の数字をまとめておく。表 A.2の数字はそれぞれパラメータに対応するポテンショメータの、出力電圧レベルである。また、このとき電源電圧は+2.088V,-4.020V であった。また、このときのシングルモードの出力を図 A.4に示す。

A.4 タイミングモジュール

Viking chip を動作させるコントロールシグナル、フラッシュADC へのトリガー、サンプルクロックを作るのが、このモジュールである。基本的な動作としては次のような流れとなっている。

1. 外部からトリガーシグナルを受け取る。
2. 決まったディレイの後、ホールドシグナルを送る
3. Viking chip、フラッシュADC にスタート信号を送る。
4. Viking chip に読み出しクロックを送る。同時に、同期したサンプルクロックをフラッシュADC に送る。
5. 読み出しチャンネルが規定の数になったら、Viking chip にクリアー信号を送り、再び待機状態に戻る。

ここで、それぞれに送る、クロックの数 (つまり、読み出すストリップの数) は、モジュール内部の DIP スイッチで変更できるようになっている。また、モジュール内部の 2 つのポテンショメータは、読み出し用のメインクロックを作るもので、その振動数とデューティーを決める。現在は 2.5MHz に合わされている。

テストパルス

Viking chip には入力較正用の Calibrate Test Pulse のインプットがある。これは、タイミングモジュールよりあるレベルのパルスを発生させることによって、Viking chip の charge calibration をするものである。現在のところ、シングルモードにおいてしかテストパルスは使えていないので、ADC 値そのものを較正するには至っていない。
使用法は、まず Test On/Off スイッチを切り換える。そして、Test In(LEMO) に必要なタイミングの NIM パルスを送る。このときシングルモードで見ていれば、テストパルスが入力されていることがわかる。テストパルスのレベルは、AMP(Test level) で調整できる。

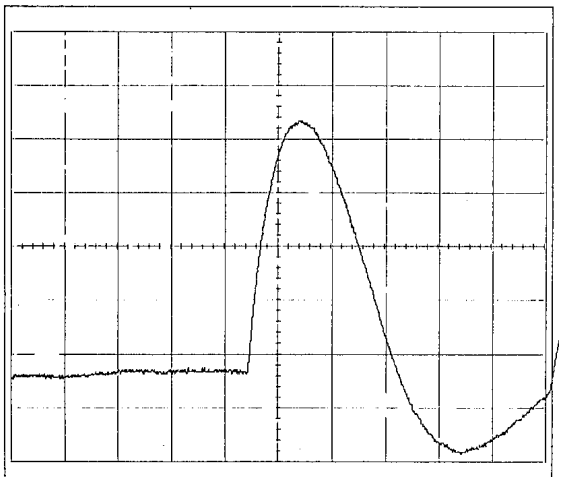

図 A.4: 調整されたパラメータにおける、シングルモードでの出力

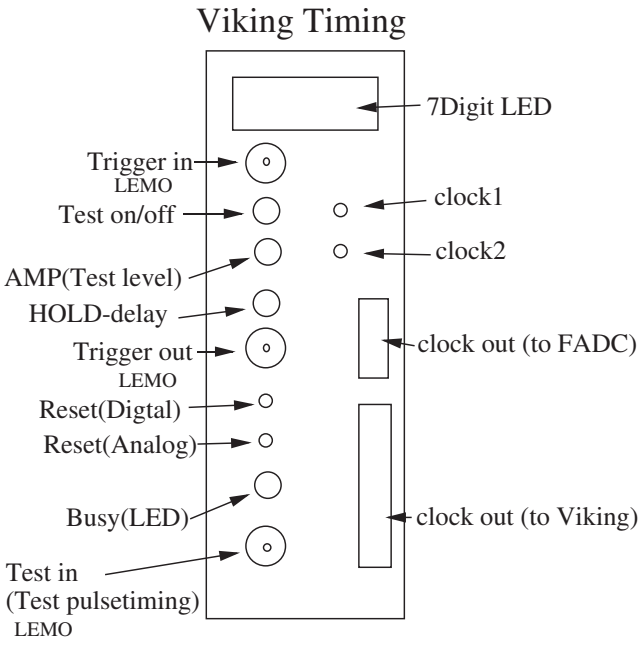

図 A.5: Viking Timing モジュール

A.5 リピーターカード

図 A.1の DS640 の直後にあるボードは、リピーターカードとよばれ、次のような役割を持っている。

(1) タイミングモジュールからのコントロールシグナルを適正なレベルにして Viking chip へ渡す。

(2) Viking chip へ安定した電圧を供給する。

(3) ポテンショメータによって、Viking chip の設定を変える。

(4) DSSD からの出力を増幅し、フラッシュADC へ送る。

(1) は差動で送られた、コントロールシグナルを、レシーバで TTL レベル (ただし+2,-4V) にして、Viking chip へ渡すだけである。(2) はレギュレータによって、+2,-4,+6,-6,+5V の電源レベルが作られるが、安定電源の電圧は、8∼10V 程度が必要である。(4)Viking chip は差動でシグナルを出力する。これをそのまま増幅して、入力調整部に送る。

A.6 フラッシュADC

フラッシュADC は、サンシステムサプライ社の ADV-10A を用いた。このフラッシュ ADC は NEC の PC9801 等のパーソナルコンピューターの拡張スロットに差し込んで使用する。本実験で使用した理由は次のような性能を持つためである。

- 10bits の分解能
- 外部トリガー可能
- 外部サンプリングクロック入力可能
- 最大サンプリング周波数 16MHz

今回使用した DSSD は S/N 比が 40 以上あり、シグナルだけでなく、ノイズの大きさも定量的に扱うため、10bits の分解能は最低限必要な性能である。現在、10bits 以上の分解能を持つ高速フラッシュADC に CERN-DELPHI グループでシリコンストリップ検出器用に開発された、SIROCCO モジュールがあるが、これは 8bits ごとにリニアリティのギャップ

があるため、今回のようなシグナルやノイズの大きさを定量的に測定する場合には不向きである。
次に、実験において、Viking chip から信号を読み出すには、その読み出しクロックとフラッシュADC のサンプリングクロックが同期してなければならない。そのため、タイミングモジュールで作られたクロックによる作動が必要となる。
また、ストリップ数が多い場合、読み出しにかかる時間はクロックの速さで決ってくる。Viking chip の仕様は最大 10MHz までの読みだしクロックを可能としているが、今回は、タイミングモジュールの性能上 2.5MHz で読み出しを行なった。

A.7 クロック、入力調整部

今回の読みだしシステムは、それぞれ独立なものである Viking Timing モジュールと、フラッシュADC との間をつなぐため、クロックやシグナルの調整をする必要があり、自作の入力調整部がついている。この役割は、

- リピーターカードからは、シグナルが差動で送られてくるので、これをフラッシュADC のためにシングルエンドに直す。
- タイミングモジュールはストリップ数しかクロックを送らないが、フラッシュADC は計算のために続けてクロックが必要であるので、クロックジェネレーターからのクロックを切り換える。

の 2 つである。図 A.6にその回路図を示す。シグナルの調整部にはシングルエンドになったシグナルのオフセットレベルの調整抵抗がある。これと、フラッシュADC のオフセットによって、シグナルを適当なオフセットレベルにする。
クロック調整部について簡単に説明する。まず、トリガーシグナルが入ると、調整部はタイミングモジュールの方からのクロックをフラッシュADC に送る、これにより、読み出されたシグナルはフラッシュADC によって記録されていく。ストリップ数だけクロックを送り出すと、タイミングモジュールからはクロックがやってこなくなる。次に、調整部はクロックジェネラーターからのクロックをフラッシュADC に送る。これにより AD 変換を終えると、パーソナルコンピューター (PC9801) から、インターラプトレジスターに解除シグナルが送られる。これにより、調整部はタイミングモジュールのクロックに切り替わる。

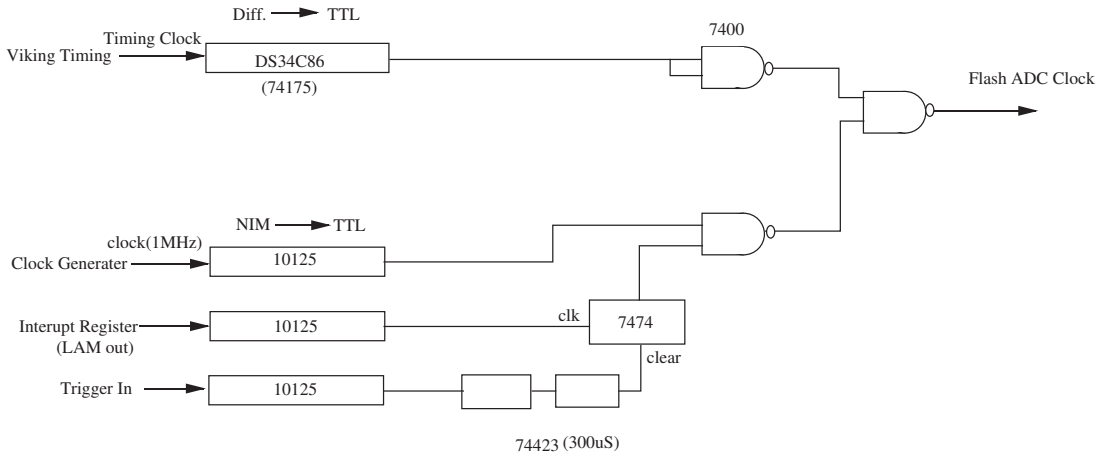

図 A.6: クロック、入力調整部

付録 B

シェイパーによるノイズのフィルタリング

ここで、シェイパーによって、ノイズやシグナルがどのようにフィルタリングされるかを詳しく述べる [1]。

B.1 シェイパー

一般に CR-$(\mathrm{RC})^{n-1}$ シェイパーは、入力された振動数 s の信号に、次のようなフィルタリングをする。

$$V_{out} = V_{in} \times A_\nu H(s) = V_{in} \times A_\nu \frac{s/\omega_c}{(1+s/\omega_c)^n} \tag{B.1}$$

ここで、A_ν はシェイパーのゲインであり、ω_c はシェイパー固有の振動数である。今は、n=2 の場合である。

viking chip 内部のシェイパーの回路図は図 A.2の変数を用いる。このシェイパーにある振動数の信号が入力されたとき、式 B.1の H(s) は、

$$A_\nu H(s) = \left(\frac{g_{ms}C_c}{C_{os}C_{ts}}\right) \times \frac{s}{s^2 + \frac{1}{C_{ts}}(\frac{g_{ms}C_{fs}}{C_{os}} + \frac{1}{R_{fs}})s + \frac{g_{ms}}{C_{os}C_{ts}R_{fs}}} \tag{B.2}$$

で表される。ここで、$C_{ts} = C_c + C_{is} + C_{fs}, C_{os} = C_h + C_{fs}$ であり、C_{is} はシェイパーの入力容量、g_{ms} はシェイパーの入力トランジスタの g 値である。これは、

$$R_{fs} = \frac{C_{os}}{g_{ms}C_{fs}^2}\left(2C_{ts} - C_{fs} + 2\sqrt{C_{ts}(C_{ts}-C_{fs})}\right) \tag{B.3}$$

のとき、B.1の形となり、ノイズを最大限にフィルタリングする。このとき、出力のピークタイムは、

$$\omega_c = \frac{1}{T_P} = \frac{1}{2C_{ts}}\left(\frac{g_{ms}C_{fs}}{C_{os}} + \frac{1}{R_{fs}}\right) \tag{B.4}$$

と表される。

B.2 ノイズの成分

本実験では、ノイズの大きさを定量的に扱う。実際に測定されるのは、ノイズの ADC カウントであり、これはゲインの変動などにより、相対的な値でしかない。しかしここでは、チャージアンプの出力として、ノイズの大きさを ENC(equivalent noise charge) つまり電子の数として絶対的な値として考える。

ノイズの成分としては、次の 3 つが考えられる。

(1) 検出器の、容量によるもの :$[ENC_{C_d}]$
(2) 検出器の、漏れ電流によるもの :$[\mathrm{ENC}_{dl}]$
(3) 検出器の、バイアス抵抗によるもの :$[\mathrm{ENC}_{dr}]$

検出器の容量の増加によって増えるのは、(1) のノイズだけであり、$(2)(3)$ とは独立に変化する。$(2)(3)$ のノイズはシェイパーの時定数に比例して増えていくことは、直観的にも分かる。このうち、検出器の容量によるものは、ノイズの大きさがよく調べられていて、

$$ENC[e^-] = \begin{cases} 125 + 14.4C_d, & \text{積分時定数}=1.5\mu\mathrm{S} \\ 135 + 12.3C_d, & \text{積分時定数}=2.0\mu\mathrm{S} \end{cases} \tag{B.5}$$

と求められている [3]。

B.3 ノイズ、シグナルのフィルタリング

例えば、電位差ΔV_{in}のステップ関数のシグナルが Viking chip のシェイパーに入ると、ピーク時間 T_Pにおける、出力電位は、

$$V_{out_{peak}} = \frac{\Delta V_{in}}{e} \tag{B.6}$$

となり、これを ENC になおすと、

$$ENC = \frac{C_d e\sqrt{V_{out}}}{q} \tag{B.7}$$

となる。ここで qは電子の電荷である。シグナル、ノイズの両方にこの関係式は成立する。

ノイズのフィルタリング

B.2で述べたノイズの成分は振動数の関数として、次のように表される。

$$S_{dl} = \frac{qI_{dl}}{\pi C_d^2 \omega^2} \tag{B.8}$$

$$S_{dr} = \frac{2kT}{C_t^2 R_P \pi \omega^2} \tag{B.9}$$

k はボルツマン定数、T は絶対温度、R_pは検出器の抵抗値である。また、B.2で述べた検出器の容量によるノイズの成分も厳密には振動数の関数であり、積分時定数によって変化する。これらは、シェイパーによるフィルタリングにより、

$$\overline{V_{noise_{dl}}^2} = \frac{\pi T_P \omega^2}{4} S_{dl} \tag{B.10}$$

$$\overline{V_{noise_{dr}}^2} = \frac{\pi T_P \omega^2}{4} S_{dr} \tag{B.11}$$

となる。これを ENC になおすことにより、結果として以下の式を得る。ENC_{C_d}は

$$ENC_{dl} = \frac{e}{q}\sqrt{\frac{qI_{dl}T_P}{4}} \tag{B.12}$$

$$ENC_{dr} = \frac{e}{q}\sqrt{\frac{T_P kT}{2R_P}} \tag{B.13}$$

全体としての、ENC は、

$$ENC = (ENC_{C_d} + ENC_{dl}^2 + ENC_{dr}^2)^{1/2} \tag{B.14}$$

であらわされる。

謝辞

本論文を書き終わるにあたり、今回の研究を行なう機会を与えてくださり、また物理学全般に渡る知識を与えて下さった長島順清教授に、心から感謝を述べたいと思います。

幅淳二先生には、私の修士2年間に渡り、常に研究を指導して頂きました。様々な実験物理の知識から、実験上の姿勢まで全てにおいて教えて頂きました。ここに深くお礼を申し上げます。山中卓助教授には、未熟な私にたくさんの意見を下さいました。感謝しております。瀧田正人先生には、大学4年の時から、物理学の基礎から教えて頂きました。心から感謝します。羽澄昌史先生には、様々な質問に答えて下さったことに感謝します。

長島研究室秘書の続木佐知子さんには、事務の上で大変お世話になりました。感謝いたします。

博士課程に在学中の、中家さん、花井さん、原さん、辰巳さん、八木さん、には、研究の上で様々な助言を頂き、また公私共にも大変お世話になりました。ありがとうございました。修士同学年の足立君、辻君、花垣君、山口君たちには、2年間同じ研究室で楽しく研究活動が行なえたことを感謝します。修士課程1年の加藤君、貞本君、千代君、及び4年生の方々には、研究室を活気づけ、楽しいものにしてくれたことを感謝します。また同時に至らない先輩であったことをお詫びします。

大阪大学原子核施設の方々、特に回路室の水田さんには、回路の製作に当たり、様々な助言を頂きました。ありがとうございました。

また、高エネルギー物理学研究所の松田先生、池田先生、尾崎先生、坪山先生、田中先生には、研究上いろいろなことで助けて頂きました。ここにお礼申し上げます。

参考文献

[1] E.Nygard *et al*, N.I.M. **A301** (1991),506

[2] BELLE Letter of Intent. (1994)

[3] O.toker *et al*, N.I.M. **A340** (1994),572

[4] H.Ozaki, Minutes of Belle colabollation meeting (May 1994)

[5] D.Hussun IEEE Trans. Nucl. Sci., **Vol41 No.4** (1994),811

[6] Private communication with Prof.H.Ozaki (KEK)

[7] H.Hanai (Osaka U.) master thesis (1992)

[8] J.P.Alexander *et al*, N.I.M. **A342**(1994),282

[9] Private communication with Prof.H.Palka (CRAKOW.Poland)

[10] H.Ozaki, SVD-note (March 1994)

[11] Particle Data Group, Review of Particle Properties (1992)

[12] Private communication with HAMAMATSU Photo.K.K.

[13] Private communication with Prof.P.Weilhammer (CERN)