

PIENU実験のための COPPER 500MHz Flash-ADC システムの開発

室井章 (大阪大学久野研究室)

青木正治、久野良孝、吉田誠、山田薫 (大阪大学)
五十嵐洋一、田内一弥、池野正弘 (KEK)

2007/12/25
久野・山中研 合同年末発表会

発表の流れ

- * PIENU実験と私の担当

- * COPPER(**C**ommon **P**ipelined **P**latform for **E**lectronics **R**eadout)を用いた読み出しシステムの構築

- * COPPER Flash ADCシステム概観

- * 2006年冬ビームテストでのDAQ/今後の要求

- * データサイズ、DAQレートのスタディ

- * on-FPGAデータサプレサの開発について

- * まとめ、今後の予定

PIENU 実験と私の担当

*崩壊分岐比 $R = \Gamma(\pi^+ \rightarrow e^+ \nu_e) / (\pi^+ \rightarrow \mu^+ \nu_\mu)$ の精密測定

*理論計算 $R_{SM} = 1.2350 \pm 0.0004 \times 10^{-4}$ [0.03%]

$$R_0 = \Gamma\left(\frac{\pi^+ \rightarrow e^+ \nu}{\pi^+ \rightarrow \mu^+ \nu}\right) = \frac{g_e^2 m_e^2}{g_\mu^2 m_\mu^2} \left(\frac{m_\pi^2 - m_e^2}{m_\pi^2 - m_\mu^2}\right)^2 \sim 10^{-4}$$

* $R_{exp} = 1.2265 \pm 0.0034 \pm 0.0044 \times 10^{-4}$ [0.5%] (1992, TRIUMF)

*2008年夏、DAQ開始予定 @ TRIUMF [0.1%以下を目指す]

*COPPERモジュール (KEK)

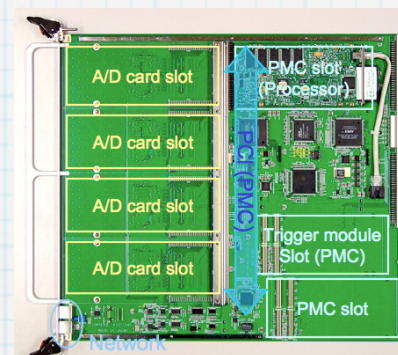
* ドーターカード × 4 (Flash-ADCカードなど)

* 1 MB FIFO × 4

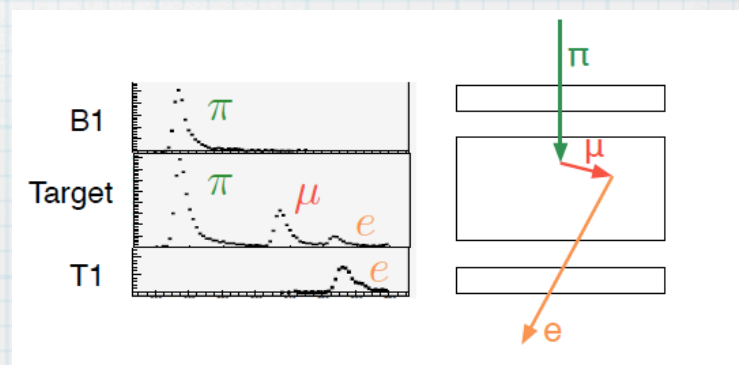
* PMCスロット × 3 (EPC6315 800MHz Pentium III-M)

* ネットワークでホストPCへ転送

* ターゲット、その他カウンタの読み出しに用いる



COPPERモジュール



COPPER-FADCで取得した波形

Finesse 500MHz Flash-ADC card

* Flash ADC (8 bit / 500 MHzサンプル , 2 ch)

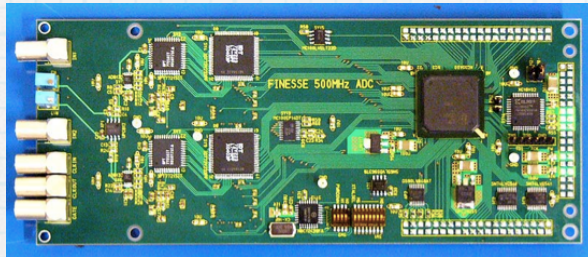
* FIFO (1.9 KB × 2 × 2 ch)

* FPGA (Field Programming Gate Array)

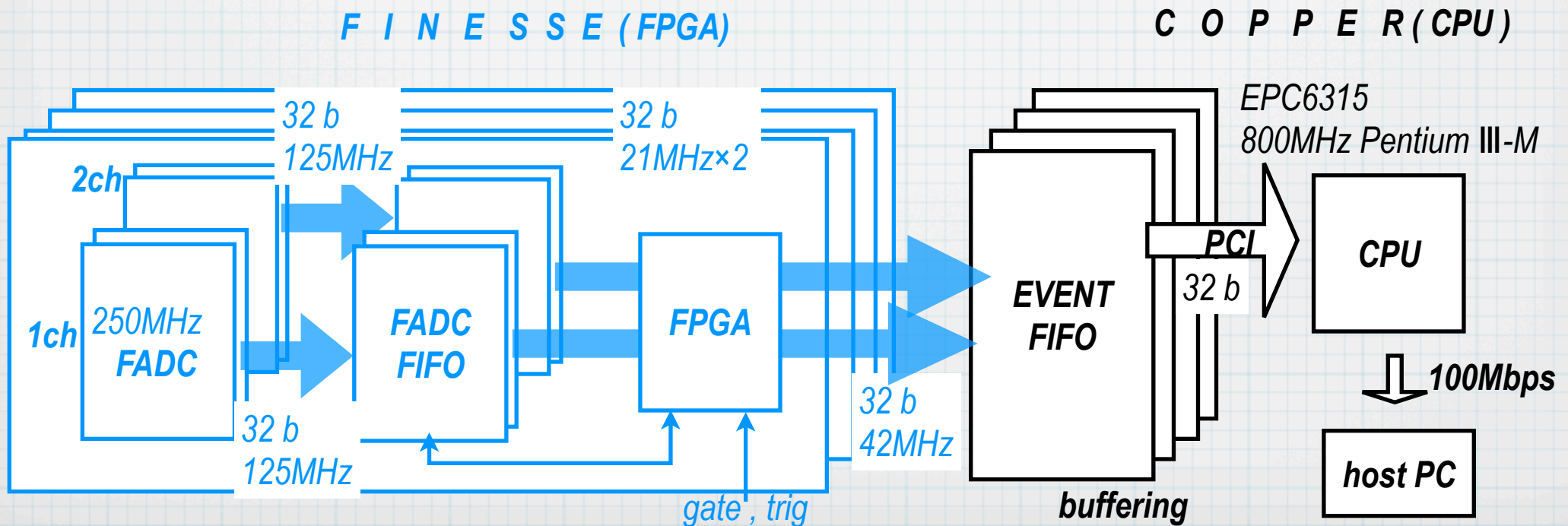
* 上位ロジックからゲート、トリガ、リセットを受ける

* 7.8 μ s 前～トリガまでのデータを記録(BG π , μ)

* dead time = 45 μ s



Flash-ADC
ドーターカード



2008年本実験ランに必要な DAQパフォーマンス

	2006beamtest	→	2008本実験ラン
ビームレート	78 kHz	→	96 kHz
π レート	25 kHz	→	60 kHz
eレート	37kHz	→	10 kHz
μ レート	16kHz	→	26 kHz
トリガーレート	1.4kHz	→	3 kHz~
入力データサイズ(ゲート幅)	31.2 KB (7.8 μ s)	→	31.2 KB
出力データサイズ(4 Finesse分)	0.92 KB	→	0.92 ~ 1.1 KB
COPPER最大DAQレート	2.3 kHz	→	4 kHz ~

現在の最大値

必要なDAQレート

* '06 冬ビームテストビームレートの向上

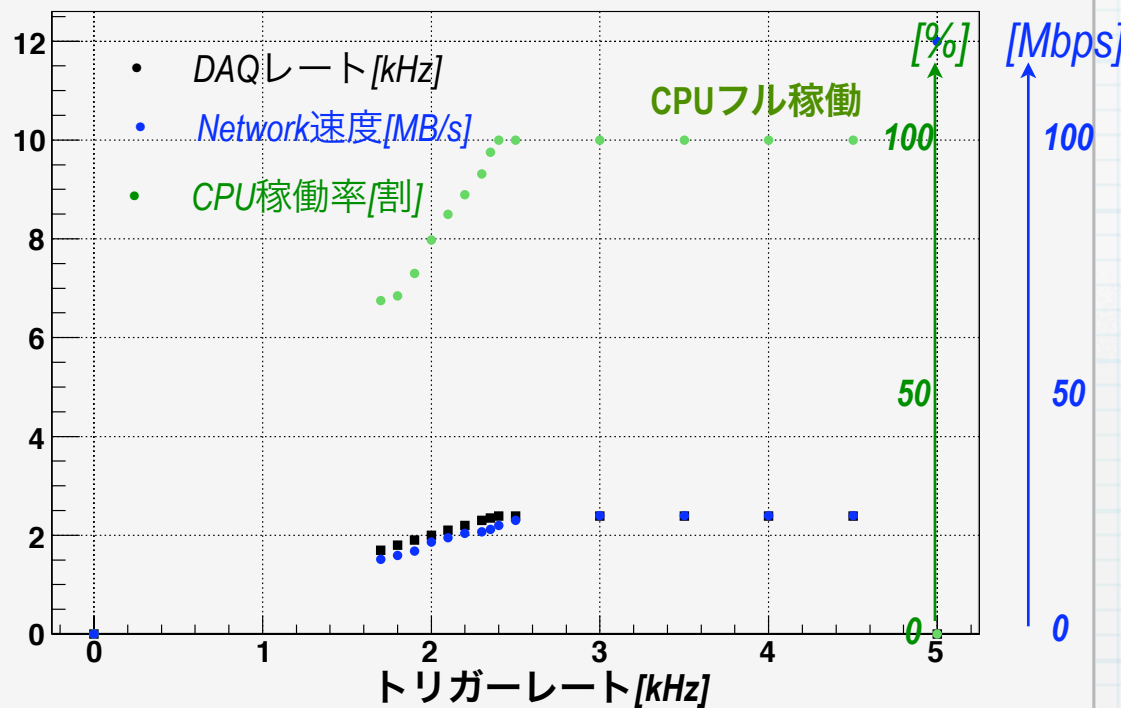
* アブソーバのインストールでeレートは約12kHzまで下がり、トータルでは約1.2倍のビームレートになる。

* システムの最大DAQレート、4kHz以上である必要がある。(改善が必要)

トリガーレート vs DAQレート

同サイズの擬似シグナルでレートの限界を調べた。

COPPER DAQレート[kHz]



* DAQ上限 ~ 2.3 kHz

* CPUの稼働率とともに達する

C P U

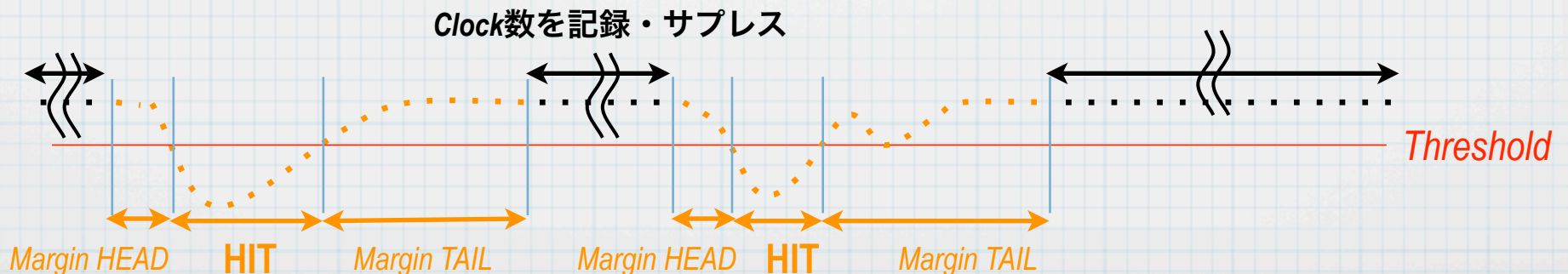
・ゼロサプレッション

(7.8 KB × 4 =) 31.2 KB → 1.1 KB

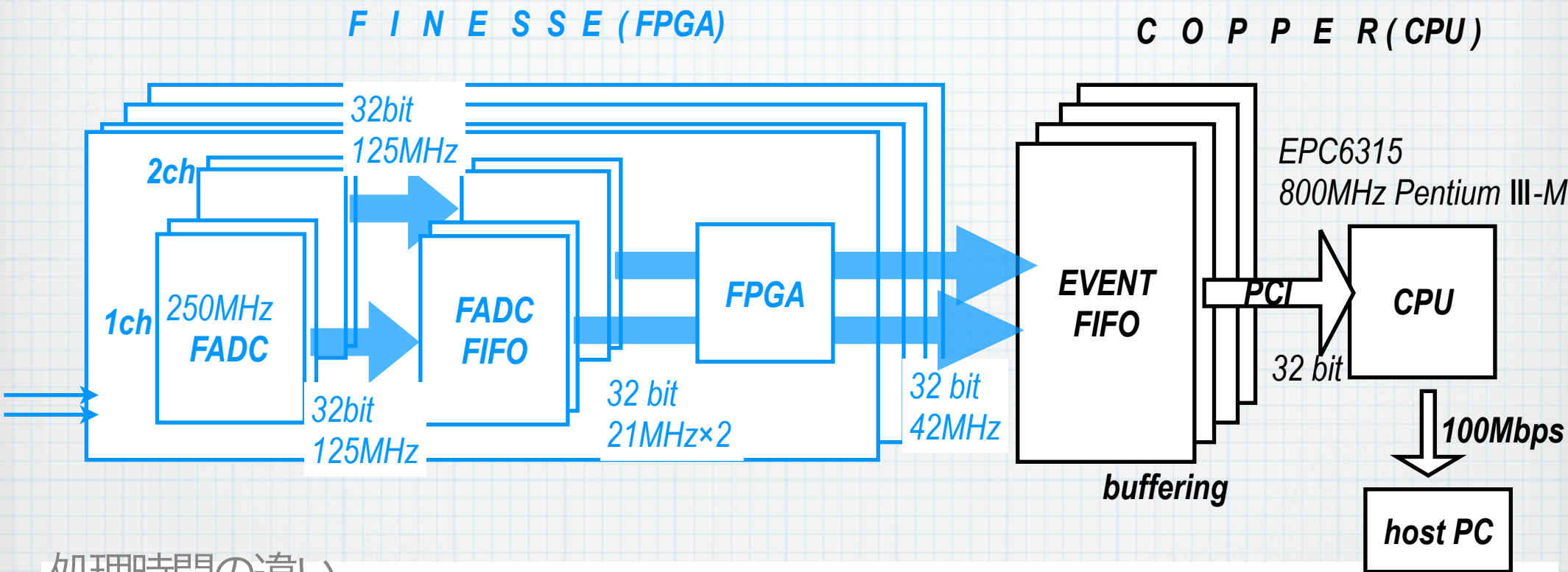
@ 2006 ビームテスト

・データのフォーマット

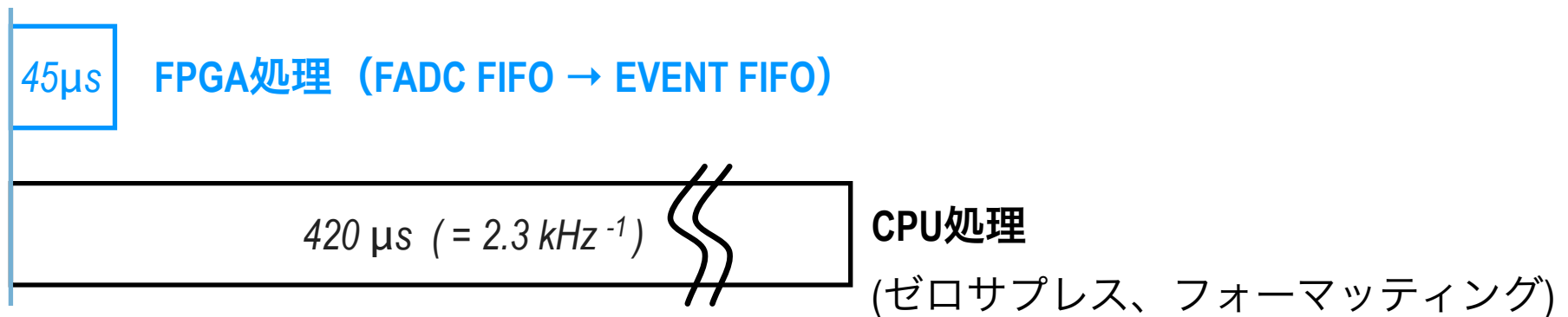
CPUでのゼロサプレッション



FPGA処理、CPU処理にかかる時間



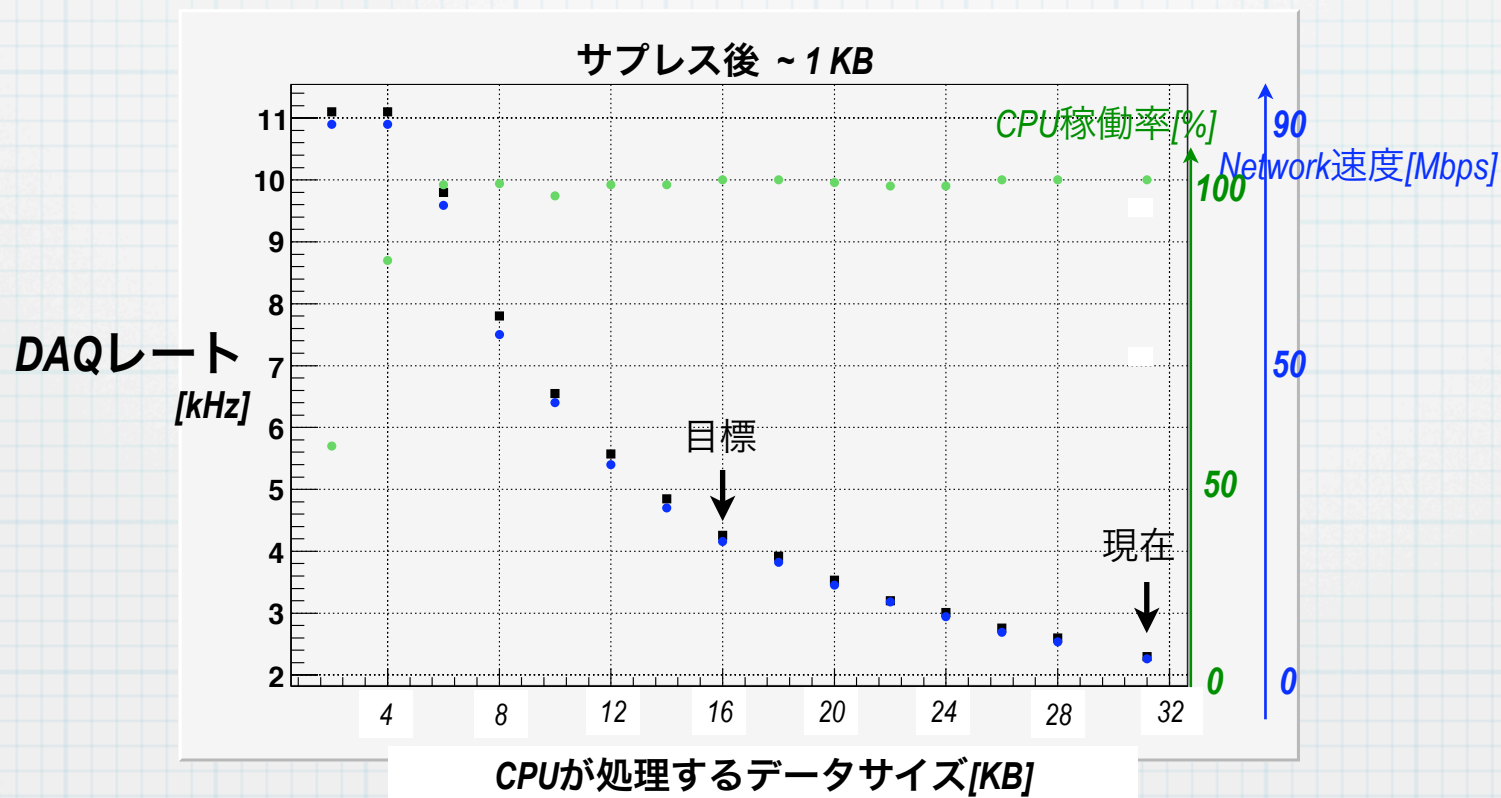
処理時間の違い



データサイズとDAQレートの依存性

* ゲート幅を変えて、CPU処理時間をスタディした

* 16 KB以下のデータサイズ・・・**4 kHz**以上のDAQレート を実現できることがわかる



FPGAでもデータサブレスをし、CPU処理の負担を軽減する

FPGAデータサプレッション

* FPGA中のRAM (36 bit × 512)

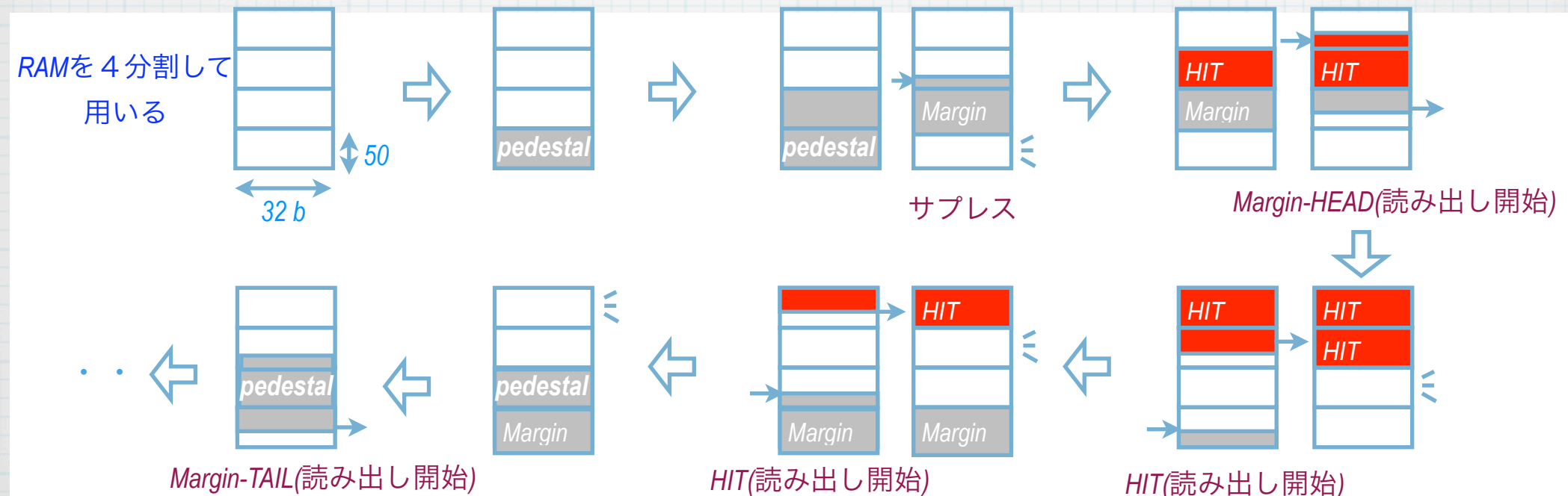
* RAMにデータを一時格納、不要なデータはClock数のみ記録

* ラフなサプレス(ブロック化RAMの使用)

* 1ワード=32bitごとのサプレスは必要ない(より単純なアルゴリズムで充分)

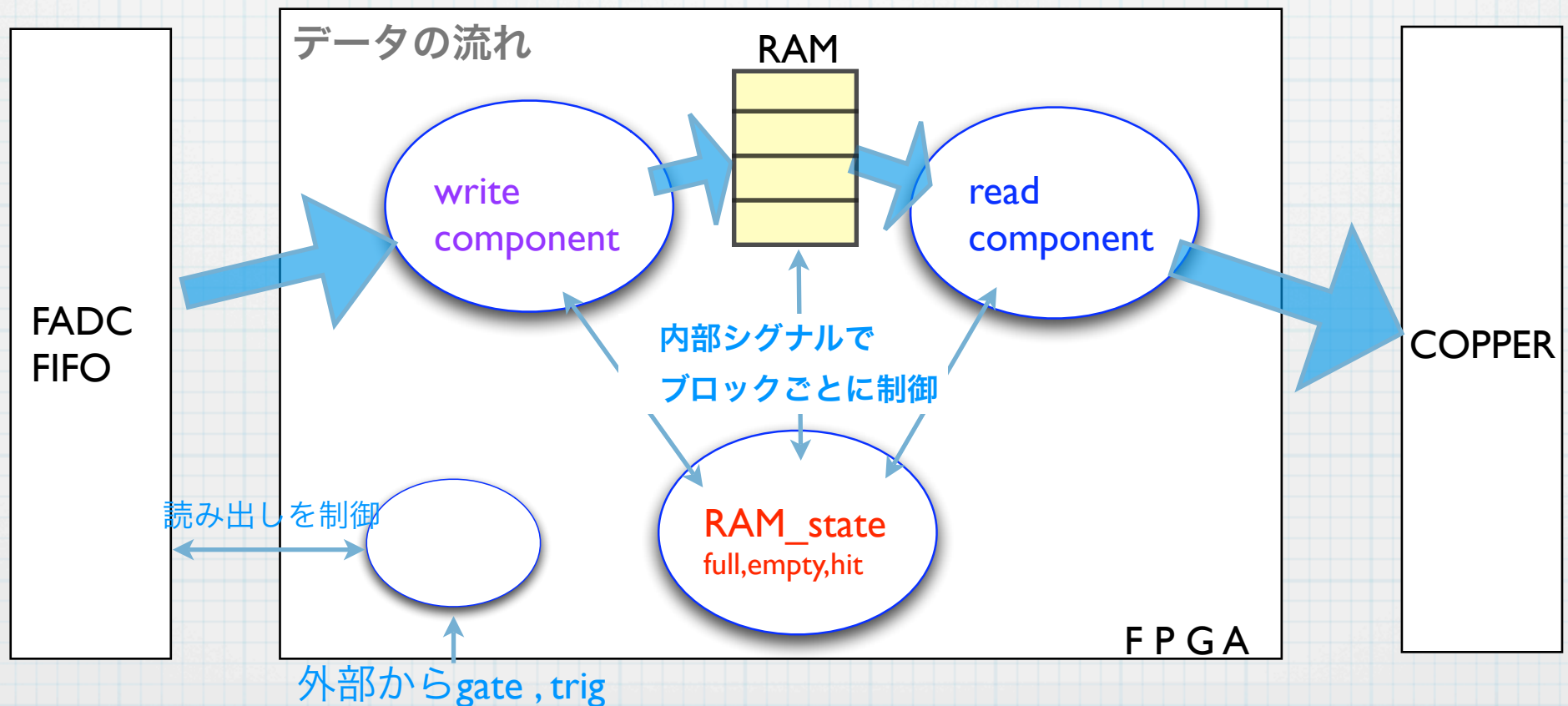
* 7.8KB = 2000ワード を**50ワード単位(=1ブロック)**でバッファリング→サプレス

* HITがあるブロック+前後1ブロック (パルス直前後の情報を記録するため)



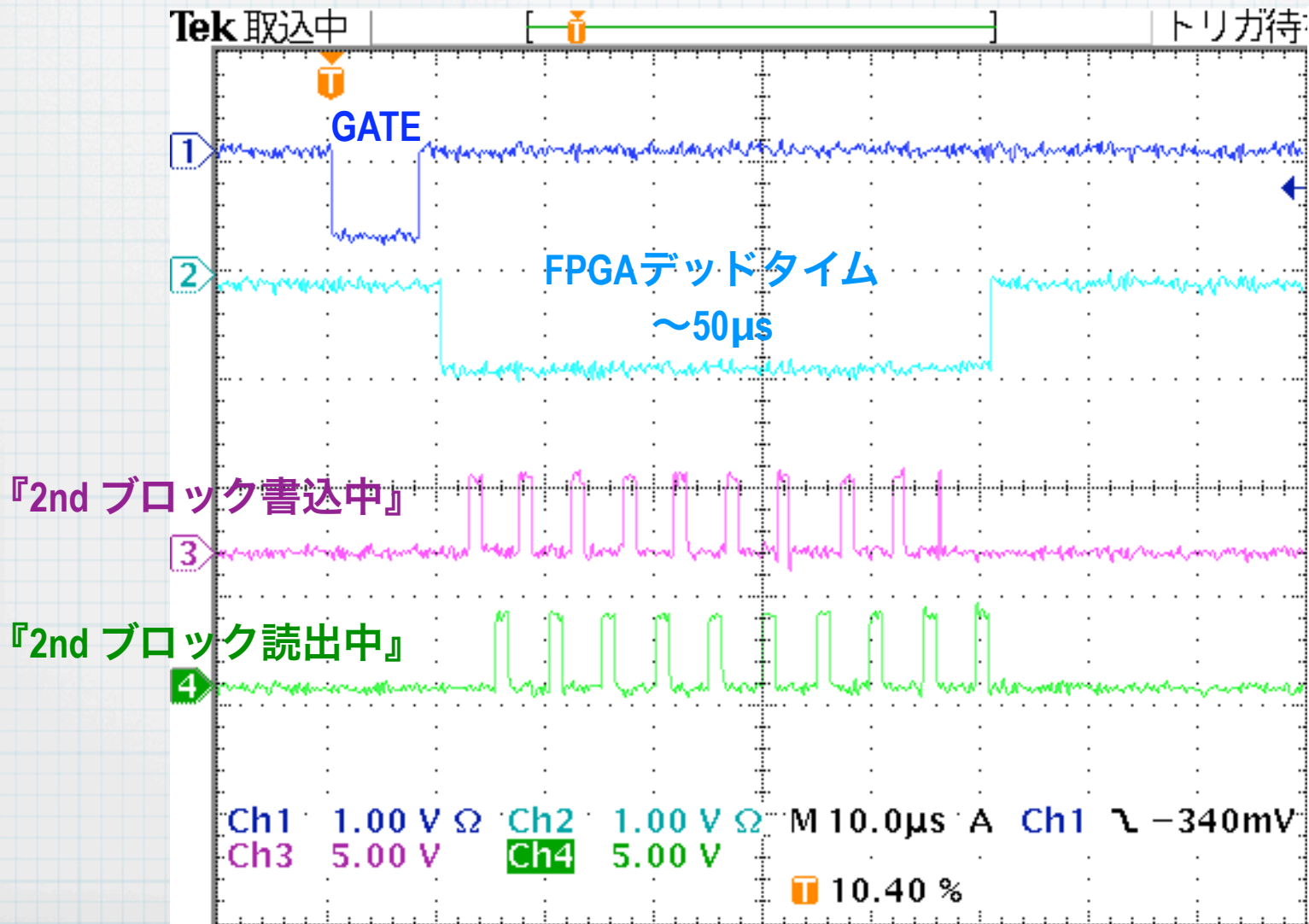
FPGAデータサプレッション

- * 約 1/10 のサイズにサプレス
- * 平均有効データ ~ 60ワード ~ **2** ブロック
- * 前後 1 ブロックと合わせて **4** ブロック (40 ブロック中)
- * COPPERへの転送の前に、RAM書き込み/読み出し部分を追加



RAMへの読み書き【開発中】

- * RAMへの読み書きは正常に動作→コンパレータ部分のデバッグ中
- * デッドタイムの見積ができた ($45\mu\text{s} \rightarrow \sim 50\mu\text{s}$)



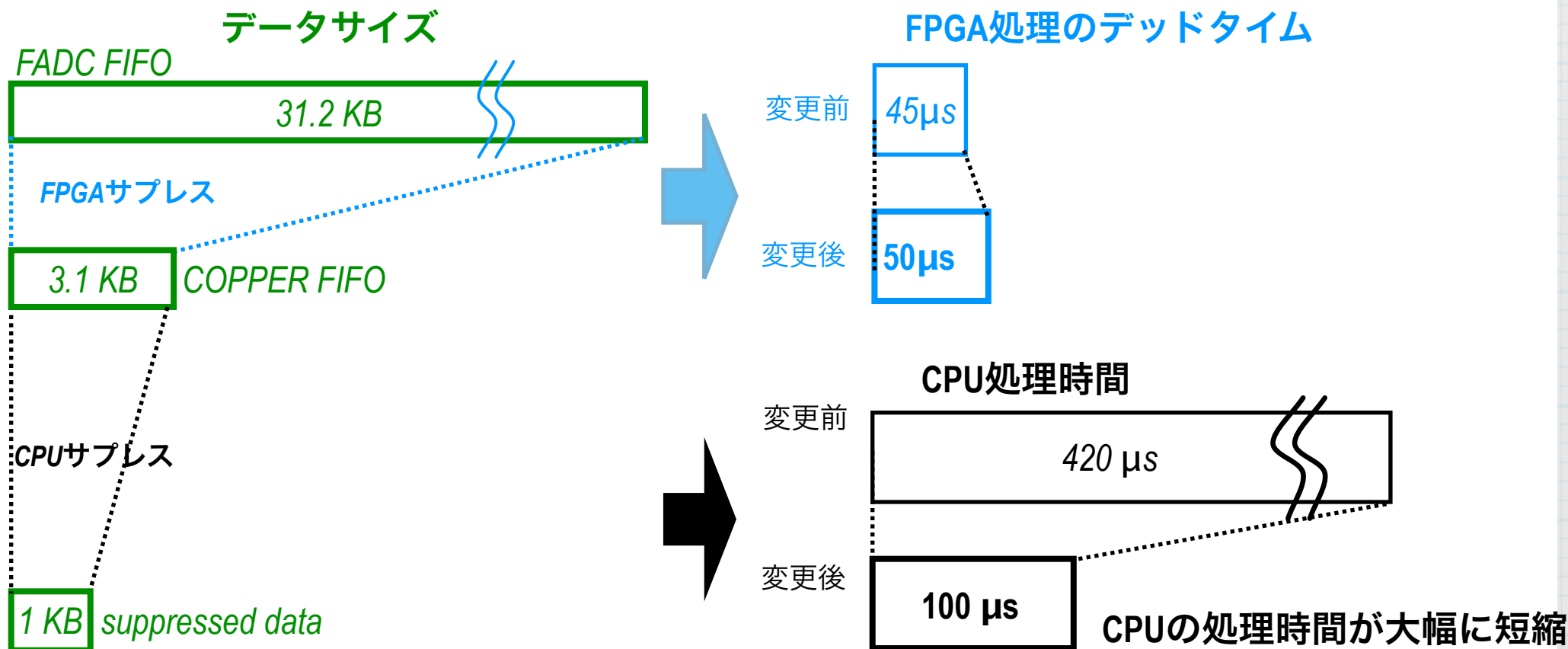
FPGAサプレスのによるCPU処理の軽減

* 平均有効データ ~ 240 B = 60 ワード

* 読出ブロック ~ 4 ブロック / 40 ブロック (2000ワード) → **1/10**のサプレス

* デッドタイムは **+5 μ s** 程度 (サプレションファクターによらない)

* CPU処理は大幅に短縮される (3.1 KB → 1 KB なら 最大 **10 kHz** (前述のスタディより))

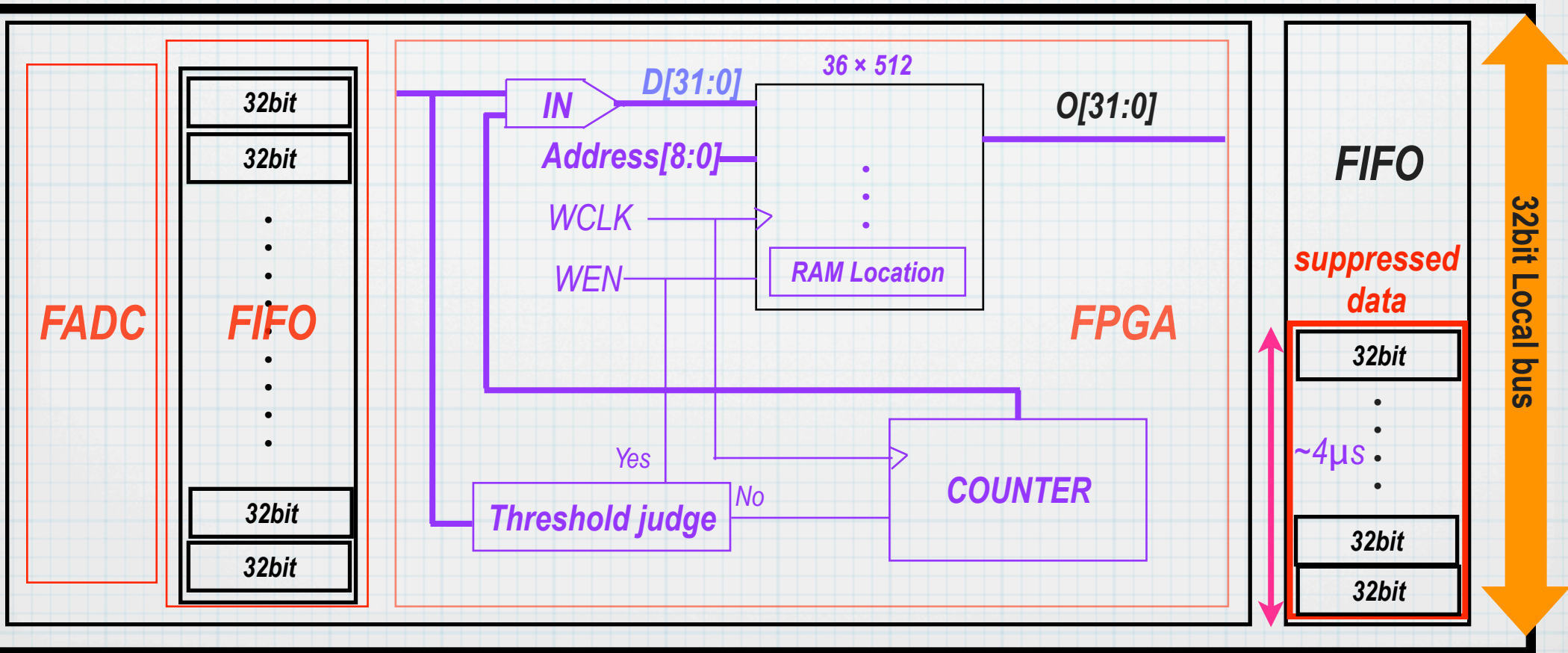
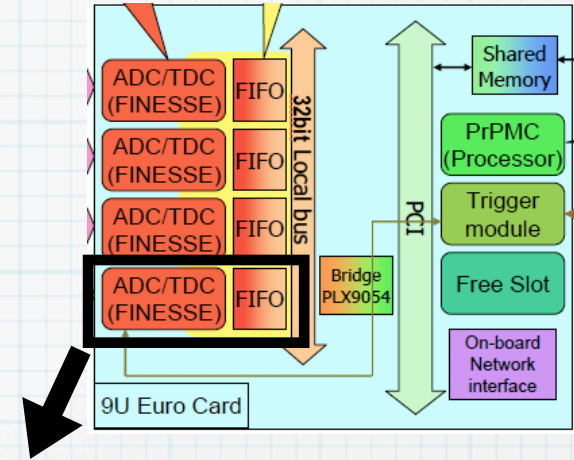
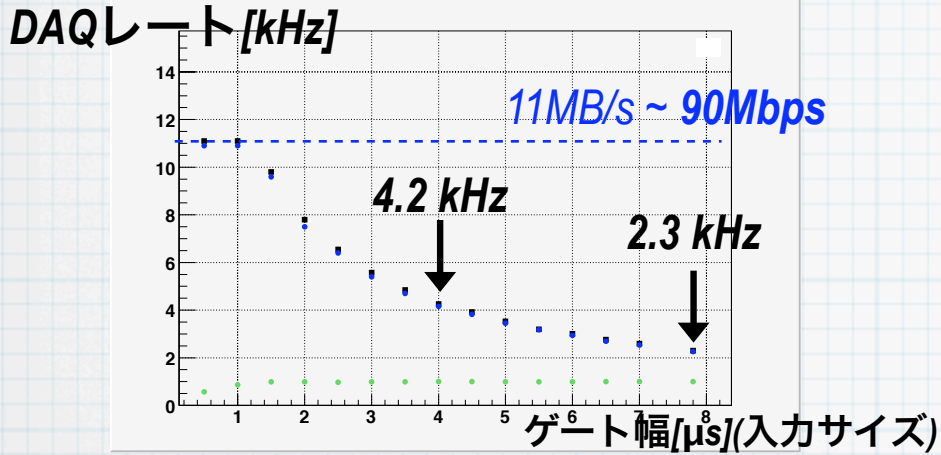


Summary

- * COPPER 500MHz Flash-ADCシステムを用いて、ターゲット中の波形を記録する。
 - * COPPERボード上のCPUにより、ソフトウェアでゼロサプレスしている
 - * 平均 1/30 のサプレスを行っており、DAQレートの上限に関わる
- * 処理データサイズとDAQレートの関連をスタディした
- * 本番のために、DAQレートを向上させる (4 kHz 以上)
 - * FPGAで10%にデータサプレス、COPPERへ転送するようにする
 - * FPGAのデッドタイム : 45 μ s \rightarrow ~50 μ s 程度
 - * CPU処理時間 : 420 μ s \rightarrow ~100 μ s に短縮 (10 kHz のDAQが可能になる)
- * FPGAサプレッサを完成させる (現在はコンパレータ部分の実装・デバッグ段階)

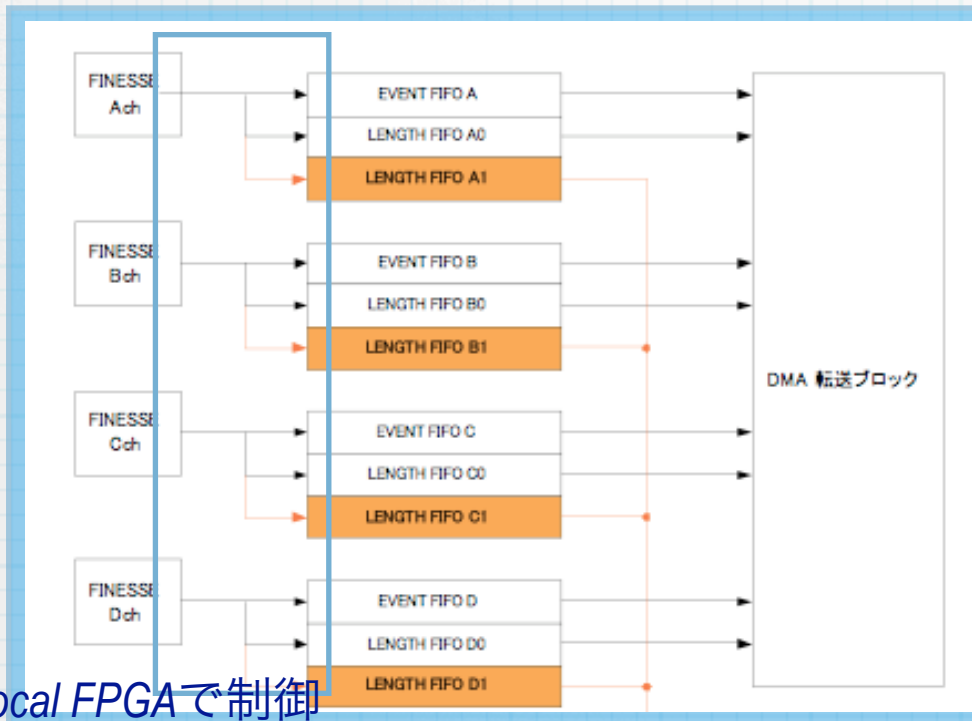
BACK UP SLIDES

Suppress on Local FPGA



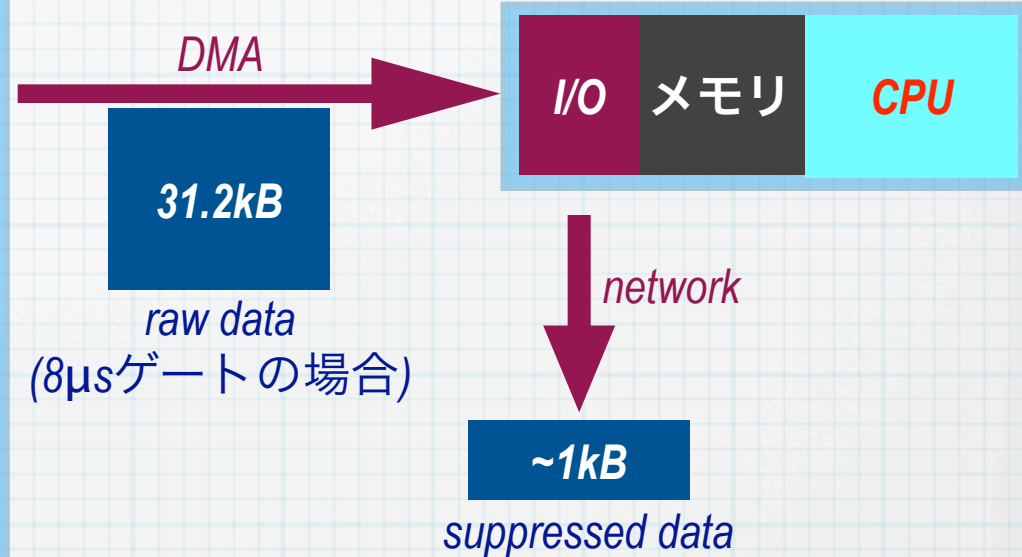
On-board suppressor

EVENT FIFOのデータを読み込み、
 $data > threshold$ となるワードを転送



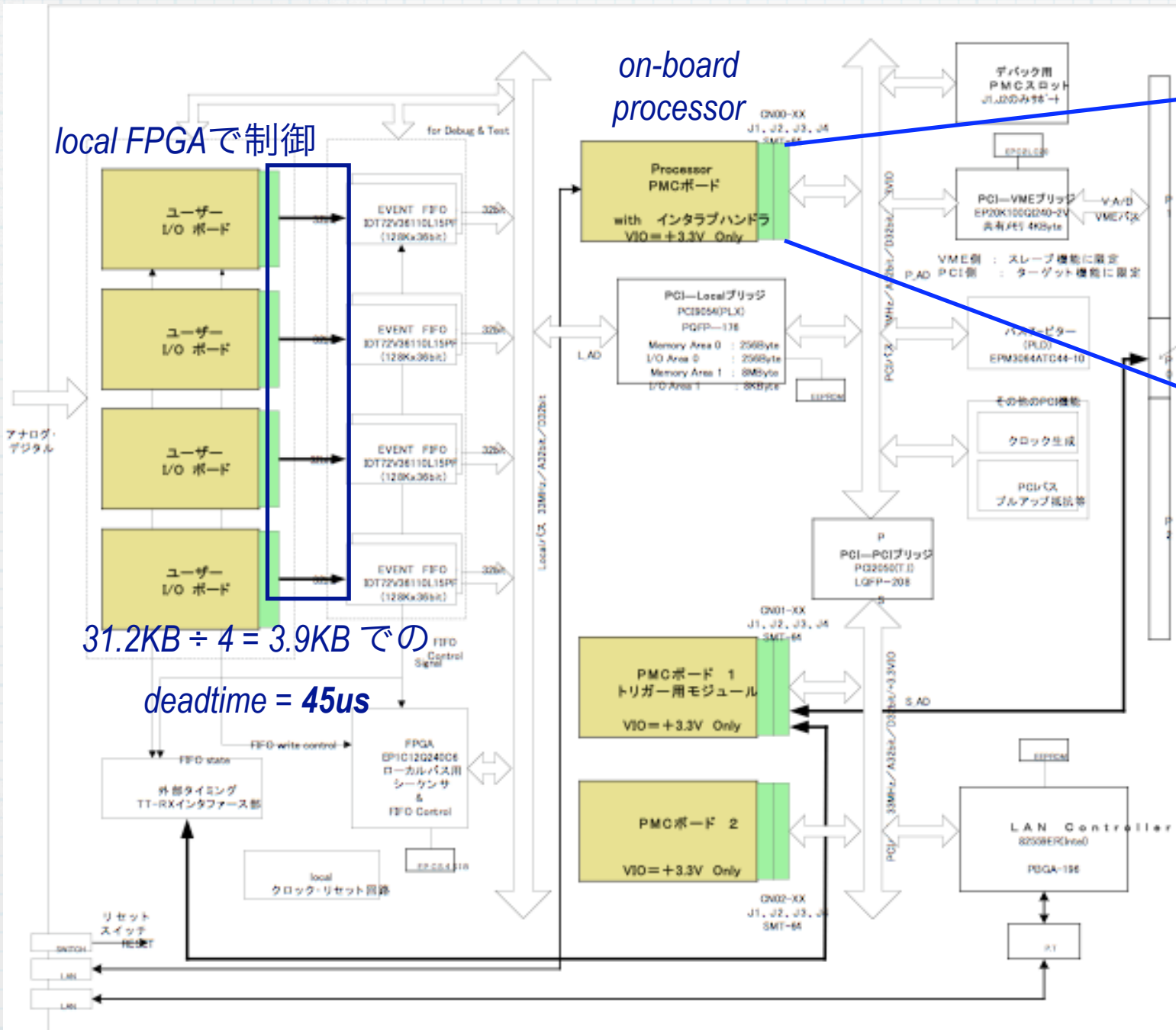
local FPGAで制御

データの流れ



sample数	data size (/event)	suppressed size (/event)	DAQ rate	CPU使用率
4000	31.2 kB	~ 1 kB	2.3 kHz	
2000	15.6 kB	~ 1 kB	4.8 kHz	
1000	7.8 kB	~ 1 kB	7.7 kHz	
500	3.9 kB	~ 1 kB	10 kHz	

COPPER board block diagram



Processor PMC

RadiSys社

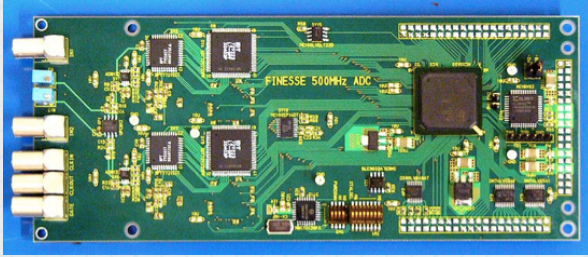
400MHz ULVCeleron

650MHz Celeron

800MHz Pentium III -M

プロセッサ搭載

COPPER 500MHz Flash-ADC system

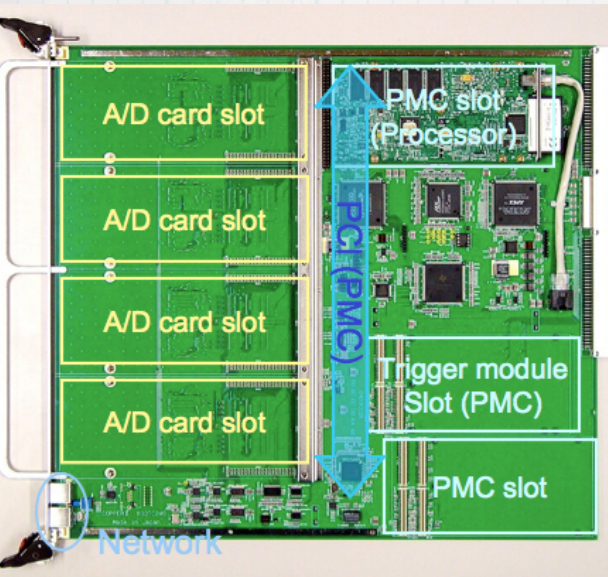


- **Flash-ADC card**

- 8bit 250MHz FADC ×2 => 500MHz sampling ×2 ch
- FADC → 2KB FIFOバッファ → COPPER event FIFOへと転送(42MHz)

- **COPPER module**

- 4 front slot , PMC slot , Trigger module slot
- 1 MB × 4 FIFO



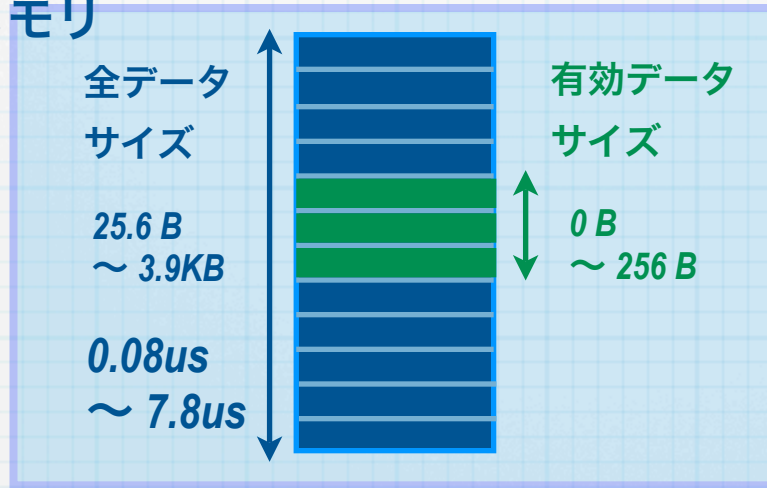
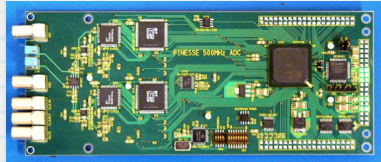
COPPER マザーボード

- **Processor**

- PMC上のプログラムで不要データをサプレスしている
- 1イベントあたり $8\mu\text{s Gate} = 4000 \text{ sample point} = 31.2 \text{ KB (4 finesse)}$
- 31KB から1KB 程度へサプレス、1.4kHzのパフォーマンスを実現
- 処理するデータサイズでレート上限決まる

DAQ limit study

1 Finesse分のメモリ



(CPU処理)
 $2ch \times 4 \text{ finesse} = \times 8$

Local FPGAのevent FIFOへ
転送するデッドタイム
vs 全データサイズ
(有効データにはよらない)

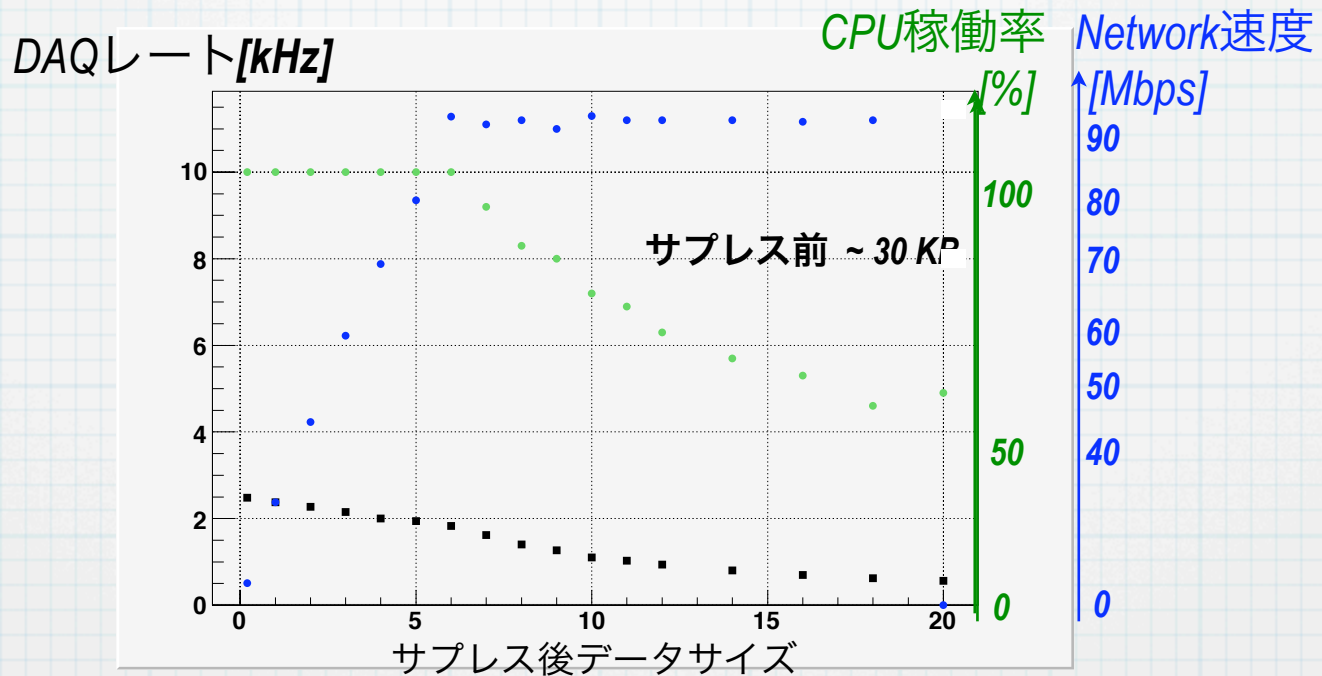
CPU使用率 =
DAQレート
vs 全データサイズ
(有効データ
= $120 \text{ B} \times 8 = 950 \text{ B} / \text{event}$ で一定)

CPU使用率 =
DAQレート
vs 有効データサイズ
(全データ = 7.8 us で一定)

CPU処理時間が制限するデッドタイム =

(全データサイズ) $\times 12.3 \text{ us}$ + (有効データサイズ) $\times 48.5 \text{ us}$ + 10.7 us

Data size vs DAQ Rate



(擬似シグナルの幅により決まる)